



深圳市雅创芯瀚电子科技有限公司
SHENZHEN ASTRONG-TECH CO., LTD

ASTA2209

**单通道 16 位 130Msps/160Msps
低功率ADC**

服务电话：13691641629 13538015750

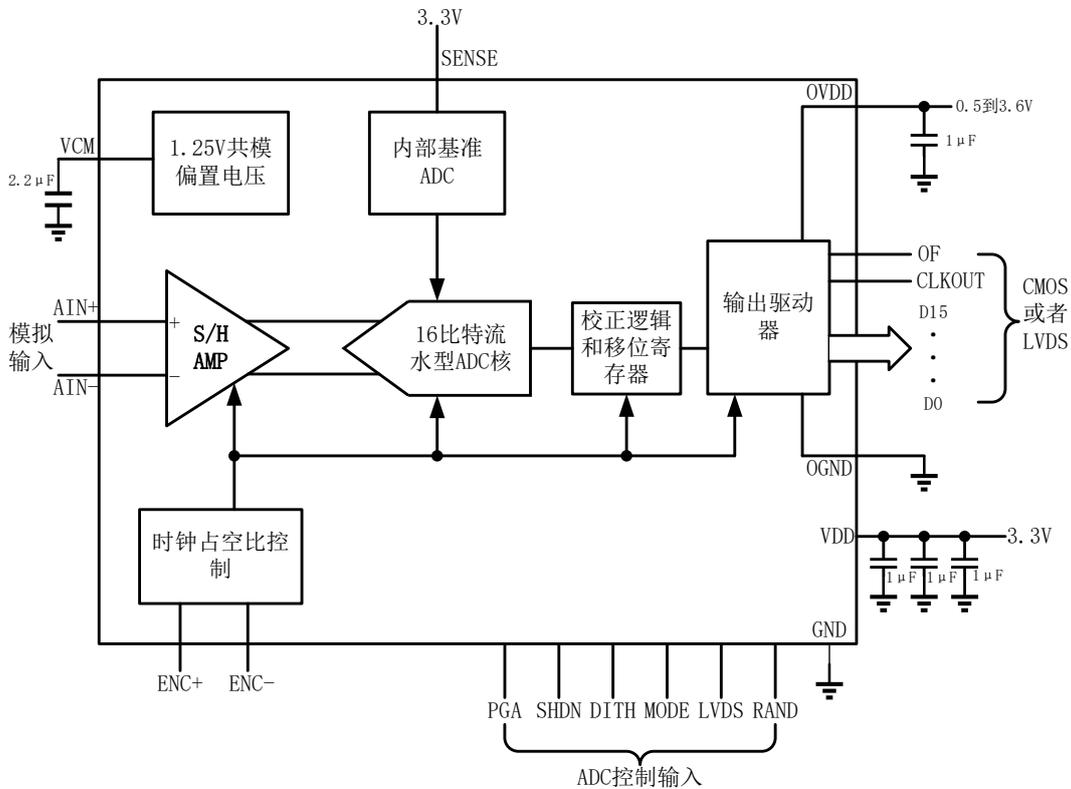
特点

- 采样速率：160Msps
- 76dBFS
- 100dB SFDR (无杂散动态范围)
- 250M 输入时 SFDR>83dB (1.5V_{p-p} 输入范围)
 - 可调增益 PGA 前端 (2.5V_{p-p} 或 1.5V_{p-p} 输入范围)
 - 最高支持 700MHz 输入信号
 - 内置 Dither 校正 (可关闭)
 - 数据输出随机化器 (可关闭)
 - 支持 LVDS 或 CMOS 输出
 - 单一 3.3V 电源供电

- 功耗：1.53W
- 时钟占空比稳定器
- 160Msps：完全兼容 LTC2209
- 130Msps：完全兼容 LTC2208
- 64 引脚 (9mmX9mm) QFN 封装

应用

- 通信设备
- 接收机
- 蜂窝基站
- 频谱分析
- 成像系统
- ATE (自动测试设备)



描述

ASTA2209 是一款采样频率为 160MSPS 的 16 位模数转换器，信号输入频率最高可达 700MHz。通过配置前端 PGA 增益，ADC 的输入范围可选择为 2.25V_{p-p} 与 1.5V_{p-p}。本器件具有优异的动态性能，信号底噪比 SNR 可达 77.3dBFS，无杂散动态范围 SFDR 可达 100dB。器件内部时钟 jitter 低至 70fsRMS，在高频信号输入情况下（欠采样），电路仍具备优异的噪声性能。在整个温度范围内，ASTA2209 的静态性能可达到 ± 5.5 LSB INL 以及 ± 1 LSB DNL（无漏失码）。

ASTA2209 支持差分 LVDS 或单端 CMOS 两种数字输出方式。CMOS 输出有两种格式选项：以全数据速率运行的单总线或以半数据速率运行的多路复用总线。器件 I/O 驱动电源独立设计，允许 CMOS 输出摆幅范围从 0.5V 到 3.6V。

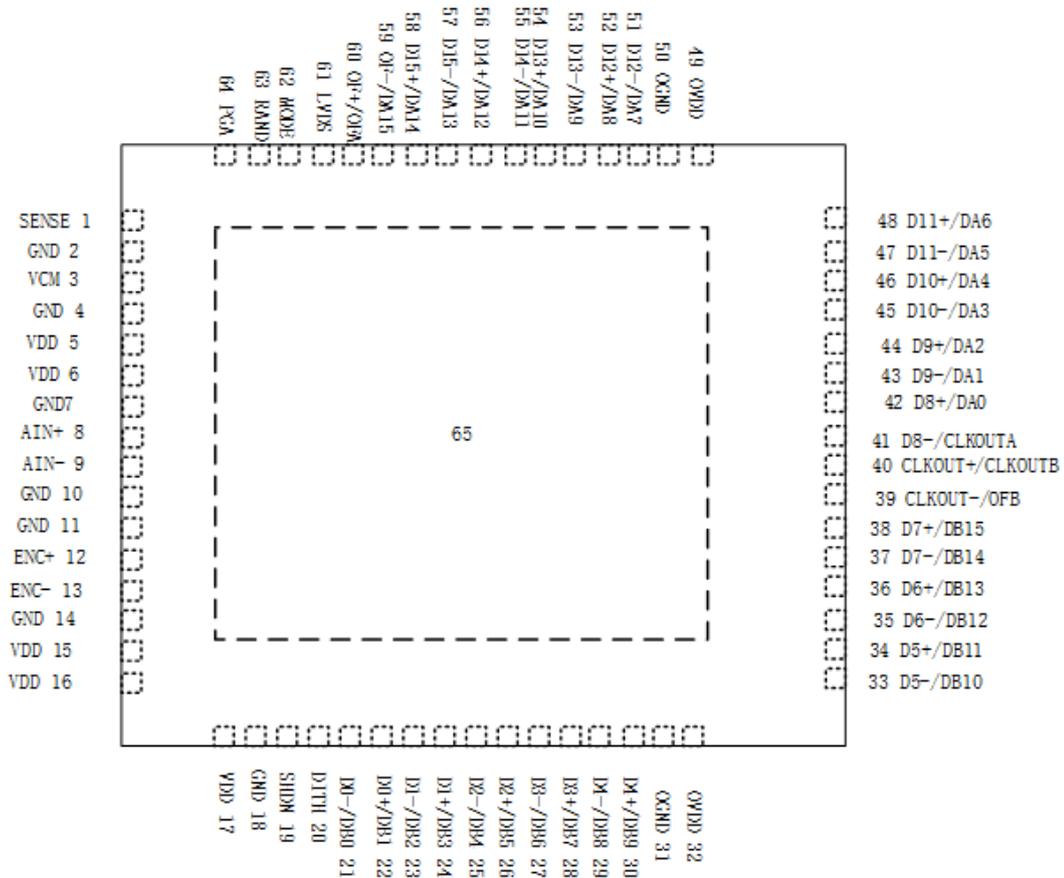
ENC^+ 和 ENC^- 输入可以支持差分驱动或单端驱动，兼容正弦波、PECL、LVDS、TTL 或 CMOS 等多种输入方式。ASTA2209 同时集成了一个可选的时钟占空比稳定器，允许输入时钟占空比在宽范围内变动。

绝对最大额定值

$OV_{DD}=V_{DD}$ (注解 1 和 2)

电源电压 (V_{DD})-0.3V 到 4V
数字输出接地电压-0.3V 到 1V
模拟输入电压 (注解 3)-0.3V 到 ($V_{DD}+0.3V$)
数字输入电压-0.3V 到 ($V_{DD}+0.3V$)
数字输出电压-0.3V 到 ($OV_{DD}+0.3V$)
功率耗散2000mW
工作温度范围	
ASTA2209-55°C 到 125°C
储存温度范围-65°C 到 150°C
数字输出电源电压 (OV_{DD})-0.3V 到 4V

顶层视图



顶层封装

64-铅 (9mm×9mm) 塑料 QFN
 $T_{JMAX}=150^{\circ}\text{C}$, $\theta_{JA}=20^{\circ}\text{C}/\text{W}$
 裸露焊盘 (pin 65) 接地, 必须焊接到PCB上

转换器特性

凡标注“●”表示该指标适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ 。

参数	条件		最小	典型	最大	单位
积分线性误差	差分模拟输入 (注解 5)	●		± 1.5	± 5.5	LSB
差分线性误差	差分模拟输入	●		± 0.3	± 1	LSB
偏移误差	(注解 6)	●		± 2	± 10	mV
偏移漂移				± 10		$\mu\text{V}/^{\circ}\text{C}$
增益误差	外部基准	●		± 0.2	± 2	%FS
全标度漂移	内部基准			± 30		ppm/ $^{\circ}\text{C}$
	外部基准			± 15		ppm/ $^{\circ}\text{C}$
转换噪声	外部基准			3		LSB_{RMS}

模拟输入

凡标注“●”表示该指标适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ 。

标志符号	参数	条件	最小	典型	最大	单位
V_{IN}	模拟输入范围 ($A_{IN}^+ - A_{IN}^-$)	$3.135\text{V} \leq V_{DD} \leq 3.465\text{V}$		1.5 或 2.25		V_{P-P}
V_{IN}, V_{CM}	模拟输入共模	差分输入 (注解 7)	● 1	1.25	1.5	V
V_{IN}	模拟输入漏电流	$0\text{V} \leq A_{IN}^+, A_{IN}^- \leq V_{DD}$	● -1		1	μA
I_{SENSE}	SENSE 输入漏电流	$0\text{V} \leq \text{SENSE} \leq V_{DD}$	● -3		3	μA
I_{MODE}	MODE 引脚下拉地			10		μA
I_{LVDS}	LVDS 引脚下拉地			10		μA
C_{IN}	模拟输入电容	采样模式 $ENC^+ < ENC^-$ 保持模式 $ENC^+ > ENC^-$		6.5		pF
				1.8		pF
t_{AP}	采样及保持采集延迟时间			1		ns
t_{JITTER}	采样及保持采集延迟抖动			70		f_s RMS
CMRR	模拟输入共模抑制比	$1\text{V} < (A_{IN}^+ - A_{IN}^-) < 1.5\text{V}$		80		dB
BW-3 dB	全功率带宽	$R_S < 25\ \Omega$		700		MHz

动态特性

凡标注“●”表示该指标适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ ， $A_{IN}=-1\text{dBFS}$ 。（注解 4）

标志符号	参数	条件	最小	典型	最大	单位		
SNR	信噪比	5MHz 输入 (输入范围 2.25V, PGA=0)		76		dBFS		
		5MHz 输入 (输入范围 1.5V, PGA=1)		72.60		dBFS		
		70MHz 输入 (输入范围 2.25V, PGA=0)		73.70		dBFS		
		70MHz 输入 (输入范围 1.5V, PGA=1)		71.90		dBFS		
		140MHz 输入 (输入范围 2.25V, PGA=0)		72.71		dBFS		
		140MHz 输入 (输入范围 1.5V, PGA=1)	●	71.30		dBFS		
		250MHz 输入 (输入范围 2.25V, PGA=0)		69.50		dBFS		
		250MHz 输入 (输入范围 1.5V, PGA=1)		69.12		dBFS		
		330MHz 输入 (输入范围 2.25V, PGA=0)		68.56		dBFS		
		330MHz 输入 (输入范围 1.5V, PGA=1)		68.03		dBFS		
		450MHz 输入 (输入范围 2.25V, PGA=0)		65.53		dBFS		
		450MHz 输入 (输入范围 1.5V, PGA=1)		66.21		dBFS		
		SFDR	无杂散动态范围 二次或三次谐波	5MHz 输入 (输入范围 2.25V, PGA=0)		100		dBc
				5MHz 输入 (输入范围 1.5V, PGA=1)		93.36		dBc
70MHz 输入 (输入范围 2.25V, PGA=0)				89.09		dBc		
70MHz 输入 (输入范围 1.5V, PGA=1)				88.68		dBc		
140MHz 输入 (输入范围 2.25V, PGA=0)				74.68		dBc		
140MHz 输入 (输入范围 1.5V, PGA=1)	●			76.77		dBc		
250MHz 输入 (输入范围 2.25V, PGA=0)				82.06		dBc		
250MHz 输入 (输入范围 1.5V, PGA=1)				84.33		dBc		
330MHz 输入 (输入范围 2.25V, PGA=0)				69.39		dBc		
330MHz 输入 (输入范围 1.5V, PGA=1)				72.87		dBc		
450MHz 输入 (输入范围 2.25V, PGA=0)				60.25		dBc		
450MHz 输入 (输入范围 1.5V, PGA=1)				63.70		dBc		

动态特性

凡标注“●”表示该指标适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ ， $A_{IN}=-1\text{dBFS}$ 。（注解 4）

标志符号	参数	条件	最小	典型	最大	单位
SFDR	无杂散动态范围 四次谐波或更高	5MHz 输入 (输入范围 2.25V, PGA=0)		100		dBc
		5MHz 输入 (输入范围 1.5V, PGA=1)		100		dBc
		70MHz 输入 (输入范围 2.25V, PGA=0)		100		dBc
		70MHz 输入 (输入范围 1.5V, PGA=1)		100		dBc
		140MHz 输入 (输入范围 2.25V, PGA=0)		95		dBc
		140MHz 输入 (输入范围 1.5V, PGA=1)	●	95		dBc
		250MHz 输入 (输入范围 2.25V, PGA=0)		90		dBc
		250MHz 输入 (输入范围 1.5V, PGA=1)		90		dBc
		330MHz 输入 (输入范围 2.25V, PGA=0)		90		dBc
		330MHz 输入 (输入范围 1.5V, PGA=1)		90		dBc
S/ (N+D)	信噪比+失真比	5MHz 输入 (输入范围 2.25V, PGA=0)		76		dBFS
		5MHz 输入 (输入范围 1.5V, PGA=1)		73.37		dBFS
		70MHz 输入 (输入范围 2.25V, PGA=0)		73.91		dBFS
		70MHz 输入 (输入范围 1.5V, PGA=1)		72.31		dBFS
		140MHz 输入 (输入范围 2.25V, PGA=0)		72.20		dBFS
		140MHz 输入 (输入范围 1.5V, PGA=1)	●	71.29		dBFS
		250MHz 输入 (输入范围 2.25V, PGA=0)		68.78		dBFS
		250MHz 输入 (输入范围 1.5V, PGA=1)		68.54		dBFS
		330MHz 输入 (输入范围 2.25V, PGA=0)		67.10		dBFS
		330MHz 输入 (输入范围 1.5V, PGA=1)		67.05		dBFS
		450MHz 输入 (输入范围 2.25V, PGA=0)		59.69		dBFS
		450MHz 输入 (输入范围 1.5V, PGA=1)		61.77		dBFS

标志符号	参数	条件	最小	典型	最大	单位		
SFDR	无杂散动态范围 -25dBFS 时,抖动 关闭	5MHz 输入 (输入范围 2.25V, PGA=0)		105		dBFS		
		5MHz 输入 (输入范围 1.5V, PGA=1)		105		dBFS		
		70MHz 输入 (输入范围 2.25V, PGA=0)		105		dBFS		
		70MHz 输入 (输入范围 1.5V, PGA=1)		105		dBFS		
		140MHz 输入 (输入范围 2.25V, PGA=0)		100		dBFS		
		140MHz 输入 (输入范围 1.5V, PGA=1)		100		dBFS		
		250MHz 输入 (输入范围 2.25V, PGA=0)		100		dBFS		
		250MHz 输入 (输入范围 1.5V, PGA=1)		100		dBFS		
		330MHz 输入 (输入范围 2.25V, PGA=0)		95		dBFS		
		330MHz 输入 (输入范围 1.5V, PGA=1)		95		dBFS		
		450MHz 输入 (输入范围 2.25V, PGA=0)		92		dBFS		
		450MHz 输入 (输入范围 1.5V, PGA=1)		92		dBFS		
		SFDR	无杂散动态范围 -25dBFS 时,抖动 打开	5MHz 输入 (输入范围 2.25V, PGA=0)		115		dBFS
				5MHz 输入 (输入范围 1.5V, PGA=1)		115		dBFS
70MHz 输入 (输入范围 2.25V, PGA=0)				115		dBFS		
70MHz 输入 (输入范围 1.5V, PGA=1)				115		dBFS		
140MHz 输入 (输入范围 2.25V, PGA=0)				110		dBFS		
140MHz 输入 (输入范围 1.5V, PGA=1)				110		dBFS		
250MHz 输入 (输入范围 2.25V, PGA=0)				105		dBFS		
250MHz 输入 (输入范围 1.5V, PGA=1)				105		dBFS		
330MHz 输入 (输入范围 2.25V, PGA=0)				100		dBFS		
330MHz 输入 (输入范围 1.5V, PGA=1)				100		dBFS		
450MHz 输入 (输入范围 2.25V, PGA=0)				96		dBFS		
450MHz 输入 (输入范围 1.5V, PGA=1)				96		dBFS		

内部基准特性

凡标注“●”表示该指标适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ 。（注解 4）

参数	条件	最小	典型	最大	单位
V_{CM} 输出电压	$I_{OUT}=0$	1.15	1.25	1.35	V
V_{CM} 输出温度漂移	$I_{OUT}=0$		+40		ppm/ $^{\circ}\text{C}$
V_{CM} 电压调节	$3.135\text{V} \leq V_{DD} \leq 3.465\text{V}$		1		mV/V
V_{CM} 输出电阻	$1\text{mA} \leq I_{OUT} \leq 1\text{mA}$		2		Ω

数字输入和数字输出

凡标注“●”表示该指标适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ 。（注解 4）

符号	参数	条件	最小	典型	最大	单位
编码输入 (ENC^+, ENC^-)						
V_{ID}	差分输入电压	(注解 7)	●	0.2		V
V_{ICM}	共模输入电压	在内部设定		1.6		V
		在外部设定 (注解 7)		1.2	3.0	V
R_{IN}	输入电阻	(见图 2)		6		K Ω
C_{IN}	输入电容	(注解 7)		3		pF
逻辑输入 (DITH, PGA, SHDN, RAND)						
V_{IH}	高电平输入电压	$V_{DD}=3.3\text{V}$	●	2		V
V_{IL}	低电平输入电压	$V_{DD}=3.3\text{V}$	●		0.8	V
I_{IN}	数字输入电流	$V_{IN}=0\text{V}$ 到 V_{DD}	●		± 10	μA
C_{IN}	数字输入电容	(注解 7)		1.5		pF
逻辑输出 (COMS 模式)						
$OV_{DD}=3.3\text{V}$						
V_{OH}	高电平输出电压	$V_{DD}=3.3\text{V}$ $I_O=-10\mu\text{A}$		3.299		V
		$I_O=-200\mu\text{A}$	●	3.1	3.29	V
V_{OL}	低电平输出电压	$V_{DD}=3.3\text{V}$ $I_O=-160\mu\text{A}$		0.01		V
		$I_O=1.6\text{mA}$	●	0.10	0.4	V
I_{SOURCE}	输出源电流	$V_{OUT}=0\text{V}$		-50		mA
I_{SINK}	输出吸收电流	$V_{OUT}=3.3\text{V}$		50		mA

标志	参数	条件	最小	典型	最大	单位	
$OV_{DD}=2.5V$							
V_{OH}	高电平输出电压	$V_{DD}=3.3V$ $I_O=-200\mu A$		2.49		V	
V_{OL}	低电平输出电压	$V_{DD}=3.3V$ $I_O=1.6mA$		0.1		V	
$OV_{DD}=1.8V$							
V_{OH}	高电平输出电压	$V_{DD}=3.3V$ $I_O=-200\mu A$		1.79		V	
V_{OL}	低电平输出电压	$V_{DD}=3.3V$ $I_O=1.6mA$		0.1		V	
逻辑输出 (LVDS 模式)							
标准 LVDS							
V_{OD}	差分输出电压	100 Ω 差分电路	•	247	350	454	mV
V_{OS}	共模输出电压	100 Ω 差分电路	•	1.125	1.2	1.375	V
低功耗 LVDS							
V_{OD}	差分输出电压	100 Ω 差分电路	•	125	175	250	mV
V_{OS}	共模输出电压	100 Ω 差分电路	•	1.125	1.2	1.375	V

功率要求

凡标注“●”表示该指标适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ ， $A_{IN}=-1\text{dBFS}$ 。（注解 4）

符号	参数	条件		最小	典型	最大	单位
V_{DD}	模拟电源电压	(注解 8)	●	3.135	3.3	3.465	V
P_{SHDN}	关闭功率	$SHDN=V_{DD}$			0.2		mW
标准 LVDS 输出模式							
OV_{DD}	输出电源电压	(注解 8)	●	3	3.3	3.6	V
I_{VDD}	模拟电源电流		●		467	510	mA
I_{OVDD}	输出电源电流		●		74	90	mA
P_{DIS}	功耗		●		1785	1980	mW
低功耗 LVDS 输出模式							
OV_{DD}	输出电源电压	(注解 8)	●	3	3.3	3.6	V
I_{VDD}	模拟电源电流		●		467	510	mA
I_{OVDD}	输出电源电流		●		41.6	50	mA
P_{DIS}	功耗		●		1678	1848	mW
CMOS 输出模式							
OV_{DD}	输出电源电压	(注解 8)	●	0.5		3.6	V
I_{VDD}	模拟电源电流		●		464	507	mA
P_{DIS}	功耗		●		1531	1673	mW

静态特性

凡标注“●”表示该指标适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ 。（注解 4）

符号	参数	条件	最小	典型	最大	单位
f_S	采样频率	(注解 8)	● 1		160	MHz
t_L	ENC 低电平时间	占空比稳定器关断 (注解 7)	● 2.97	3.125	1000	ns
		占空比稳定器打开 (注解 7)	● 2.1	3.125	1000	ns
t_H	ENC 高电平时间	占空比稳定器关断 (注解 7)	● 2.97	3.125	1000	ns
		占空比稳定器打开 (注解 7)	● 2.1	3.125	1000	ns
t_{AP}	采样及保持采集延迟时间			1		ns
LVDS 输出模式 (标准或者低功耗)						
t_D	ENC 至 DATA 延迟	(注解 7)	● 1.3	2.5	3.8	ns
t_C	ENC 至 CLKOUT 延迟	(注解 7)	● 1.3	2.5	3.8	ns
t_{SKEW}	数据到时钟输出偏移	$(t_C - t_D)$ (注解 7)	● -0.6	0	0.6	ns
t_{RISE}	输出上升时间			0.5		ns
t_{FALL}	输出下降时间			0.5		ns
数据延迟	数据延迟			7		Cycles
CMOS 输出模式						
t_D	ENC 至 DATA 延迟	(注解 7)	● 1.3	2.7	4.0	ns
t_C	ENC 至 CLKOUT 延迟	(注解 7)	● 1.3	2.7	4.0	ns
t_{SKEW}	数据到时钟输出偏移	$(t_C - t_D)$ (注解 7)	● -0.6	0	0.6	ns
数据延迟	数据延迟	全速率 COMS 半数据模式		7 7		Cycles Cycles

电气特性

注解 1: 高于“绝对最大额定值”部分所列数值的应力有可能对器件造成永久性的损害。在任何绝对最大额定值条件下暴露的时间过长都有可能影响器件的可靠性和使用寿命。

注解 2: 所有的电压值均以 GND 为基准, 且 GND 和 OGND 是短路的 (除非另有说明)。

注解 3: 当这些引脚的电压被拉至 GND 以下或者 VDD 以上时, 它们将被内部二极管所钳位。在低 GND 或者高于 VDD 的情况下, 本产品能处理超过 100mA 的输入电流, 且不会发生锁断。

注解 4: $V_{DD}=3.3V$,

$f_{SAMPLE}=130MHz$, LVDS 输出, 差分 ENC⁺/
ENC⁻= $2V_{P-P}1.6V$ 共模正弦波, $2.25V_{P-P}$ 的输入范围差分驱动 (PGA=0), 除非另有说明。

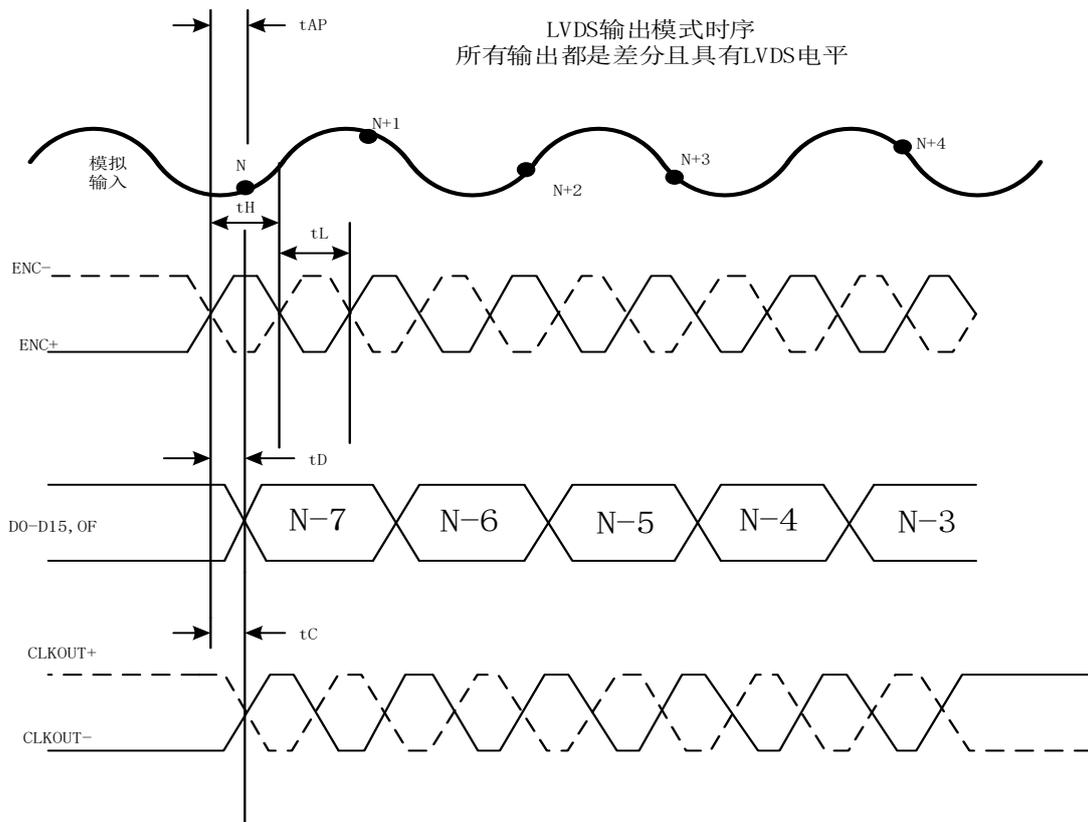
注解 5: 积分非线性被定义为代码从“最佳拟合直线”到传输曲线的偏差。从量化带的中心测量偏差。

注解 6: 偏置误差是指在二进制补码输出模式下, 当输出码在 0000 0000 0000 0000 到 1111 1111 1111 111 之间振荡时, 从 $-\frac{1}{2}LSB$ 测量到的偏移电压。

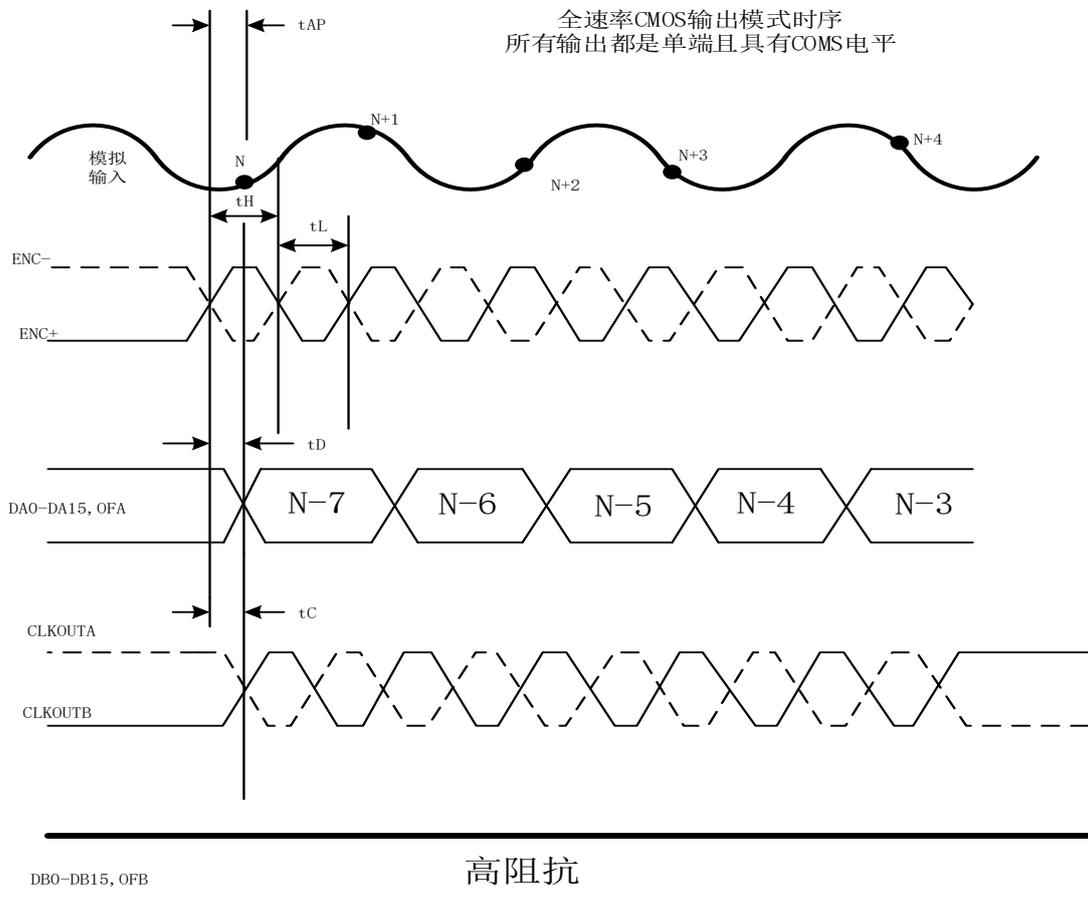
注解 7: 设计保证, 无需测试

注解 8: 推荐操作条件。

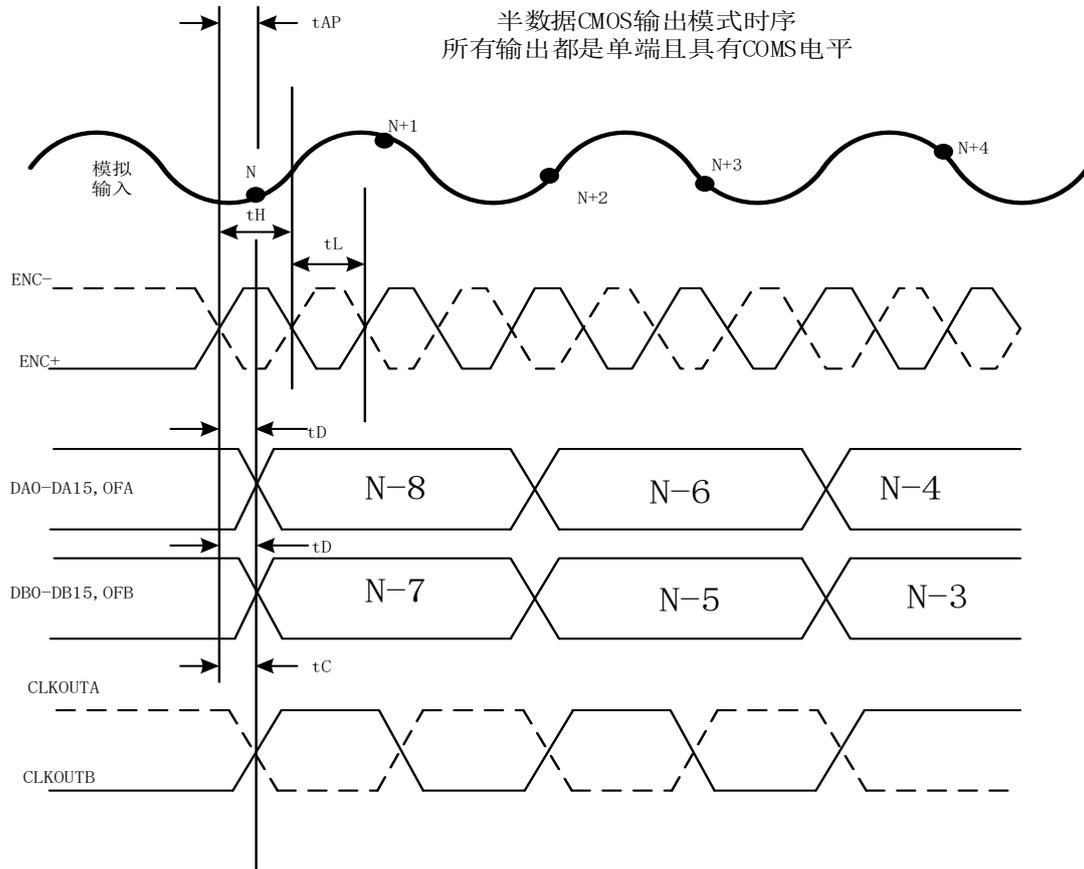
时序图

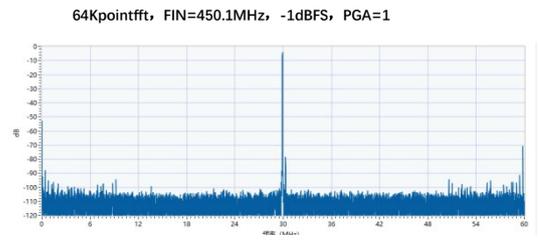
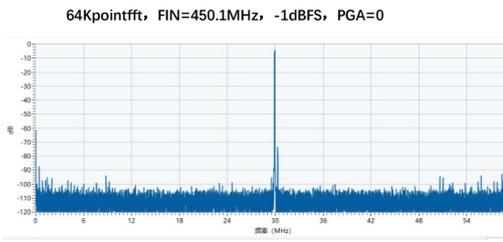
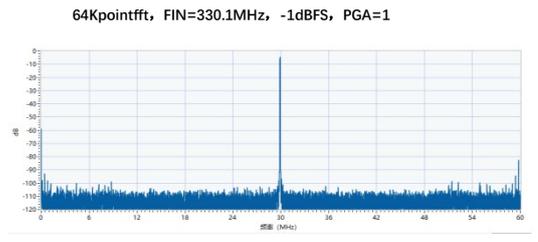
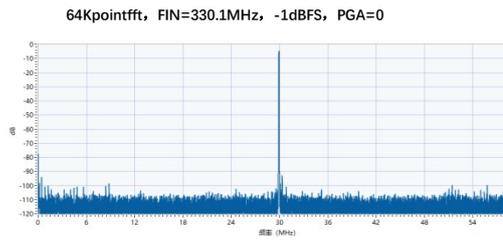
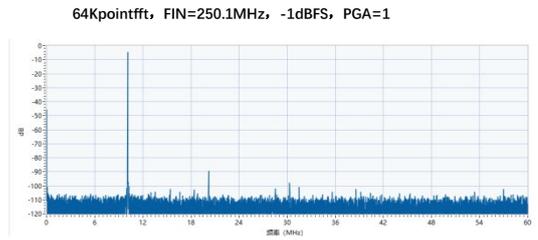
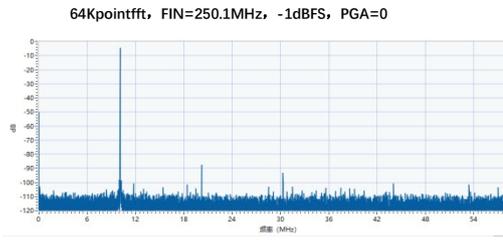
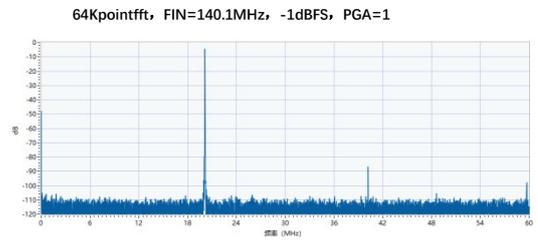
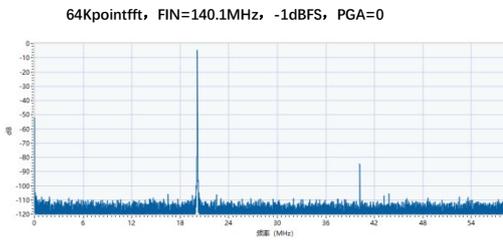
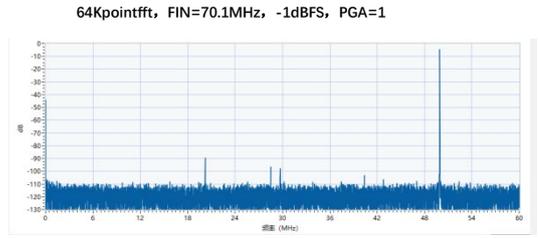
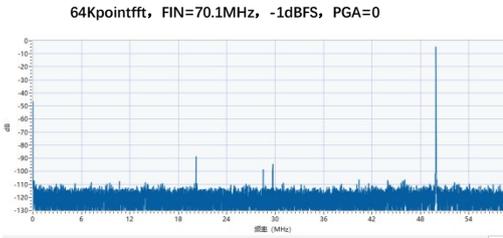
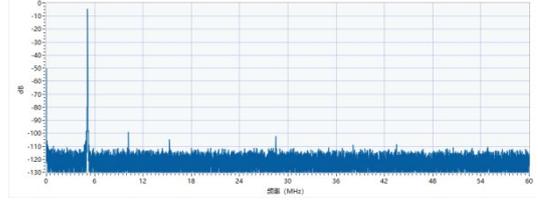
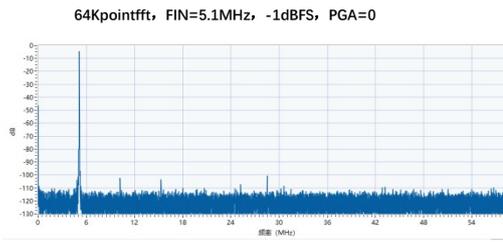


时序图



时序图





64Kpointfft, FIN=5.1MHz, -1dBFS, PGA=1

引脚功能

对于 CMOS 全速或者半数据模式。

SENSE (Pin 1): 参考模式选择和外部参考输入。将 SENSE 引脚连接 VDD 以选择内部 2.5V 带隙基准。外部基准电压为 2.5V 或 1.25V; 两个参考值都将设置 2.25V(PGA=0) 的满量程范围。

GND (Pins 2, 4, 7, 10, 11, 14, 18): ADC 电源地。

V_{CM} (Pin 3): 1.25V 输出。输入共模最佳电压。推荐最低 2.2uF 的陶瓷片式电容绕线旁路接地。

V_{DD} (Pins 5, 6, 15, 16, 17): 3.3V 模拟电源引脚。用 1uF 陶瓷片式电容旁路到地。

A_{IN+} (Pin 8): 正差分模拟输入。

A_{IN-} (Pin 9): 负差分模拟输入。

ENC⁺ (Pin 12): 正差分编码输入。采样的模拟输入保持在 ENC⁺ 的上升沿。内部通过一个 6.2K 电阻偏置到 1.6V。输出数据可以锁存在 ENC⁺ 的上升沿。

ENC⁻ (Pin 13): 负差分编码输入。采样的模拟输入保持在 ENC⁻ 的下降沿。内部通过一个 6.2K 电阻偏置到 1.6V。用 0.1uF 电容对单端编码信号旁路接地。

SHDN (Pin 19): 电源关闭引脚。在正常操作中, SHDN 接低。SHDN 接高导致驱动下模拟电路和数字输出处于高阻抗状态。

DITH (Pin 20): 内部抖动启用引脚。DITH 接低禁用内部抖动, DITH 接高启用内部抖动。有关 DITH 操作的详细信息可以参阅本手数据侧的内部抖动部分。

DB0-DB15 (Pins 21-30 and 33-38): B 总线数字输出。DB15 是 MSB, 在半数据模式下激活。在全速 CMOS 中, B 总线处于高阻抗状态。

OGND (Pin 31 and 50): 输出驱动地。

OV_{DD} (Pin 32 and 49): 输出驱动的正供电。用 1uF 电容旁路接地。

OFB (Pin 39): B 总线的过流/欠流数字输出。当 B 总线上发生过流或欠流时, OFB 为高, 且在全速 CMOS 中一直处于高阻抗状态。

CLKOUTB (Pin 40): 数据有效输出。

CLKOUTB 将在全速率 CMOS 模式中以 1 倍采样率采样, 或在半数据模式中以 1/2 倍采样率采样。锁存 CLKOUTB 的下降沿上的数据。

CLKOUTA (Pin 41): 反向数据有效输出。

CLKOUTA 将在全速率 CMOS 模式中以 1 倍采样率采样, 或在半数据模式中以 1/2 倍采样率采样。锁存 CLKOUTA 的上升沿的数据。

DA0-DA15 (Pins 42-48 and 51-59): A 总线数字输出。DA15 是 MSB。输出总线为全速率 CMOS 模式和半数据模式。

OFA (Pin 60): A 总线的过流/欠流数字输出。当 A 总线上发生过流或欠流时, OFA 为高。

LVDS (Pin 61): 数据输出模式选择引脚。全速率 CMOS 模式时 LVDS 接 0V; 半数据模式时 LVDS 接 1/3V_{DD}; 低功耗 LVDS 模式时 LVDS 接 2/3V_{DD}; 标准 LVDS 模式时 LVDS 接 V_{DD}。

MODE (Pin 62): 输出格式和时钟占空比稳定器选择引脚。偏移二进制输出格式并禁用时钟占空比稳定器时 MODE 接到 0V; 偏移二进制输出格式并启用时钟占空比稳定器时 MODE 接 1/3V_{DD}; 二进制补码输出格式并启用时钟占空比稳定器时 MODE 接 2/3V_{DD}; 二进制补码输出格式并禁用时钟占空比稳定器时 MODE 接 V_{DD}。

RAND (Pin 63): 数字输出随机化选择引脚。正常运行时 RAND 接低; RAND 接高时选择 D1-D15 与 D0 (LSB) 异或。输出可以通过在 LSB 和其他所有比特之间再次异或操作来解码。这种操作方式减少了数字输出干扰的影响。

PGA (Pin 64): 可编程增益放大器控制引脚。PGA 接低时选择前端增益为 1, 输入范围为 2.25V_{P-P}。PGA 接高时选择的前端增益为 1.5, 输入范围 1.5V_{P-P}。

GND (裸露的焊盘): ADC 电源接地。封装底部的裸露焊盘必须焊接接地。

引脚功能

用于 LVDS 模式。标准或低功率。

SENSE (Pin 1): 参考模式选择和外部参考输入。将 SENSE 引脚连接 VDD 以选择内部 2.5V 带隙基准。外部基准电压为 2.5V 或 1.25V; 两个参考值都将设置 2.25V(PGA=0) 的满量程范围。

GND (Pins 2, 4, 7, 10, 11, 14, 18): ADC 电源地。

V_{CM} (Pin 3): 1.25V 输出。输入共模最佳电压。推荐最低 2.2uF 的陶瓷片式电容绕线旁路接地。

V_{DD} (Pins 5, 6, 15, 16, 17): 3.3V 模拟电源引脚。用 1uF 陶瓷片式电容旁路到地。

A_{IN+} (Pin 8): 正差分模拟输入。

A_{IN-} (Pin 9): 负差分模拟输入。

ENC⁺ (Pin 12): 正差分编码输入。采样的模拟输入保持在 ENC⁺ 的上升沿。内部通过一个 6.2K 电阻偏置到 1.6V。输出数据可以锁存在 ENC⁺ 的上升沿。

ENC⁻ (Pin 13): 负差分编码输入。采样的模拟输入保持在 ENC⁻ 的下降沿。内部通过一个 6.2K 电阻偏置到 1.6V。用 0.1uF 电容对单端编码信号旁路接地。

SHDN (Pin 19): 电源关闭引脚。在正常操作中, SHDN 接低。SHDN 接高导致驱动下模拟电路和数字输出处于高阻抗状态。

DITH (Pin 20): 内部抖动启用引脚。DITH 接低禁用内部抖动, DITH 接高启用内部抖动。有关 DITH 操作的详细信息可以参阅本手数据侧的内部抖动部分。

D0⁻/D0⁺ to D15⁻/D15⁺ (Pin 21-30, 33-38, 41-48 and 51-58): LVDS 数字输出。

所有 LVDS 输出需要在 LVDS 接收器差分 100 Ω 终端电阻。D15⁺/D15⁻ 是 MSB。

OGND (Pin 31 and 50): 输出驱动地。

OV_{DD} (Pin 32 and 49): 输出驱动的正供电。用 0.1uF 电容旁路接地。

CLKOUT⁻/CLKOUT⁺ (Pin 39 and 40): LVDS 数据有效输出。锁存数据在 CLKOUT⁺ 上升沿和 CLKOUT⁻ 的下降沿。

OF⁻/OF⁺ (Pin 59 and 60): 当发生过流或欠流时, 过流/欠流数字输出为高。

LVDS (Pin 61): 数据输出模式选择引脚。全速率 CMOS 模式时 LVDS 接 0V; 半数据模式时 LVDS 接 1/3V_{DD}; 低功耗 LVDS 模式时 LVDS 接 2/3V_{DD}; 标准 LVDS 模式时 LVDS 接 V_{DD}。

MODE (Pin 62): 输出格式和时钟占空比稳定器选择引脚。偏移二进制输出格式并禁用时钟占空比稳定器时 MODE 接到 0V; 偏移二进制输出格式并启用时钟占空比稳定器时 MODE 接 1/3V_{DD}; 二进制补码输出格式并启用时钟占空比稳定器时 MODE 接 2/3V_{DD}; 二进制补码输出格式并禁用时钟占空比稳定器时 MODE 接 V_{DD}。

RAND (Pin 63): 数字输出随机化选择引脚。正常运行时 RAND 接低; RAND 接高时选择 D1-D15 与 D0 (LSB) 异或。输出可以通过在 LSB 和其他所有比特之间再次异或操作来解码。这种操作方式减少了数字输出干扰的影响。

PGA (Pin 64): 可编程增益放大器控制引脚。PGA 接低时选择前端增益为 1, 输入范围为 2.25V_{p-p}。PGA 接高时选择的前端增益为 1.5, 输入范围 1.5V_{p-p}。

GND (裸露的焊盘): ADC 电源接地。封装底部的裸露焊盘必须焊接接地。

块状图

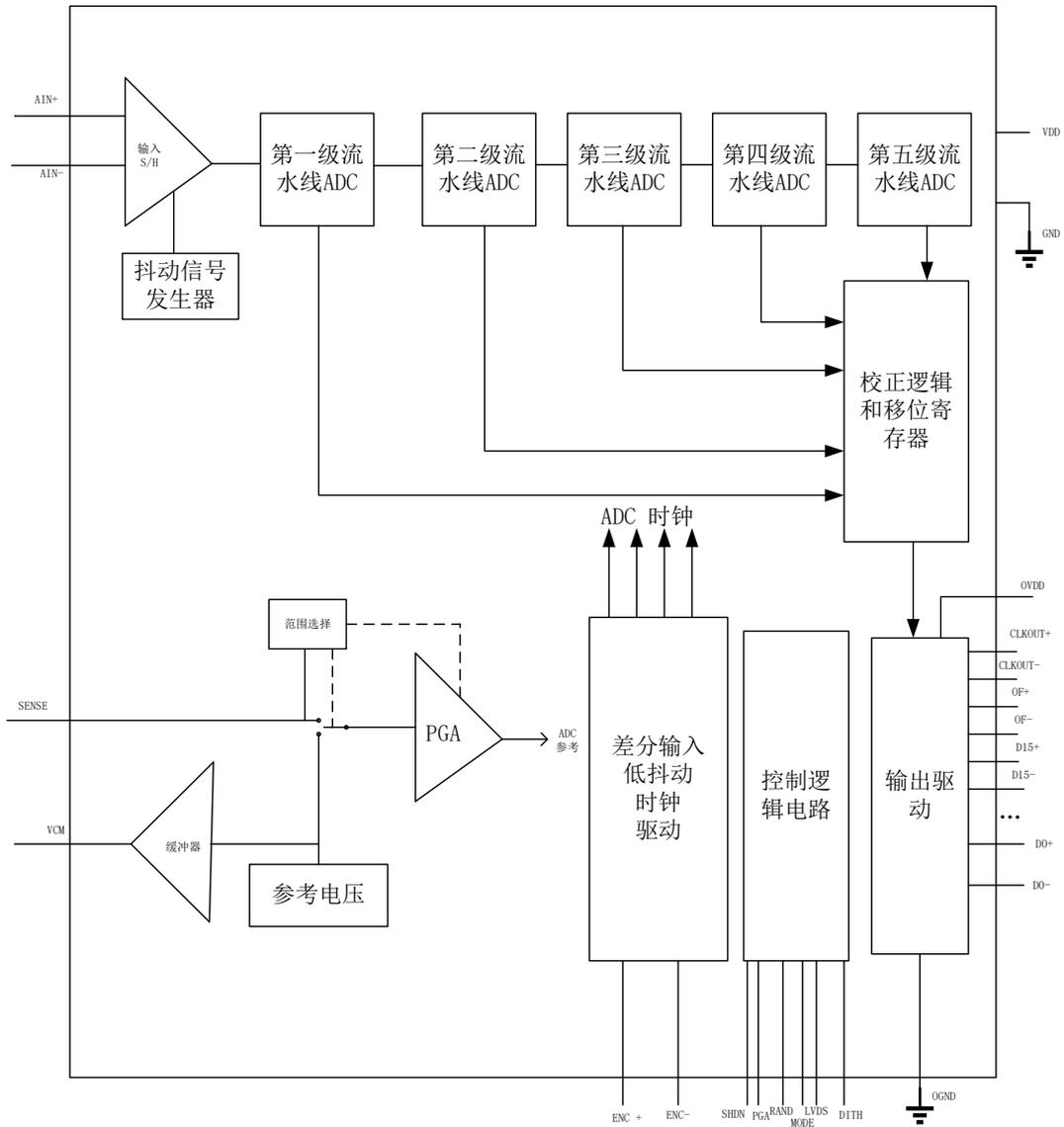


图 1: 功能框图

操作

动态特性

信噪比+失真比

信噪比+失真比[S/(N+D)]是指基本输入频率的RMS振幅与ADC输出的所有其他频率分量的有效值幅度之比。输出的频带限制在直流以上到采样频率一半以下之间。

信噪比

信噪比(SNR)是基频输入频率的有效值幅度和除前五次谐波以外所有其他频率分量的有效值幅值之比。

总谐波失真

总谐波失真是输入信号中所有谐波的有效值与基波本身的比值。带外谐波混叠进入直流和采样频率的一半之间的频带。THD的表达式为:

$$THD = -20 \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1} \right)$$

其中, V_1 是基本频率的均方根振幅, V_2 到 V_N 是第二次到第 n 次谐波的幅值。

互调失真

如果ADC输入信号由多个频谱分量组成,除了THD之外,ADC传递函数非线性还会产

生互调失真(IMD)。IMD是由另一个不同频率的正弦输入引起的一个正弦输入的变化。

如果将频率为 f_a 和 f_b 的两个纯正弦波应用于ADC输入端,则ADC传递函数中的非线性会在 $m f_a \pm n f_b$ 的和频跟差频处产生失真积,其中 m 和 $n=0, 1, 2, 3$ 等。例如,三阶IMD项包括 $(2f_a+f_b)$, (f_a+2f_b) , $(2f_a-f_b)$ 和 (f_a-2f_b) 。三阶IMD被定义为任意输入的RMS值与最大的三阶IMD乘积的RMS值之比。

无杂散动态范围(SFDR)

输入信号的有效值与以dBc表示的峰值杂散频谱分量的有效值之比。SFDR也可以相对于满量程计算,单位为dBFS。

全功率带宽

全功率带宽是指在满量程输入信号时,重构基波的幅值降低3dB的输入频率。

孔径延迟时间

从上升的 ENC^+ 到等于 ENC^- 电压到输入信号被采样保持电路保持的时间。

光圈延迟抖动

光圈延迟时间从转换到转换的变化。在对交流输入采样时,这种随机变化会增大噪声。仅由抖动引起的信噪比为:

$$SNR_{JITTER} = -20 \log (2 \pi \cdot f_{IN} \cdot t_{JITTER})$$

应用信息

转换器特性

ASTA2209 是一种具有前端 PGA 的 CMOS 流水线型多步转换器。如图 1 所示，该转换器有 5 个流水线 ADC 级；在 7 个周期后，采样的模拟输入产生数字化值（参见时序图部分）。模拟输入通过差分来提高共模噪声抗扰性并最大化输入范围。此外，差分输入驱动会减少采样和保持电路的偶数次谐波。编码输入也是用差分来提高共模噪声抗扰性。

差分 ENE^+ / ENE^- 输入引脚状态确定 ASTA2209 的两个工作阶段。为简洁起见，文章中将 ENE^+ 大于 ENE^- 称为 ENC 高，将 ENE^+ 小于 ENE^- 称为 ENC 低。

如图 1 所示的每个流水级包含一个 ADC、一个重构 DAC 和一个级间放大器。在运算中，ADC 将输入量化到级，量化后的值由 DAC 从输入中减去以产生一个残差。残差放大后由残差放大器输出。相继的级以不同的相位操作，因此，当奇数级输出它们的残差时，偶数级获得该残差，反之亦然。

当 ENC 为低时，模拟输入被差分采样到输入采样保持电容上，位于框图中所示的“输入 S/H”内。在 ENC 从低到高转换的瞬间，保持采样电容上的电压。当 ENC 很高时，保持的输入电压由 S/H 放大器缓冲，该放大器驱动第一级流水线 ADC 级。第一级获取 ENC 的高相位时 S/H 放大器的输出，当 ENC 回落到低相位时，第一阶段产生其残余量，由第二阶段获取。同时，输入 S/H 返回获取

模拟输入。当 ENC 升高时，第二阶段产生的残余量由第三阶段获得。在第三和第四阶段重复相同的过程，产生第四阶段的残余量，该残余量被送到第五阶段进行最终评估。

在第一级之后的每个 ADC 级都有额外的范围以适应电平和放大器的失调误差。来自所有 ADC 级的结果都有数字上的延迟，这样在发送到输出缓冲区之前，结果可以在校正逻辑中正确地组合。

采样/保持操作和输入驱动

采样/保持操作

图 2 是 ASTA2209 CMOS 差分采样和保持的等效电路。差分模拟输入通过 NMOS 晶体管直接采样到采样电容器 (C_{SAMPLE}) 上。图示的电容器连接到每个输入电容 ($C_{PARASITIC}$)，其是与每个输入相关的所有其他电容的总和。

在 ENC 处于低电平的采样阶段，NMOS 晶体管将模拟输入连接到采样电容，并对其充电，跟踪差分输入电压。当 ENC 从低到高转换时，采样的输入电压保持在采样电容上。当 ENC 位于高电平的保持阶段，采样电容与输入断开，保持电压传递到 ADC 核心进行处理。当 ENC 从高到低转换时，输入重新连接到采样电容以获取新的采样。由于采样电容仍然保持之前的样本，此时将看到与样本之间电压变化成比例的充电毛刺。如果最后一个样本和新样本之间的变化很小，则在输入端看到的充电毛刺也会很小。

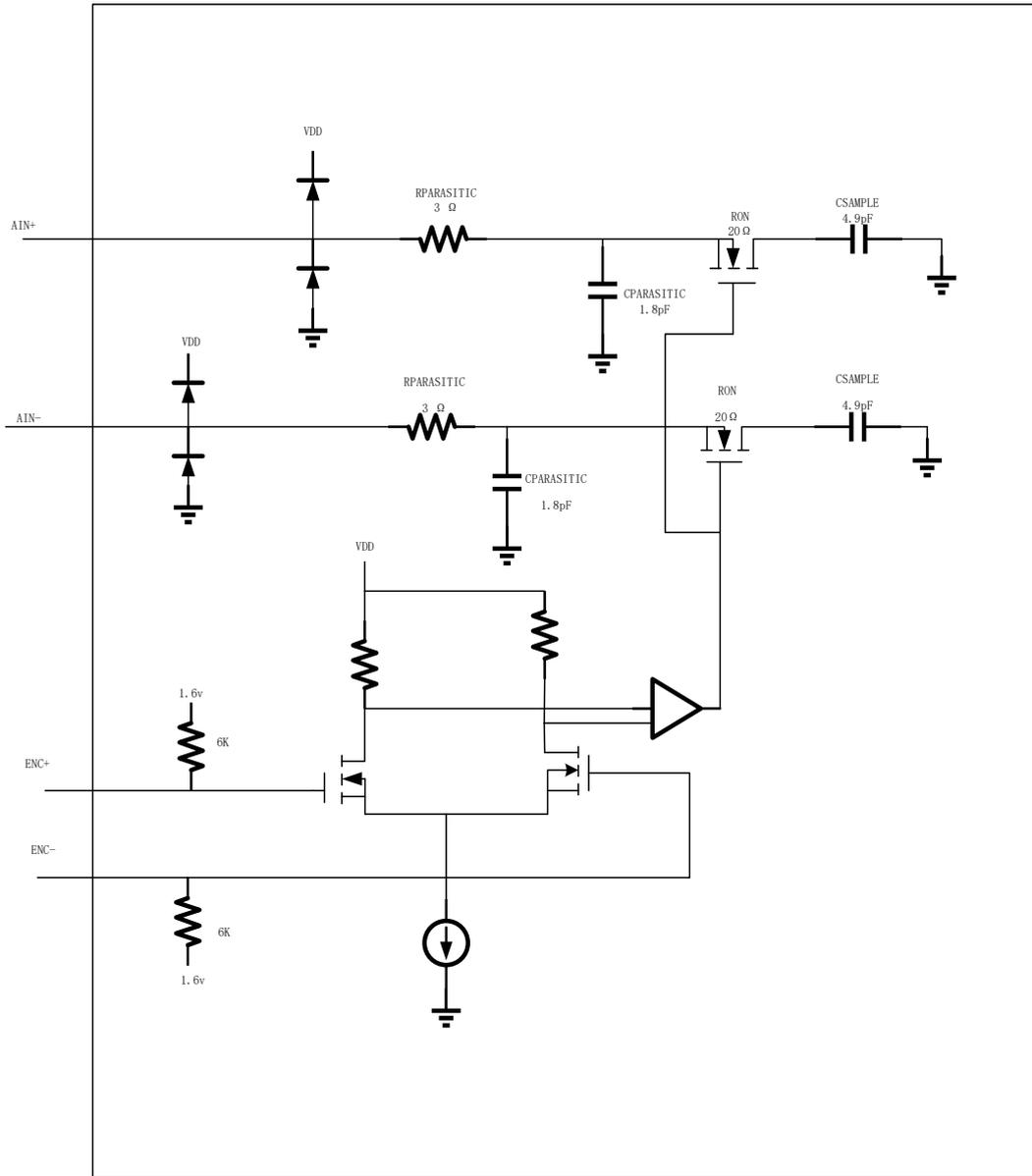


图 2：等效输入电路

应用信息

如果输入变化很大，例如在奈奎斯特附近的输入频率的变化，那么将看到一个更大的充电故障。

共模偏置

ADC 采样保持电路需要用差分驱动来实现指定的性能。每个输入在 2.25V 范围 (PGA=0) 时应摆动 $\pm 0.5625V$ ，在 1.5V 的范围 (PGA=1) 时摆动 $\pm 0.375V$ ，共模电压为 1.25V。V_{CM} 输出引脚（引脚 3）的目的是提供共模偏置电平。V_{CM} 可以直接连接到变压器的中心抽头来设置直流输入电平或作为

运放差分驱动电路的参考电平。推荐引脚接 2.2uF 或者值更大的电容旁路到靠近 ADC 的地。

输入驱动阻抗

与所有高性能的高速 ADC 一样，ASTA2209 的动态性能（特别是第二次和第三次谐波）也会受到输入驱动电路的影响。源阻抗和输入阻抗会影响 SFDR。在 ENC 的下降沿，采样保持电路将 4.9pF 采样电容连接到输入引脚并开始进入采样周期。采样周期在 ENC 上升时结束，保持采样电容上的采样输入。理想情况下，输入电路应该足够快，以便在采样周期 $1/(2F \text{ 编码})$ 期间对采样电容充满电；

然而这并不总是可能的，不完整的采样可能会降低 SFDR。采样毛刺已被设计成尽可能线性来降低没有完全解决的影响。

建议每个输入源阻抗小于等于 $100\ \Omega$ ，以此得到最佳性能。差分输入的源阻抗应匹配，匹配不良会导致更高的偶次谐波，特别是二次谐波。

输入驱动电路

输入滤波

ADC 输入端的一阶 RC 低通滤波器有两个作用：限制输入电路的噪声和隔离 ADC 采样/保持开关。ASTA2209 具有非常宽的采样/保持电路，输入频率最高可达 700MHz ；它可以在广泛的应用中使用；因此，无法提供单一推荐的 RC 滤波器。

图 3、4a 和 4b 显示了输入 RC 滤波在三个输入频率范围内的三个例子。一般来说，推荐电容器的尺寸在允许的范围内，这将有

助于抑制随机噪声以及来自数字电路的耦合噪声。ASTA2209 不需要任何输入滤波器来实现数据手册规范；然而没有滤波，输入驱动电路的噪声要求会更加严格。

变压器耦合电路

图 3 所示 ASTA2209 由一个中心抽头的 RF 变压器驱动。前者有一个中置的次级方案，次级中心抽头采用 V_{CM} 直流偏置，将 ADC 输入信号设置为最佳直流电平。图 3 所示为 $1:1$ 匝数比变压器，可以使用其他匝数比，但是随着匝数比的增加，ADC 看到的阻抗也会增加。源阻抗大于 $50\ \Omega$ 会降低输入带宽，增加高频失真。使用变压器的缺点是低频响应的损失。大多数小型 RF 变压器在低于 1MHz 的频率下性能较差。

中心抽头变压器提供了一种方便的直流偏置方式；然而它们在高频下往往变现出较差的平衡，导致高的二阶谐波。

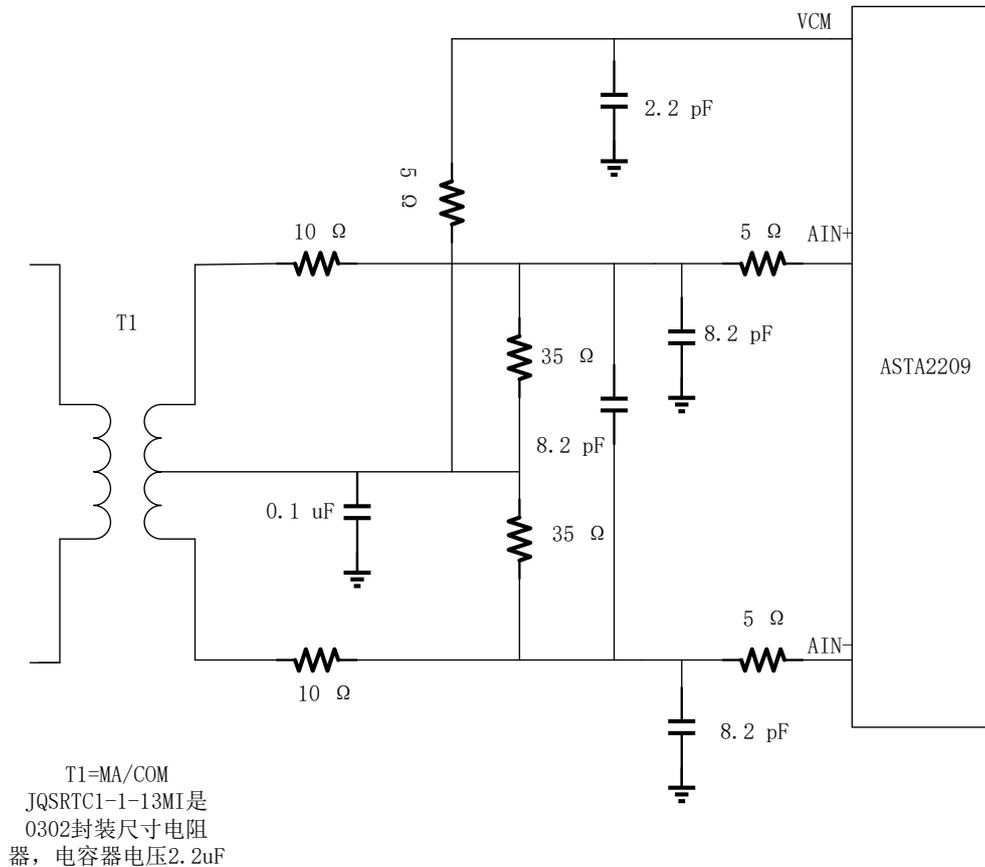


图 3：使用变压器的单端到差动转换。输入频率建议为 $5\text{MHz}\sim 100\text{MHz}$

应用信息

图 4a 显示了使用传输线巴伦变压器的变压器耦合。这种类型的变压器具有比磁通耦合中心抽头变压器更好的高频响应和平衡。在地端和输入初级端子上增加耦合电容，以使二次端子在 1.25V 时偏置。图 4b 显示了适合更高输入频率的元件的相同电路。

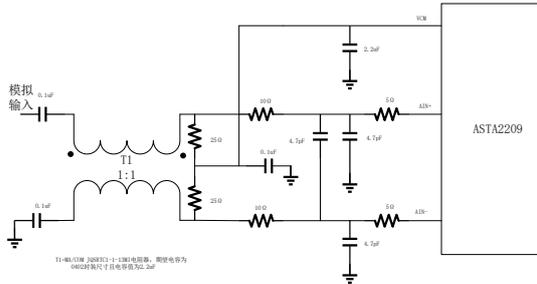


图 4a: 使用传输线巴伦变压器。
建议 100MHz 到 250MHz 的输入频率

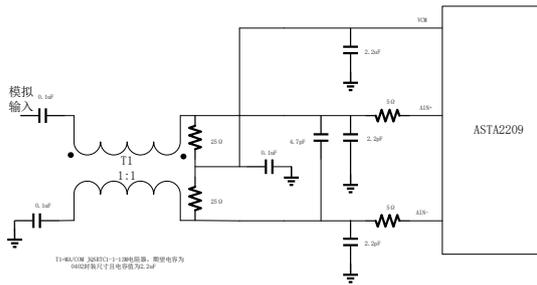


图 4b: 使用传输线巴伦变压器。
建议 250MHz 到 500MHz 的输入频率

直接耦合电路

图 5 演示了使用差分放大器将单端输入信号转换为差分输入信号。这种方法的优点是它提供了低频输入响应；但是，任何运算或闭环放大器的有限增益带宽都会在高输入频率下降低 ADC 的 SFDR。此外，宽带运算放大器或差分放大器往往具有高噪声。因此，推荐在 ADC 输入之前限制噪声带宽，否则 SNR 将降低。

参考操作

图 6 显示了 ASTA2209 参考电路，由 2.5V 带隙参考电路，可编程增益放大器和控制电路组成。

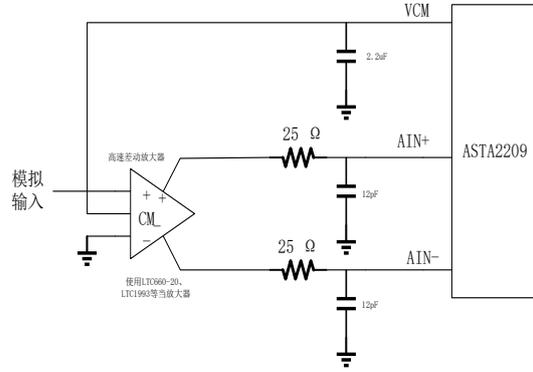


图 5: 带差分放大器的直流耦合输入

ASTA2209 具有三种模式参考：内部参考，1.25V 外部参考或 2.5V 外部参考。使用内部参考时将 SENSE 引脚连接到 V_{DD} 。使用外部参考时只需在 SENSE 输入引脚施加 1.25V 或 2.5V 的参考电压。1.25V 和 2.5V 加到 SENSE 将产生 2.25V_{P-P} 的满量程 (PGA=0)。1.25V 的输出。 V_{CM} 提供了输入驱动电路的共模偏置。 V_{CM} 的输出需要一个外部旁路电容。这为内部和外部电路提供了一个高频低阻抗接地路径。这也是补偿电容的参考；如果没有这个电容器，它将不稳定。根据稳定性要求，推荐最小值是 2.2µF。

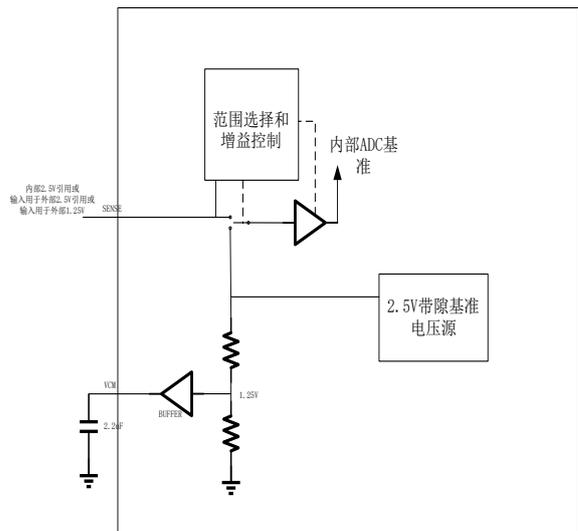


图 6: 参考电路

应用信息

内部可编程增益放大器为 ADC 提供内部参考电压。该放大器有非常严格的稳定要求，不能在外部使用。

SENSE 引脚可以标称 2.5V 或 1.25V 外部参考输入 $\pm 5\%$ 左右驱动。该调整范围可用于调整 ADC 增益误差或其他系统增益误差。当选择内部基准时，SENSE 引脚应绑到尽可能靠近转换器的 V_{DD} 上。如果 SENSE 引脚是外部驱动的，则应使用 1 μ F 陶瓷电容器将其旁路到尽可能靠近器件的地。

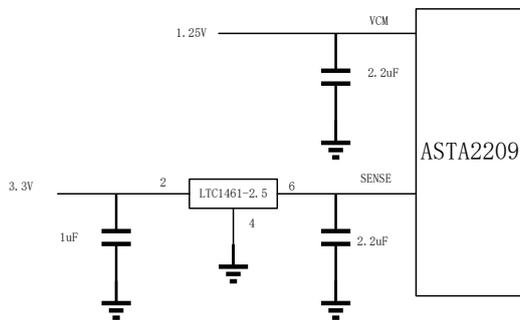


图 7: 带外部 2.5V 基准的范围为 2.25V 的 ADC

PGA 引脚

PGA 引脚在 ADC 前端的两个增益之间进行选择。PGA=0 选择 2.25V_{P-P} 的输入的范围；PGA=1 选择 1.5V_{P-P} 的输入范围。2.25V 输入范围的信噪比最好，但当输入频率大于 100MHz 时，失真会更高。对于高输入频率的应用，低输入范围的失真会有所改善，但 SNR 会降低 1.8dB。具体请参阅典型性能曲线部分。

驱动编码输入

ASTA2209 的噪声性能取决于编码信号的质量和模拟输入的质量。编码输入被设计成差分驱动，主要是为了降低来自共模噪声源的噪声。每个输入端通过一个 6K 电阻偏置到 1.6V。偏置电阻可以设置变压器耦合驱动电路的直流工作点和单端驱动电路的逻辑阈值。

编码信号上存在的任何噪声将导致附加孔径抖动，这将与固有 ADC 孔径抖动的 RMS 求和。

在抖动非常关键的应用中（高输入频率），请考虑以下因素：

1. 应使用差分驱动。
2. 使用尽可能大的振幅。如果使用变压器耦合，使用更高的匝数比来增加振幅。
3. 如果 ADC 采用固定频率的正弦信号，则对编码信号进行滤波以减少宽带噪声。
4. 平衡两个编码输入端的电容和串联电阻，使任何耦合噪声在两个输入端都显示为共模噪声。

编码输入具有 1.2V 到 V_{DD} 的共模范围。对于单端驱动器，每个输入可以从地驱动到 V_{DD} 。

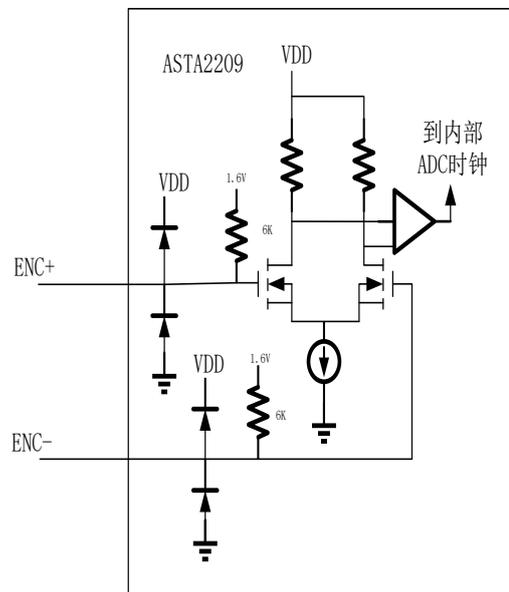


图 8a: 等效编码输入电路

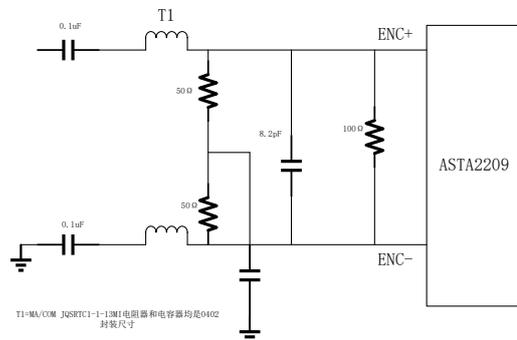


图 8b: 变压器驱动编码

应用信息

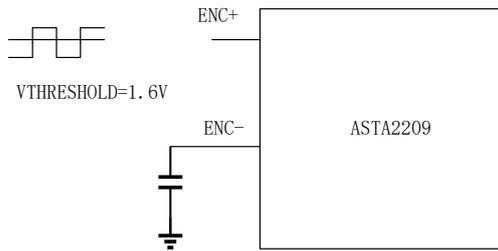


图 9: 单端 ENC 驱动器, 不推荐用低抖动

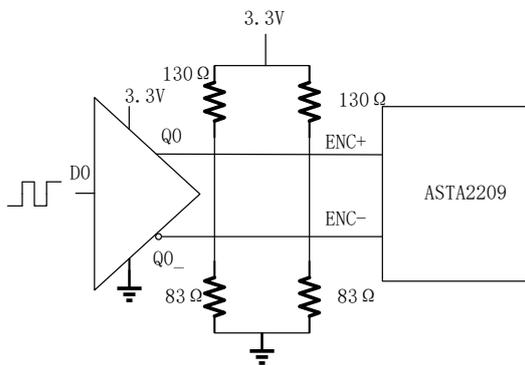


图 10: 使用 COMS 到 PECL 转换器的 ENC 驱动器

最大和最小编码速率

ASTA2209 的最大编码速率为 130MSPS。为了使 ADC 正常工作, 编码信号的占空比应为 50% ($\pm 5\%$)。每个半周期必须至少有 3.65ns, 使得 ADC 的内部电路有足够的稳定时间来正常工作。通过使用变压器或使用 PECL 或 LVDS 等对称差分逻辑, 差分正弦驱动器可以很容易实现精确的 50% 占空比。当使用单端 ENCODE 信号时, 不对称的上升和下降时间可能导致占空比远远超过到 50%。

如果输入时钟没有 50% 的占空比, 可以使用可选的时钟占空比稳定器。该电路利用 ENC 引脚的上升沿对模拟输入进行采样。忽略 ENC 的下降沿, 通过锁相环产生内部下降沿。输入时钟占空比可以从 30% 到 70% 变化, 时钟占空比稳定器将保持恒定的 50% 的内部占空比。如果时钟长时间关闭, 占空比稳定器电路将需要 100 个时钟周期 PLL 锁定到输入时钟。要使用时钟占空比稳定器, 必须使用外部电阻将 MODE 引脚接到 $1/3V_{DD}$ 或 $2/3V_{DD}$ 。ASTA2209 采样率的下限是由采样和

保持电路的下垂决定。这种 ADC 的流水线结构依赖于将模拟信号存储在小值电容器上, 结漏将使电容器放电。ASTA2209 的最小工作频率是 1MSPS。

数字输出

数字输出模式

ASTA2209 可在四种数字输出模式下工作: 标准 LVDS、低功耗 LVDS、全速率 CMOS 和半数据 CMOS 模式。LVDS 引脚用于选择工作模式, 该引脚有一个四电平的逻辑输入, 以 0, $1/3V_{DD}$, $2/3V_{DD}$, V_{DD} 为中心。外部电阻分压器可用于设置 $1/3V_{DD}$ 和 $2/3V_{DD}$ 为中心。外部电阻分压器可用于设置 $1/3V_{DD}$ 和 $2/3V_{DD}$ 的逻辑电平。表 1 显示了 LVDS 引脚的逻辑状态。

表 1: LVDS 引脚功能

LVDS	数字输出模式
0V (GND)	全速 CMOS
$1/3V_{DD}$	半数据 CMOS
$2/3V_{DD}$	低功耗 LVDS
V_{DD}	LVDS

数字输出缓冲器 (CMOS 模式)

图 11 显示了 CMOS 模式中全速率或半数据模式下单个输出缓冲器的等效电路。每个缓冲器由 OV_{DD} 和 OGND 供电, 与 ADC 电源和地隔离。输出驱动器中附加的 N 通道晶体管允许低电压操作。与输出串联的内部电阻使输出对外部电路显示为 50Ω , 并且消除了对外部阻尼电阻的需要。

与所有高速/高分辨率转换器一样, 数字输出负载会影响性能。ASTA2209 的数字输出应驱动最小容性负载, 以避免数字输出和敏感输入电路之间可能的相互作用。输出应与一个设备, 如 ALVCH16373 CMOS 锁存器缓冲。全速运行时, 容性负载应保持在 10pF 以下。串联的电阻器输出可以使用, 但不是必需的, 因为 ADC 有一个 43Ω 的片上串联电阻。

较低的 OV_{DD} 电压也有助于减少来自数字输出的干扰。

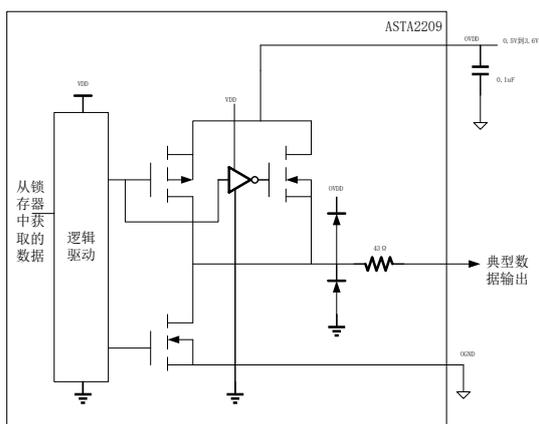


图 11: 数字输出缓冲器的等效电路

数字输出缓冲器 (LVDS模式)

图 12 显示了 LVDS 输出对的等效电路。3.5mA 的电流从 OUT^+ 流向 OUT^- , 反之亦然, 这会在 LVDS 接收器的 $100\ \Omega$ 电阻上产生 $\pm 350\text{mV}$ 的差分电压。反馈回路将共模输出电压调节到 1.20V 。为了正常工作, 每个 LVDS 输出对必须用外部 $100\ \Omega$ 电阻, 即使不使用信号 (如 OF^+/OF^- 或 $CLKOUT^+/CLKOUT^-$)。为了尽量减小噪声, 每个 LVDS 输出对的 PC

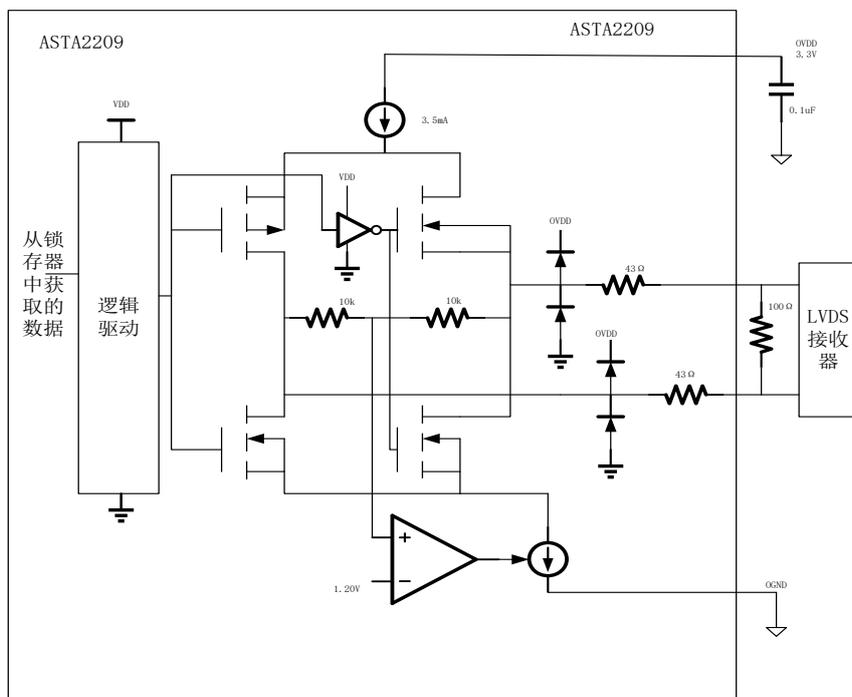


图 12: LVDS 模式下的等效输出缓冲器

板走线应该紧密地走线在一起。为了最大限度地减少时钟倾斜, 所有 LVDS PC 走线应该有几乎相同的长度。

在低功率 LVDS 模式下, 1.75mA 在差分输出之间转向, 导致在 LVDS 接收器 $100\ \Omega$ 终端电阻处产生 $\pm 175\text{mV}$ 电压。输出共模电压为 1.20V , 与标准 LVDS 模式相同。

数据格式

ASTA2209 并行数字输出可选择偏移二进制或二进制补码格式。通过 MODE 引脚来选择格式, 该引脚有一个四电平逻辑输入, 以 0 , $1/3V_{DD}$, $2/3V_{DD}$ 和 V_{DD} 为中心。外部电阻分压器可用于设置 $1/3V_{DD}$ 和 $2/3V_{DD}$ 的逻辑电平。表 2 显示了 MODE 引脚的逻辑状态。

表 2: MODE 引脚功能

MODE	输出格式	时钟占空比稳定器
0 (GND)	偏移二进制	关
$1/3V_{DD}$	偏移二进制	开
$2/3V_{DD}$	二进制补码	开
V_{DD}	二进制补码	关

应用信息

溢出位

溢出输出位 (OF) 表示转换器是超出或欠量程。在 CMOS 模式下, OFA 引脚上的逻辑高电平表示 A 数据总线上的溢出或欠流, 而 OFB 引脚上的逻辑高电平表示 B 数据总线上的溢出。在 LVDS 模式下, OF^+/OF^- 引脚上的差分逻辑表示溢出或欠流。

输出时钟

ADC 有一个延迟版本的编码输入作为数字输出, CLKOUT。CLKOUT 引脚可用于将转换器数据同步到数字系统。这在使用正弦编码时是必要的。在两种 CMOS 模式下, A 总线数据将随着 CLKOUTA 下降和 CLKOUTB 上升而更新。在半速 CMOS 模式随着 CLKOUTA 下降和 CLKOUTB 上升, B 总线数据将被更新。

在全速 CMOS 模式下, 只有 A 数据总线是活动的, 数据可以锁存在 CLKOUTA 的上升沿或 CLKOUTB 下降沿。

在半速 CMOS 模式下, CLKOUTA 和 CLKOUTB 将在编码信号频率的 1/2 处切换。A 总线和 B 总线都可以被锁存在 CLKOUTA 的上升沿或 CLKOUTB 的下降沿上。

数字输出随机发生器

来自 ADC 数字输出的干扰有时是无法避免的。来自数字输出的干扰可能来自电容或电感耦合或通过地平面的耦合。即使很小的耦合因素也会导致 ADC 输出频谱中出现明显的不想要的杂波。通过在数字输出从芯片传出去之前对其进行随机化, 可以对这些不需要的杂波进行随机化, 以噪底的轻微增加换取不需要的杂波幅度的大幅降低。

数字输出通过在 LSB 和其他数据输出位之间应用异或逻辑操作进行“随机化”。为了解码, 应用反向操作; 也就是说, 在 LSB 和所有其他位。LSB、OF 和 CLKOUT 输出不受影响。当 RAND 引脚接高时, 输出随机发生器功能启用。

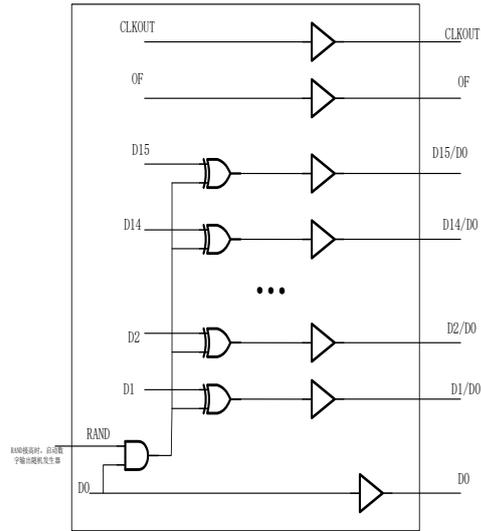


图 13: 数字输出随机发生器的功能等效电路

输出驱动器功率

单独的输出电源和接地引脚允许输出驱动器与模拟电路隔离。数字输出缓冲器 (OV_{DD}) 的电源应与被驱动逻辑的电源连接在一起。例如, 如果转换器驱动由 1.8V 电源供电的 DSP, 则 OV_{DD} 应连接相同的 1.8V 的电源。在 CMOS 模式 OV_{DD} 可以用 3.6V 以下的任何逻辑电压供电。OGND 可以用从地到 1V 的任何电压供电, 必须小于 OV_{DD} 。逻辑输出将在 OGND 和 OV_{DD} 之间摇摆。在 LVDS 模式下, OV_{DD} 应连接到 3.3V 电源, OGND 接 GND。

应用信息

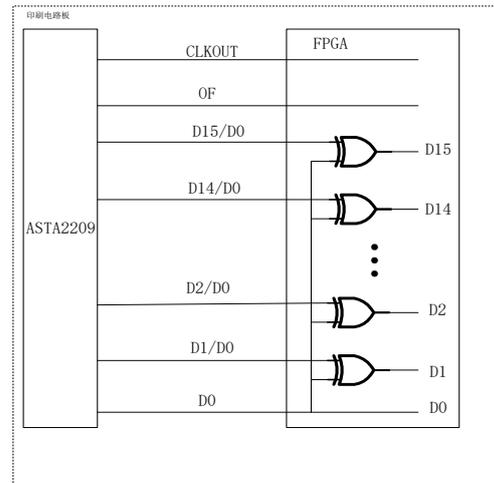


图 14: 抗干扰数字输出

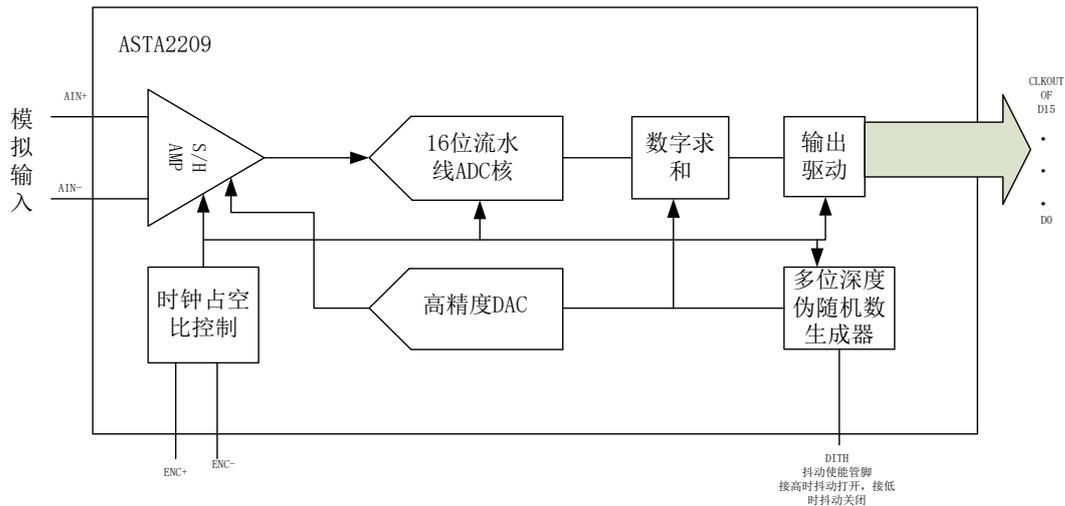


图 15：内部抖动电路的功能等效框图

内部抖动

ASTA2209 是一个 16 位 ADC，具有非常线性的传递函数；然而在低输入水平时，即使是在传递函数中发生轻微的变化，也会产生不必要的杂波。传输函数中的小误差通常是 ADC 元件不匹配的结果。可选的内部抖动模式可以使 ADC 传输曲线上的输入位置随机化，从而改善低信号电平的 SFDR。

如图 15 所示，采样保持放大器的输出与抖动 DAC 的输出相加。抖动 ADC 由长序列伪随机数发生器驱动，输入到抖动 DAC 的随机数也从 ADC 结果中减去。如果抖动 DAC 精确地校正到 ADC，在输出端会看到很少的抖动信号。而泄露出的抖动信号将以白噪声的形式出现。与关闭的抖动时的噪底相比，对抖动 DAC 进行了校准，使 ADC 的噪底升高小于 0.5dB。应用信息

接地和旁路

ASTA2209 要求印刷电路板具有干净的接地平面；建议使用带内接平面的多层板。

ASTA2209 引脚已为流通布局进行了优化，以便最大限度地减少输入和数字输出之间的交互。印刷电路板的布局应确保数字和模拟信号线尽可能分开。特别要注意的是，不要在模拟信号轨道旁边或 ADC 下面运行任何数字轨道。

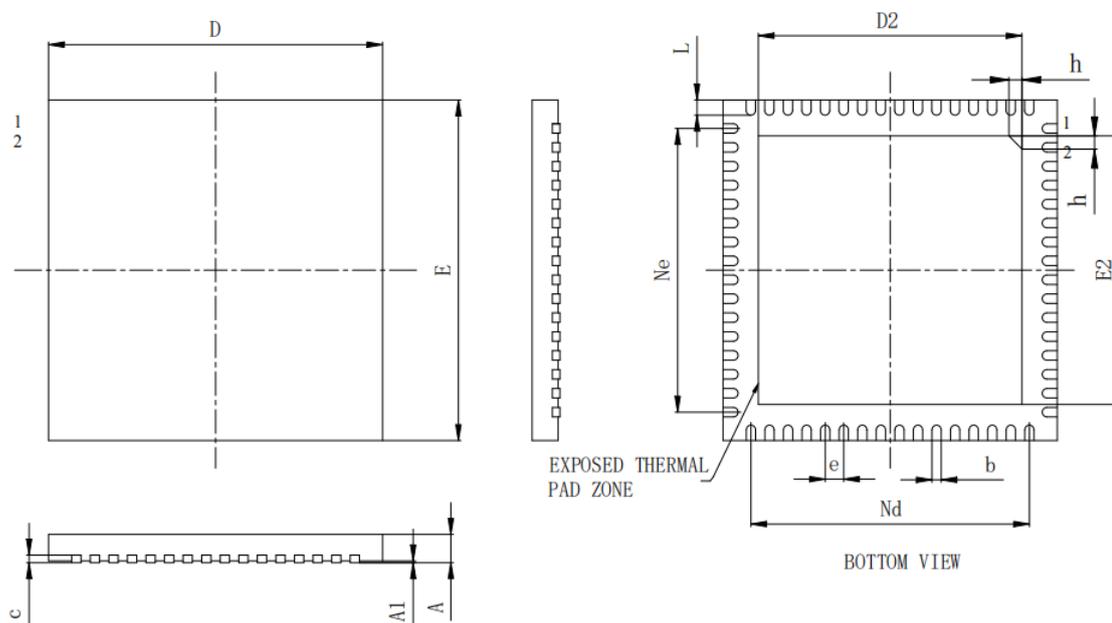
应在 V_{DD} 、 V_{CM} 和 IOV_{DD} 引脚上使用高质量的陶瓷旁路电容器。旁路电容器必须尽可能靠近引脚。连接引脚和旁路电容器的走线必须保持最短，并尽可能宽。ASTA2209 差分输入应并联并彼此接近。输入走线应尽可能短，使得电容最小化和噪声最小化。

热传递

ASTA2209 产生的大部分热量是通过底部暴露的 pad 从模具中传递的。为了保证良好的电气和热性能，外露的焊盘必须焊接到 PC 板上的大接地焊盘上。至关重要的是，暴露的焊盘和所有的接地引脚连接到一个足够面积的接地平面，并有尽可能多的过孔。

封装形式

本器件采用带热沉的 QFN64 封装，外壳外形按图 16 规定。



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	—	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	8.90	9.00	9.10
D2	7.00	7.10	7.20
e	0.50BSC		
Ne	7.50BSC		
Nd	7.50BSC		
E	8.90	9.00	9.10
E2	7.00	7.10	7.20
L	0.35	0.40	0.45
h	0.30	0.35	0.40
载体尺寸 (mil)	289*289/ 311*311		

图 16: 封装外形与尺寸

订购信息

表 2 产品订购信息

型号	工作温度范围	质量等级	封装类型
ASTA2209	-40~85℃	工业级	QFN-64