



深圳市雅创芯瀚电子科技有限公司
SHENZHEN ASTRONG-TECH CO., LTD

ASTA9245

单通道 14 位
20MSPS/40MSPS/65MSPS
/80MSPS ADC

服务电话：13691641629 13538015750

特性

- 3.3 V 供电 (2.7 V to 3.6 V)
- 完全兼容 AD9245
- SNR = 71 dBc
- SFDR = 83.0 dBc
- 低功耗设计: 210 mW at 80 MSPS
AD9245: 366 mW at 80 MSPS
- 差分输入 500 MHz 带宽
- 集成片上电压参考源和采样保持电路
- DNL = ± 0.3 LSB
- 灵活的模拟输入范围: 1 V_{p-p} to 2 V_{p-p} 范围
- 偏移二进制或二进制补码数据格式
- 片上集成时钟占空比稳定电路

应用

- 医疗成像设备
- 通讯收发器
- 电池供电设备
- 手持示波器频谱分析仪

概述

ASTA9245 是一个单片集成的, 单端供电、14-bit、20MSPS/40MSPS/65MSPS/80MSPS 模数转换器 (ADC), 包含高性能的采样保持放大器和电压基准。ASTA9245 使用了差分多级的流水线架构, 并带有输出误差校正逻辑来提供 14bit 精度并且保证在全工作温度范围内没有失码。宽带全差分 SHA 允许多种可选输入范围和宽输入共模, 包括单端应用。它适用于在连续通道中切换满量程电压电平的多路复用系统, 以及在远高于奈奎斯特速率的频率下对单通道输入进行采样。ASTA9245 适用于通信、成像和医疗超声领域的应用。

图 1 中单端时钟输入用于控制所有内部转换周期, 占空比稳定电路 (DCS) 能够补偿时钟占空比的变化, 同时保持出色的 ADC 整体性能。数字输出数据以偏移二进制或二进制补码格式表示, 超量程 (OTR) 信号指示输入溢出情况, 配合最高有效位来确定低溢出或高溢出。ASTA9245 采用 CMOS 工艺制造, 32 引脚 QFN 封装, 工作温度范围 (-55°C 至 +125°C)。

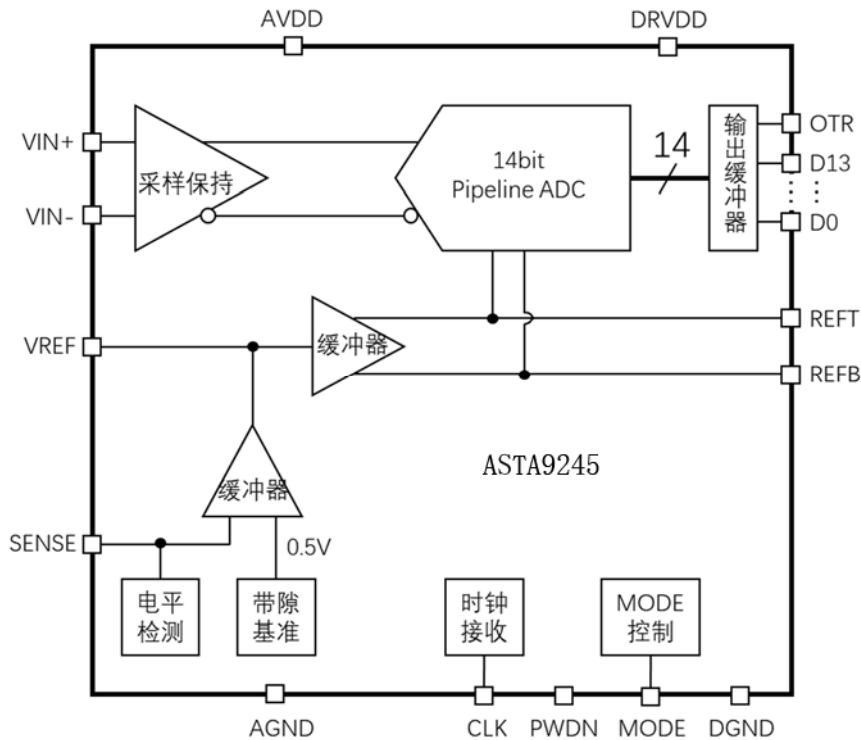


图1、ASTA9245功能框图

规格

默认测试条件: AVDD = 3.3 V, DRVDD = 3.3 V, 最大采样率, 2 V_{p-p} 差分输入, 1.0 V 内部基准

参数	测试条件	最小	典型	最大	单位
静态参数					
分辨率		14			Bits
偏移误差			±0.30	±1	%FS
增益误差			±1	±4.16	%FS
微分非线性			±0.5	±1.0	LSB
积分非线性			±2	±5.15	LSB
内部电压基准偏差	0.5V 模式		±10		mV
	1V 模式		±20	±34	mV
模拟输入电压范围	VREF=0.5V		1		V _{p-p}
	VREF=1V		2		V _{p-p}
电源参数					
模拟电源电压		2.7	3.3	3.6	V
驱动电源电压		2.25	2.5	3.6	V
模拟电源电流			58		mA
驱动电源电流			6		mA
低频输入时功耗			210	230	mW
Standby 模式功耗			1		mW
动态参数					
信噪比	f _{in} =5MHz	69	71		dB
	f _{in} =70MHz	68	69.5		
	f _{in} =100MHz		67		
信纳比	f _{in} =5MHz	68	70		dB
	f _{in} =70MHz	67	69		
	f _{in} =100MHz		66.5		
有效位数	f _{in} =5MHz		11.5		Bits
	f _{in} =70MHz		11.2		
	f _{in} =100MHz		11		
无杂散动态范围	f _{in} =5MHz		-85		dBc
	f _{in} =70MHz		-82		
	f _{in} =100MHz		-78		
逻辑电平					
输入高电平电压	CLK, PWDN 脚	2.0			V
输入低电平电压	CLK, PWDN 脚			0.8	V
输入高电平电流	CLK, PWDN 脚	-200		+100	uA
输入低电平电流	CLK, PWDN 脚	-200		+100	uA
输出高电平电压	DRVDD=3.3V, IOH=0.5mA	3.2			V
	DRVDD=2.5V, IOH=0.5mA	2.4			V
输出低电平电压	DRVDD=3.3V, IOH=0.5mA			0.2	V
	DRVDD=2.5V, IOH=0.5mA			0.2	V
时序参数					
最大时钟速率		80			MHz

最小转换速率				1	MHz
时钟周期			12.5		ns
CLK 脉冲宽度高		4.6			ns
CLK 脉冲宽度低		4.6			ns
输出延迟 (t_{PD})			4.2		ns
流水线延迟 (Latency)			5.5		Cycles
孔径延迟			0.6		ns
孔径抖动			0.4		ns
唤醒时间			7		ms
超范围恢复时间			2		Cycles

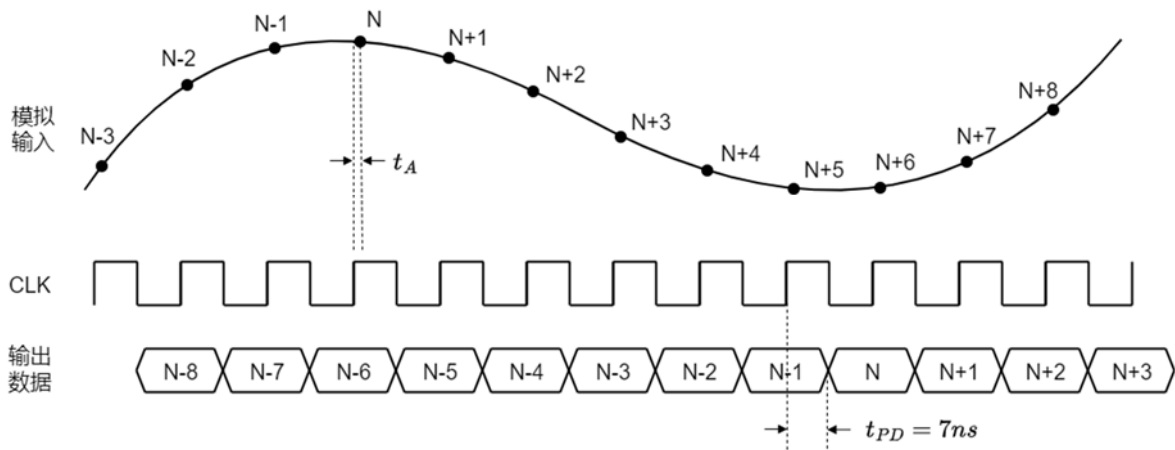


图2. ASTA9245时序关系图

绝对最大额定值

- 电源电压 (AVDD、DRVDD): $-0.3V \sim 3.9V$
- 数字 IO (D0~D3、OTR) 到 DGND: $-0.3 \sim DRVDD+0.3V$
- 模拟 IO (CLK、MODE 等) 到 AGND: $-0.3 \sim AVDD+0.3V$
- 储存温度: $-65 \sim 150^{\circ}C$
- 工作温度: $-55 \sim 125^{\circ}C$
- 焊接温度 (持续 10s): $300^{\circ}C$
- 结温: $150^{\circ}C$

引脚配置和功能说明

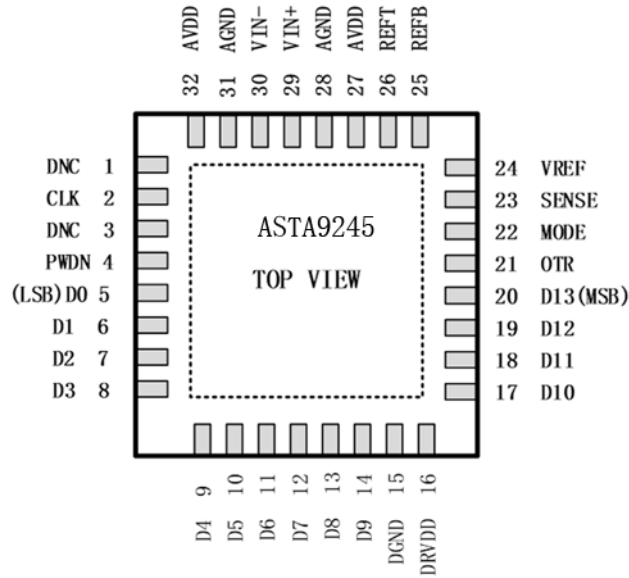


图3. 管脚示意图

引出端 序号	功 能	符 号	引出端 序号	功 能	符 号
1	悬空脚	DNC	17	数据输出 D10	D10
2	时钟输入	CLK	18	数据输出 D11	D11
3	悬空脚	DNC	19	数据输出 D12	D12
4	Power-down 功能选择	PWDN	20	数据输出 D13	D13
5	数据输出 D0	D0	21	超范围指示输出	OTR
6	数据输出 D1	D1	22	模式悬空控制	MODE
7	数据输出 D2	D2	23	参考电压控制	SENSE
8	数据输出 D3	D3	24	参考电压输入/输出	VREF
9	数据输出 D4	D4	25	负差分参考电压	REFB
10	数据输出 D5	D5	26	正差分参考电压	REFT
11	数据输出 D6	D6	27	模拟电源	AVDD
12	数据输出 D7	D7	28	模拟地	AGND
13	数据输出 D8	D8	29	正模拟输入	VIN+
14	数据输出 D9	D9	30	负模拟输入	VIN-
15	数据输出地	DGND	31	模拟地	AGND
16	数据驱动电源	DRVDD	32	模拟电源	AVDD
EPAD	模拟供电公共地端	AGND			

等效电路

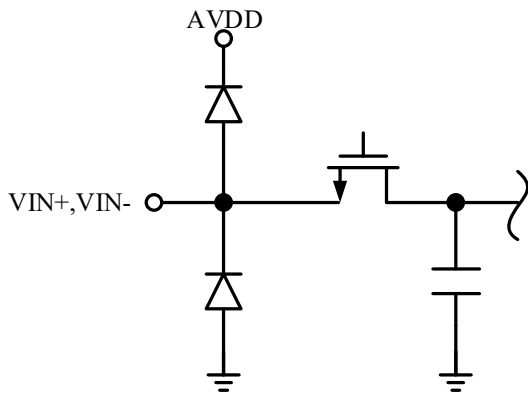


图4. 模拟输入等效电路

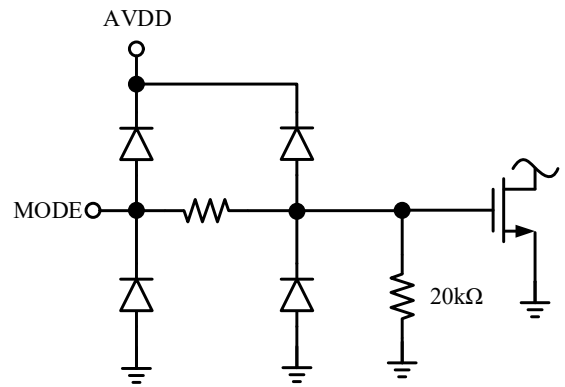


图6. MODE管脚等效电路

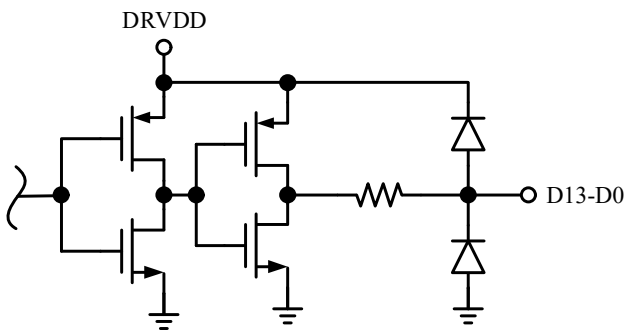


图5. 数据输出等效电路

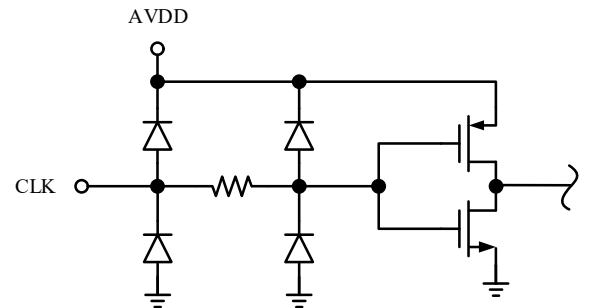


图7. CLK管脚等效电路

典型特性曲线

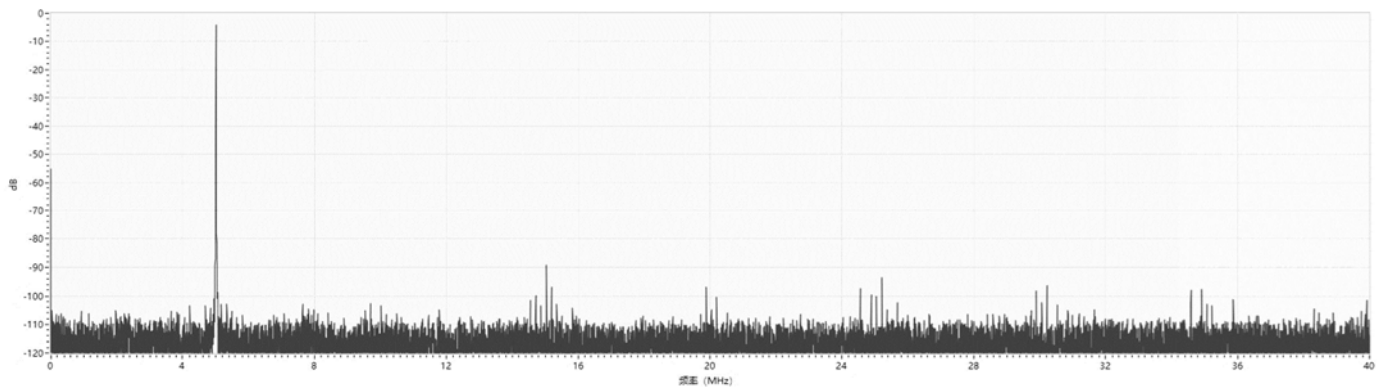


图8. 单频点FFT (32k) @5.01MHz

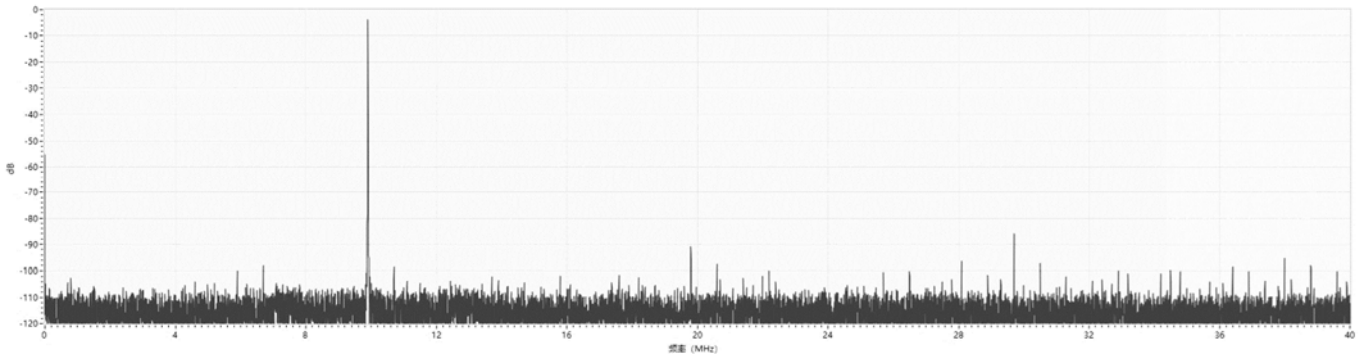


图9. 单频点FFT (32k) @70MHz

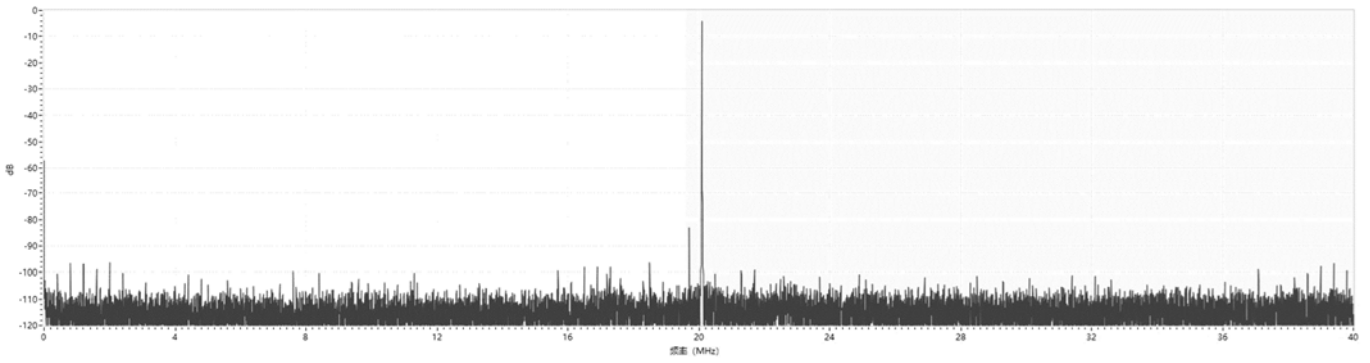


图10. 单频点FFT (32k) @100MHz

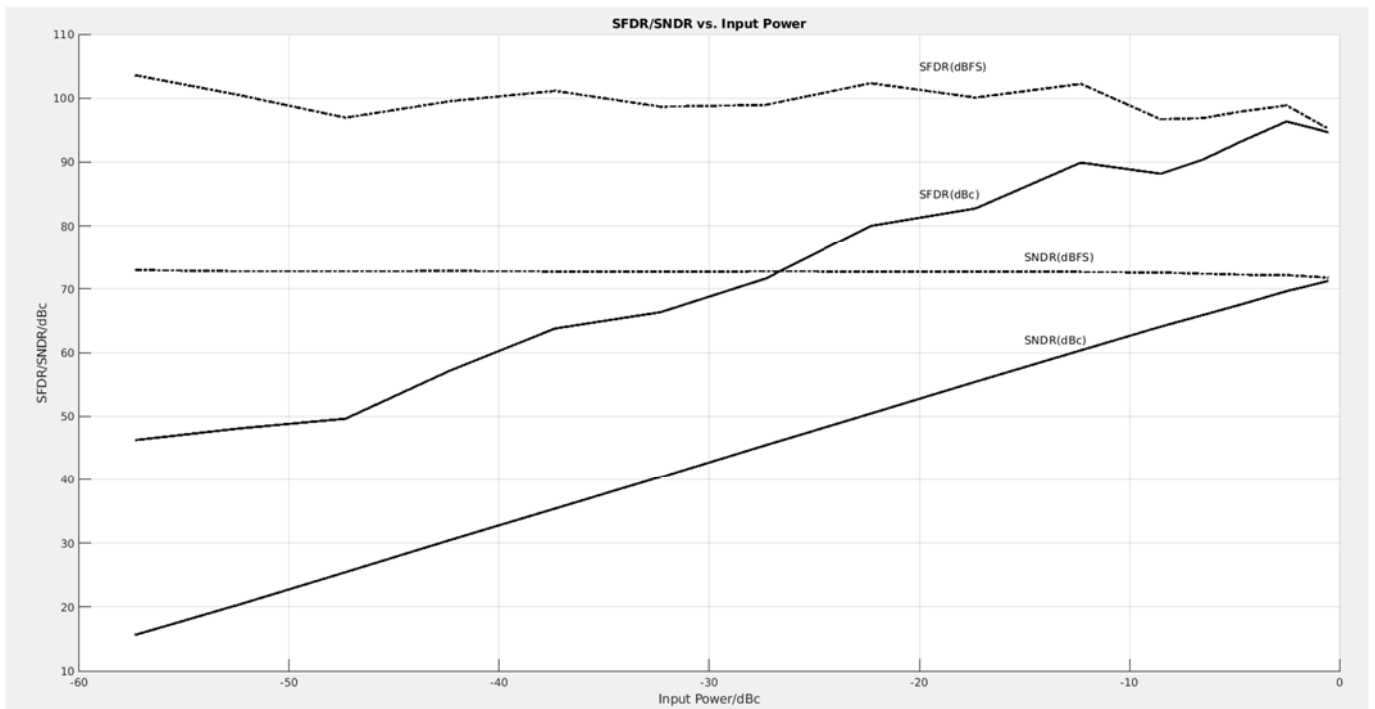


图 11. SNR+SFDR vs. 输入幅度

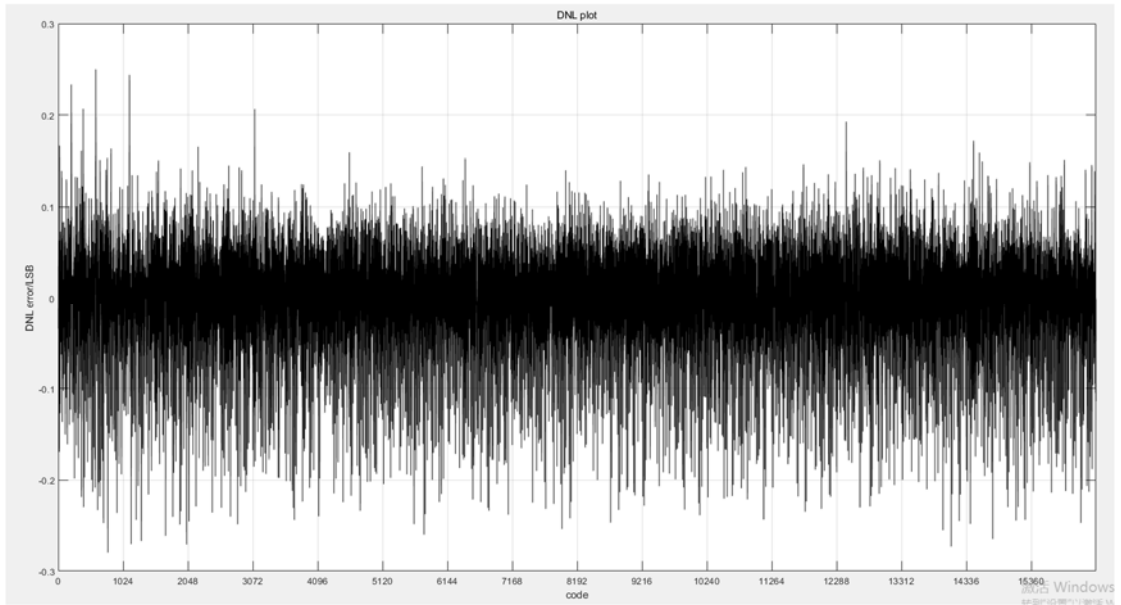


图12. 典型DNL曲线

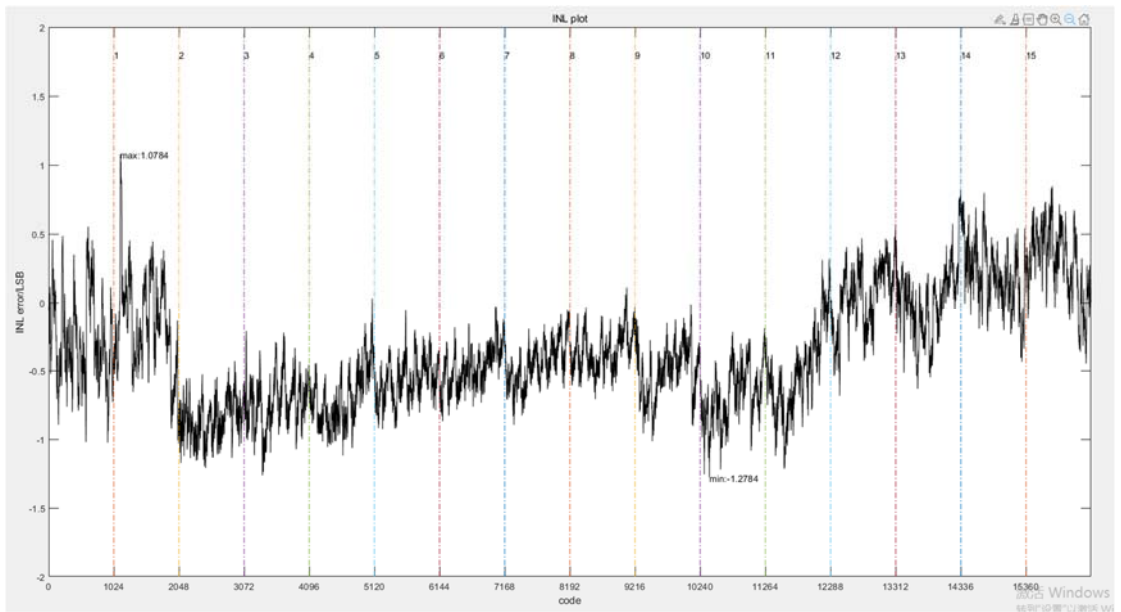


图13. 典型INL曲线

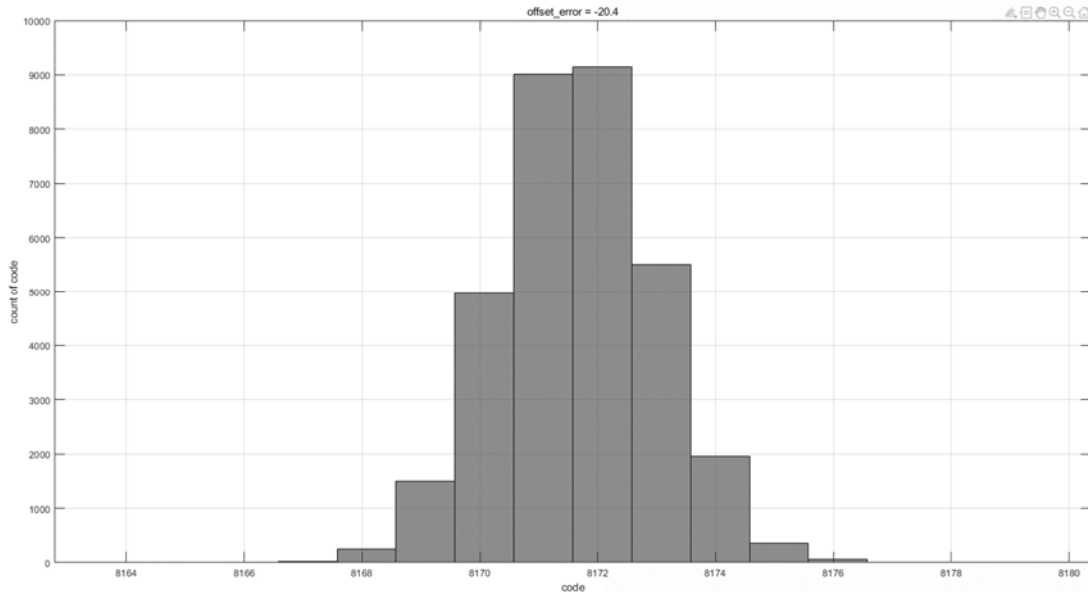


图14. 输出码字统计图

工作原理

ASTA9245 模拟输入为采样保持放大器 (SHA), 后级为5 级差分结构流水线 ADC, 每一级之间有足够的交叠。为了修正每一级的 flash 误差, 每一级的量化输出通过数字校正逻辑组合成 14-bit 数字信号。流水线架构将残差信号传递给下一级后, 允许第一级处理新的输入采样, 同时后面的流水级处理前一级的残差信号。

除了最后一级, 每一级流水线包含一个低分辨率的 flash ADC 连接到一个开关电容 DAC 和级间残差放大器, DAC 和放大器组成 MDAC。残差放大器放大输入与 DAC 输出的差值信号, 作为下一级 flash 输入, 1bit 冗余被用于每一级的 flash 误差的数字校正。最后一

级只包含一个 flash ADC。

输入级包含一个差分 SHA, 它可以 ac/dc 耦合在差分或者单端模式下。输出分段对数据进行对齐和纠错, 并且将校正后的数据传递给输出缓冲器。输出缓冲器由单独的电源供电, 允许调整输出电压摆幅。

模拟输入配置

ASTA9245 的模拟输入是差分开关电容 SHA, 用于在处理差分输入信号时获得最佳性能。SHA 输入可以支持较宽的共模范围 (VCM) 并保持优异的性能, 如图 15 所示。输入共模电压设置为 0.5AVDD, 能最大限度地减少了信号相关误差, 并提供最佳的性能。

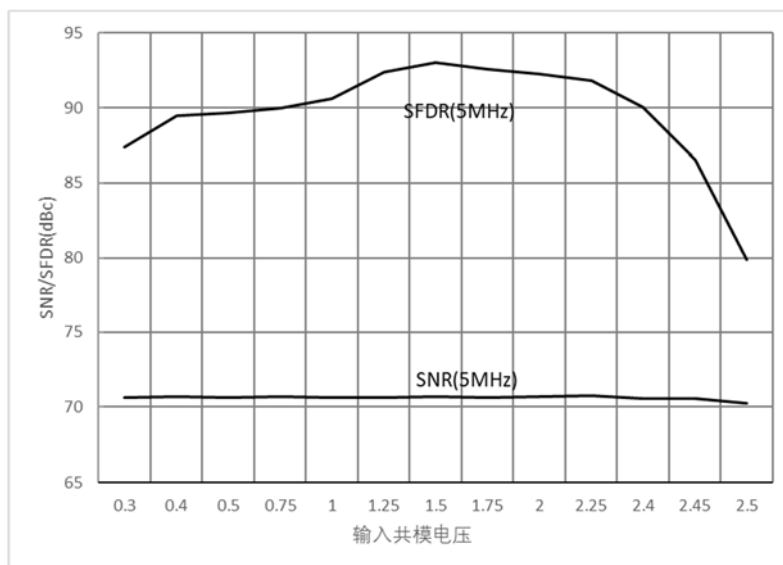


图15. SNR/SFDR vs. 共模电压

参考图 16，时钟信号在采样模式和保持模式之间交替切换 SHA。当 SHA 切换到采样模式时，信号源必须有足够的驱动能力对采样电容器充电，并在半个时钟周期内稳定下来。在每个输入端串联一个小电阻可以帮助降低驱动源输出级所需的峰值瞬态电流此外，可

以在输入端放置一个小型并联电容器，以提供动态充电电流。这种无源网络在 ADC 的输入端创建一个低通滤波器；因此，精确的值取决于应用。在中频欠采样应用中，任何并联电容器都应减小或去除，它们会限制输入信号带宽。

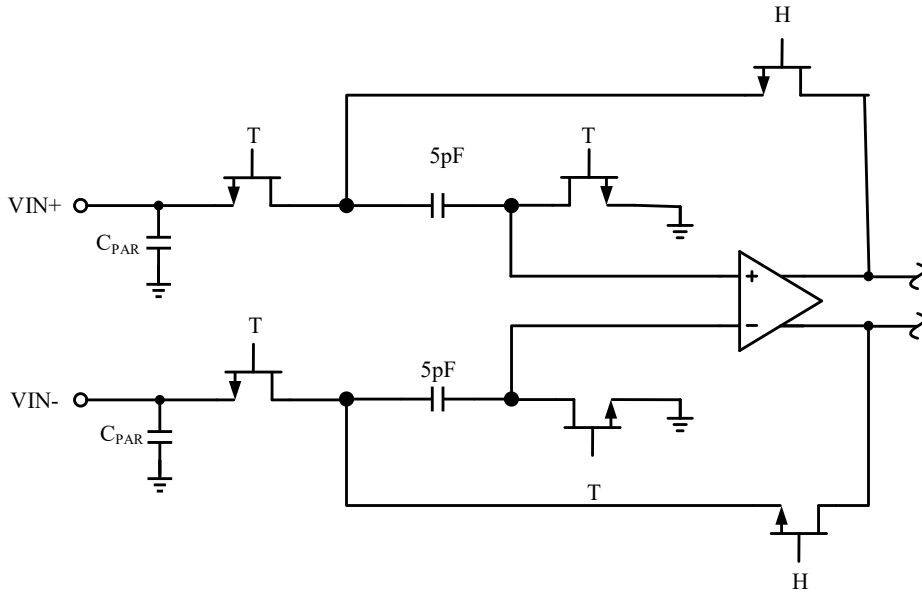


图16. SHA等效电路

为了获得最佳的动态性能，驱动 VIN+和 VIN-的源阻抗应该匹配，从而使共模建立误差对称。这些误差通过 ADC 的共模抑制而减小。内部差分参考缓冲器产生正参考电压和负参考电压，REFT 和 REFb，确定了 ADC 的范围。将参考缓冲器输出共模设为 0.5AVDD，定义 REFT 和 REFb 电压及量程为：

$$REFT = \frac{1}{2}(AVDD + VREF)$$

$$REFb = \frac{1}{2}(AVDD - VREF)$$

$$Span = 2(REFT - REFb) = 2 \times VREF$$

由上式可知，REFT 和 REFb 电压与 0.5AVDD 是对称的，根据定义，输入范围是 VREF 电压值的两倍。内部基准电压可以引脚控制，设置为 0.5 V 或 1.0 V 的固定值上，也可以根据应用进行调整，参考内部电压配置章节的讨论。当 ASTA9245 设置为最大的 2 Vp-p 输入幅度时，可以实现最大的信噪比性能。从 2 Vp-p 模式到 1 Vp-p 模式的相对信噪比下降为 3dB。

SHA 可以由一个信号源驱动，使信号峰值保持在所选参考电压的允许范围内。最小和最大共模输入电平

定义为：

$$VCM_{MIN} = \frac{VREF}{2}$$

$$VCM_{MAX} = \frac{AVDD + VREF}{2}$$

虽然差分输入可以实现最佳性能，ASTA9245 也能接受单端输入信号连接到 VIN+或 VIN-。在这种配置中，一个输入接收信号，而另一个输入连接合适的参考。例如，2Vp-p 信号可以应用于 VIN+，VIN-连接到 1V 的参考电压。然后 ASTA9245 接受 2V 到 0V 之间的输入信号。单端配置与差分情况相比，失真性能会显著降低。然而，在较低的输入频率下，效果不太明显。

差分输入模式

差分输入配置如前所述，在差分输入配置中驱动 ASTA9245 时可实现最佳性能。对于基带应用，AD8351 差分驱动器提供了出色的性能和灵活的 ADC 接口。AD8351 的输出共模电压很容易设置为 AVDD/2，驱动器可以配置在 Sallen-Key 滤波器拓扑中，以提供输入信号的带宽限制。

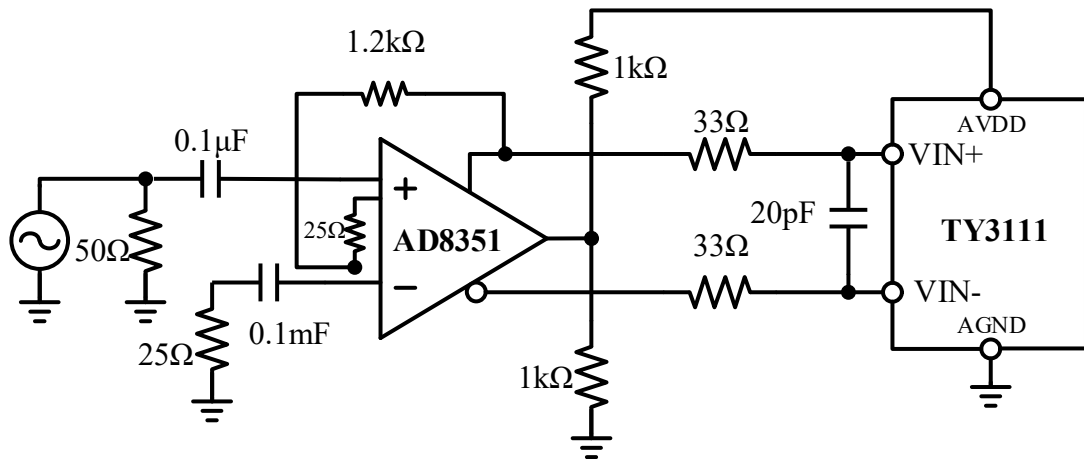


图17. 使用放大器驱动应用电路

在第二个奈奎斯特区间及以上的输入频率，大多数放大器的性能不足以满足 ASTA9245 性能需求。这在输入频率在 70 MHz 至 100 MHz 的中频欠采样应用中尤其

如此，对于这些应用，推荐采用差分变压器耦合。并联电容大小取决于输入频率和信号源阻抗，电容值应尽量小或完全去除，图 18 显示了一个例子。

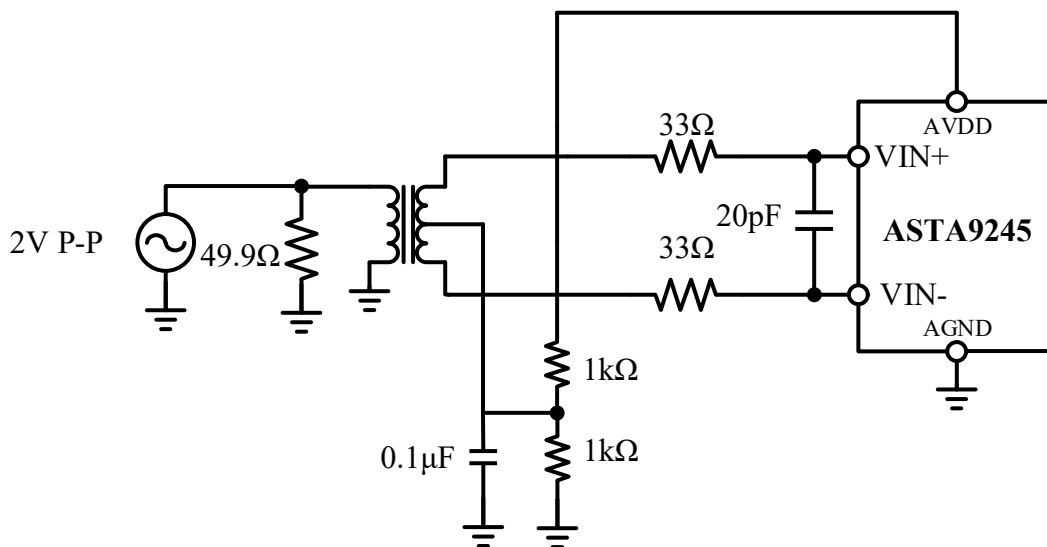


图18. 使用巴伦驱动应用电路

选择变压器时必须考虑信号特性，大多数 RF 变压器在低于几 MHz 的频率下饱和，信号功率过大也会导致铁芯饱和，从而导致失真。

能。在这种配置下，由于输入共模摆幅大，会导致 SFDR 和失真性能下降。但是，如果每个输入端的源阻抗匹配，则对信噪比性能的影响应该很小。图 19 展示了典型的单端输入应用电路。

单端输入模式

单端输入可以在成本敏感的应用中提供足够的性

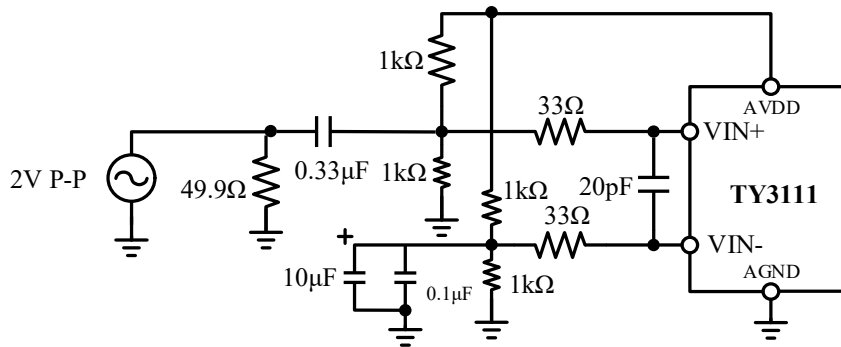


图19. 单端输入驱动应用电路

时钟输入注意事项

典型的高速 ADC 使用时钟上升沿和下降沿来产生各种内部定时信号, 因此对时钟占空比敏感。通常在时钟占空比上需要 5% 的公差以保持动态性能特性。ASTA9245 包含一个时钟占空比稳定电路 (DCS), 可对非采样边沿进行重新定时, 提供标称占空比为 50% 的内部时钟信号。允许大范围的时钟输入占空比, 而不会影响 ASTA9245 的性能。在 DCS 开启时, 噪声和失真性能在 30% 至 70% 占空比下几乎持平。占空比稳定器使用延迟锁定环 (DLL) 来重建非采样边沿。因此, 对采样频率的任何更改, 都需要大约 100 个时钟周期, DLL 才获取并锁定到新的速率。

JITTER 考虑

高速、高分辨率的 ADC 对输入时钟的质量非常敏感。在给定输入频率 (f_{INPUT}) 下, 仅由孔径抖动 (t_j) 引起的信噪比下降可以用以下公式计算

$$SNR = -20 \log_{10} [2\pi f_{INPUT} \times t_j]$$

式中, 孔径抖动的均方根表示所有抖动源的均方根, 包括时钟输入、模拟输入信号和 ADC 孔径抖动。中频欠采样应用中对抖动特别敏感 (见图 20)。在孔径抖动会影响 ASTA9245 动态范围的情况下, 输入时钟应被视为模拟信号。时钟驱动电源应该与 ADC 输出驱动电源分开, 以避免用数字噪声调制时钟信号。低抖动、晶体控制振荡器是最好的时钟源。如果时钟是由其他类型的源 (通过门控、分频或其他方法) 产生, 则应该在最后由原始时钟重新定时。

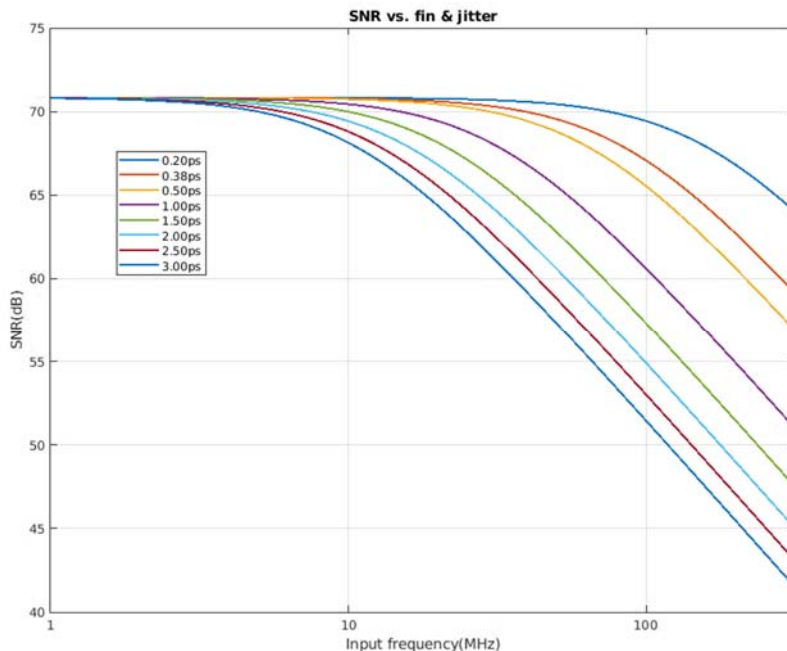


图20. SNR vs. 输入频率/抖动

功耗和待机模式

ASTA9245 的数字电源功耗与其采样率成正比, 数字功耗主要由数字驱动器的强度和每个输出位上的负载决定。最大 DRVDD 电流 (I_{DRVDD}) 可计算为:

$$I_{DRVDD} = V_{DRVDD} \times C_{LOAD} \times f_{CLK} \times N$$

其中 N 为输出位数, ASTA9245 为 14 位。当每个输出在每个时钟周期上开关时, 即奈奎斯特频率 $f_{CLK}/2$ 的满量程方波, 就会产生最大电流。在实际中, DRVDD 电流由平均输出开关数确定。

减少输出驱动器的容性负载可以最大限度地减少

数字功耗。通过将 PWDN 引脚拉高，ASTA9245 处于待机模式。在这种状态下，如果 CLK 和模拟输入是静态的，ADC 通常消耗 1mW。待机时输出驱动器处于高阻态。重新拉低 PWDN 引脚，可使 ASTA9245 恢复正常工作模式。待机模式下的低功耗是通过关闭带隙基准、参考缓冲和偏置网络来实现的。REFT 和 REFB 上的去耦电容器在进入待机模式时放电，然后在恢复正常工作时必须充电。因此，唤醒时间与待机模式的时间有关，待机周期越短，唤醒时间就越短。在 REFT 和 REFB 上推荐的 0.1μF 和 10μF 去耦电容下，基准缓冲去耦电容完全放电大约需要 1 秒，恢复完全工作需要 7 毫秒。

数字输出

通过将 DRVDD 与接口逻辑的数字电源相匹配，可以将 ASTA9245 输出驱动器配置为与 2.5 V 或 3.3 V 逻辑系列交互。输出驱动器的大小，以提供足够的输出电流，以驱动各种逻辑系列。然而，大的驱动电流往往会导致电源上的短时脉冲干扰，这可能会影响转换器的性能。需要 ADC 驱动大容量负载或大扇出的应用可能需要外部缓冲器或锁存器。

时序

ASTA9245 提供锁存数据输出，一个流水线延迟为 6 个时钟周期。数据输出在时钟信号下降沿后的一个传播延迟 (t_{PD}) 可用。有关详细的时序图，请参见图 2 输出数据线的长度和负载应该最小化，以减少 ASTA9245 电源的瞬变。这些瞬变会降低变换器的动态性能。ASTA9245 的最低典型转换率为 1MSPS。时钟速率低于 1MSPS 时，

动态性能会下降。

参考电压配置

ASTA9245 内置了一个稳定、精确的 0.5 V 基准电压。改变施加到 ASTA9245 内部或外部的参考电压，能够调整 ASTA9245 输入范围。ADC 的输入量程与基准电压成线性关系。表 2 介绍了各种参考模式，并在后面进行了描述。如果 ADC 通过变压器被差分驱动，参考电压也可以用来偏置中心抽头。

内部参考

ASTA9245 中的比较器检测 SENSE 引脚的电位，并将参考配置为四种可能的状态之一，如表 2 所示。如果 SENSE 接地，则参考放大器开关连接到内部电阻分压器 (见图 21)，将 VREF 设置为 1V。将 SENSE 引脚连接到 VREF，参考放大器输出连接到 SENSE 引脚，组成环路并提供 0.5 V 参考输出。如果如图 22 所示连接一个电阻分压器，则开关再次设置为 SENSE 引脚。这将基准放大器置于非反相模式，VREF 输出电压为：

$$V_{REF} = 0.5 \times \left(1 + \frac{R2}{R1}\right)$$

在所有参考配置中，REFT 和 REFB 驱动 A/D 转换核心，并建立其输入范围。无论是内部参考还是外部参考，ADC 的输入范围总是等于参考引脚电压的两倍。

如果使用 ASTA9245 的内部基准来驱动多个转换器以改善增益匹配，则必须考虑其他转换器对基准的负载，建议最大负载为 2mA。

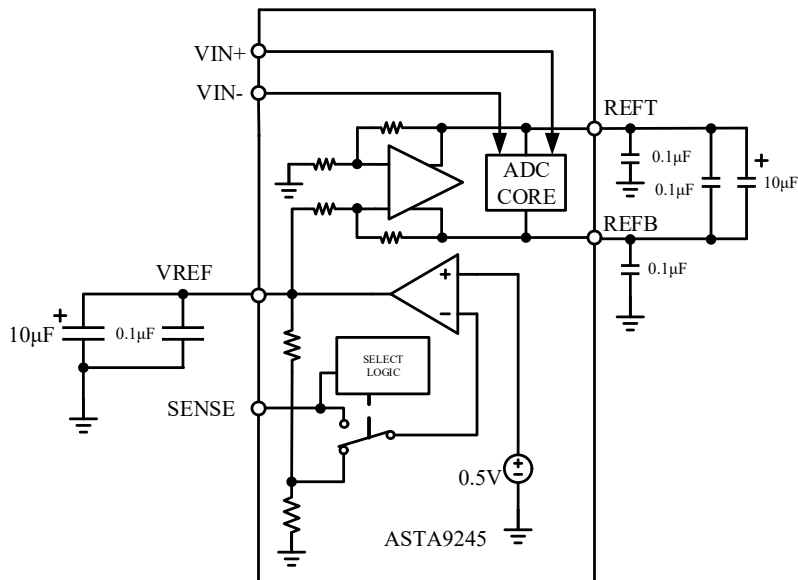


图21. 内部参考连接方式

表 2. VREF 电压选择

模式	SENSE 电压	VREF 输出电压	模拟输入范围
外部参考模式	AVDD	N/A	2 × VREF
内部参考模式	VREF	0.5V	1.0V

可编程模式	0.2V 到 VREF	$0.5 \times (1+R2/R1)$	$2 \times VREF$
内部参考模式	AGND 到 0.2V	1.0V	2.0V

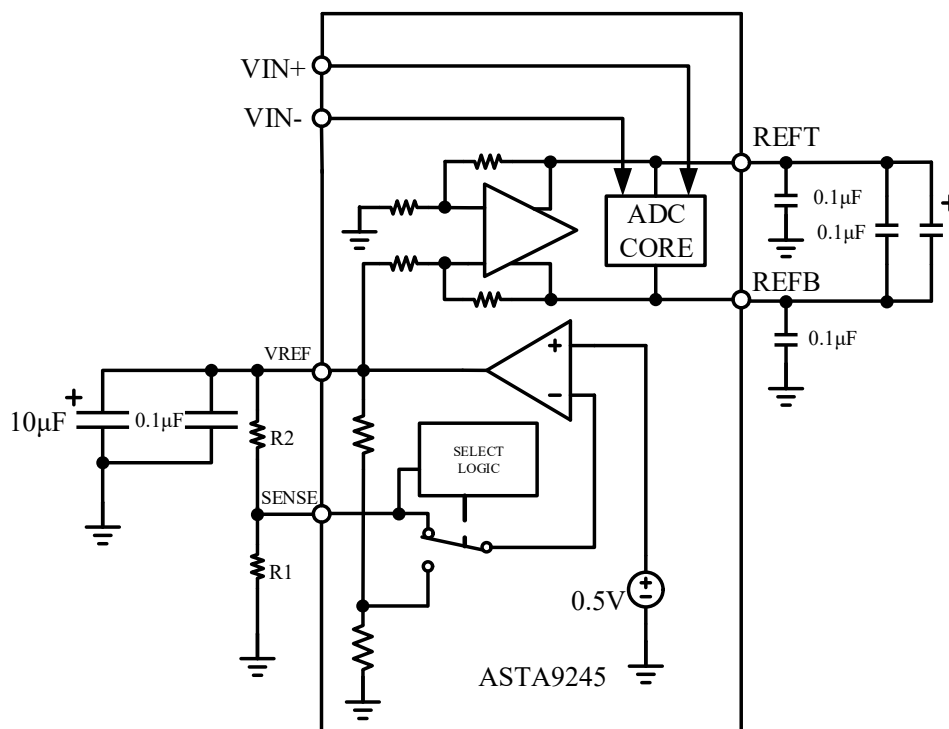


图22. 可编程模式连接方式

外部参考

为了提高 ADC 的增益精度或改善热漂移特性，可以使用外部基准。当多个 ADC 相互跟踪时，可能需要单个参考来将增益匹配误差降低到可接受的水平。当 SENSE 引脚连接到 AVDD 时，内部参考关闭，使用外部参考。内部参考缓冲器用一个等效的 7 kΩ 加载外部参考。内部缓冲器仍然为 ADC 核心生成正、负满量程参考电压 REFT 和 REF。输入量程总是参考电压值的两倍，因此，外部基准电压必须限制在最大

1.0V。

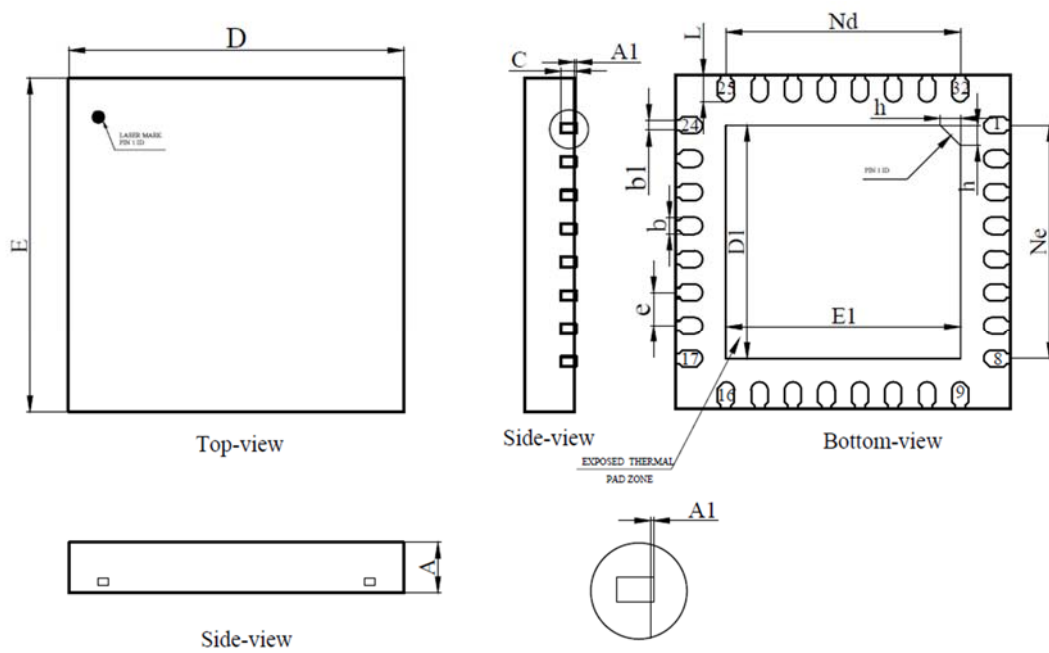
操作模式选择

如前所述,ASTA9245 可输出偏移二进制或补码格式数据。还提供了启用或禁用时钟 DCS 的管脚。MODE 引脚是控制数据格式和 DCS 状态的多电平输入。输入阈值和相应的模式选择如表 11 所示。

表 3. MODE 控制模式

MODE 电压	数据格式	占空比校正 (DCS)
AVDD	二进制补码	DCS 关闭
VREF	二进制补码	DCS 开启
0.2V 到 VREF	偏移二进制	DCS 开启
AGND 到 0.2V	偏移二进制	DCS 关闭

外形尺寸



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.75/0.85/1.00/1.30/1.70±0.05		
A1	—	0.02	0.05
b	0.18	0.25	0.30
b1	0.15REF		
c	0.203REF		
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D1	3.60	3.70	3.80
E1	3.60	3.70	3.80
e	0.50BSC		
h	0.30	0.35	0.40
L	0.35	0.40	0.45
Nd	3.50BSC		
Ne	3.50BSC		

图23. 封装外形尺寸

竞品参数对比

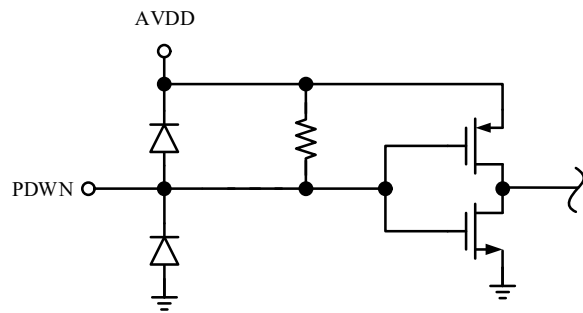
参数		AD9245BCP-80			ASTA9245 fclk=80M	竞品 B	竞品 S fin=0.97M fclk=50M	单位
		最小	典型	最大				
静态参数								
分辨率		14			14	14	14	Bits
偏移误差			±0.30	±1.2	-0.15	±1.5	±1.2	%FS
增益误差			±0.70	±4.16	-	±3.5	±4.16	%FS
微分非线性			±0.5	±1.0	-0.5/+0.3	±1.0	±1.5	LSB
积分非线性			±1.4	±5.15	-1.83/ +1.93	±2.5		LSB
内部电压基准偏差	0.5V 模式		±6		-11			mV
	1V 模式		±3	±34	-19		±35	mV
模拟输入电压范围	VREF=0.5V		1			1	1	Vp-p
	VREF=1V		2			2	2	Vp-p
电源参数								
模拟电源电压		2.7	3.0	3.6	3.0-3.6	2.7-3.6	3.0-3.3	V
驱动电源电压		2.25	2.5	3.6	2.25-3.6	2.7-3.6	2.5-3.3	V
模拟电源电流			122	138	63	115	138	mA
驱动电源电流			9			25	10	mA
低频输入时功耗			366		207.9	-	330/414	mW
Standby 模式功耗			1.0		-	1	-	mW
动态参数								
信噪比	fin=2.4MHz/5MHz	71.1	73.3		70.74	62.5/69.5	65/69	dB
	fin=70MHz	70.5	71.7		67.69			

	fin=100MHz		70.2		65.78			
信纳比	fin=5MHz	70.7	73.2		70.02	61.5/69	64.5/68.5	dB
	fin=70MHz	69.9	71.2		67.35			
	fin=100MHz		69.6		64.43			
有效位数	fin=5MHz	11.5	11.9		11.41	9.92/11.1	10.5/11.1	Bits
	fin=70MHz	11.3	11.5		10.90			
	fin=100MHz		11.3		10.41			
无杂散动态范围	fin=5MHz	76.5	92.8		85.95	74/77	70/77	dBc
	fin=70MHz	75.7	81.6		80.98			
	fin=100MHz		79		80			
逻辑电平								
输入高电平电压	CLK, PWDN 脚	2.0			1.2	2	2.8	V
输入低电平电压	CLK, PWDN 脚			0.8	0.6	0.8	0.2	V
输入高电平电流	CLK, PWDN 脚	-10		+10		±10		uA
输入低电平电流	CLK, PWDN 脚	-10		+10		±10		uA
输出高电平电压	DRVDD=3.3V, IOH=0.5mA	3.25			3.2	2.42		V
	DRVDD=2.5V, IOH=0.5mA	2.45			2.45		2.4	V
输出低电平电压	DRVDD=3.3V, IOH=1.6mA			0.2	0.2	0.2		V
	DRVDD=2.5V, IOH=1.6mA			0.2	0.2		0.1	V
时序参数								
最大时钟速率		80			80	50	50	MSPS
最小转换速率				1	1		1	MSPS
时钟周期		12.5			12.5	20	20	ns
CLK 脉冲宽度高		4.6			4.3			ns
CLK 脉冲宽度低		4.6			4.3			ns
输出延迟 (t _{PD})			4.2		4.2 (下降沿)	2-6	2.85	ns
流水线延迟 (Latency)			7		5.5	7	7	Cycles

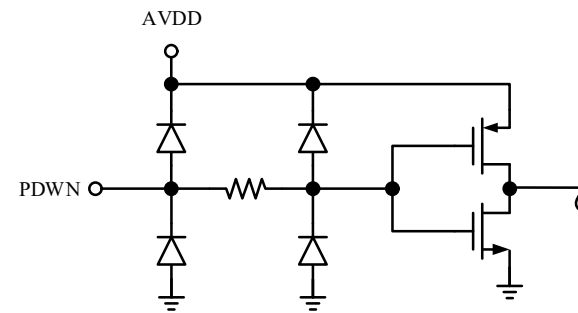
孔径延迟			1.0				1.4	ns
孔径抖动			0.3					ps rms
唤醒时间			7.0			5		ms
超范围恢复时间			2					Cycles

注意事项

- 1、ASTA9245 流水线延迟为 5.5 个时钟周期，输出数据在时钟下降沿拍出；兼容产品 AD9245 流水线延迟为 7 个时钟周期，输出数据是在时钟上升沿拍出。
- 2、ASTA9245的 PDWN 管脚带上拉电阻，AD9245 为 CMOS 输入，等效电路如下图。



ASTA9245 PDWN 等效电路



AD9245 PDWN 等效

订购信息

产品订购信息

型号	工作温度范围	质量等级	封装类型
ASTA9245	-40~85℃	工业级	QFN-32
ASTA9245N	-55~125℃	N1级	QFN-32