

## ASTA9268型

双通道 16 位 125MSps 模数转换器

服务电话：13691641629 13538015750

## 主要性能

- 1.8V 模拟电源供电
- 1.8V CMOS 输出供电
- 低功耗：750mW (125MSps)
- 信噪比(SNR) : 78dBFS(70MHz, 125MSps)
- 无杂散动态范围(SFDR) : 88dBc(70MHz, 125MSps)
- 中频采样频率达 400MHz 以上
- 小信号输入噪声: -154.0dBm/Hz(200  $\Omega$  输入阻抗, 70MHz, 125MSps)
- 可编程 ADC 内部基准电压源
- 集成 ADC 采样保持输入
- 灵活的模拟输入范围：1Vpp 至 2Vpp
- 差分模拟输入 650MHz 带宽
- ADC 时钟占空比稳定器
- 串行端口控制
- QFN-64 封装 9mm x 9mm

## 应用场合

- 通信
- 分集无线电系统
- 多模式数字接收器(3G)  
GSM、EDGE、W-CDMA、LTE、  
CDMA2000、WiMAX、TD-SCDMA
- I/Q 解调系统
- 智能天线系统
- 通用软件无线电
- 宽带数据应用
- 超声设备

## 功能模块示意图

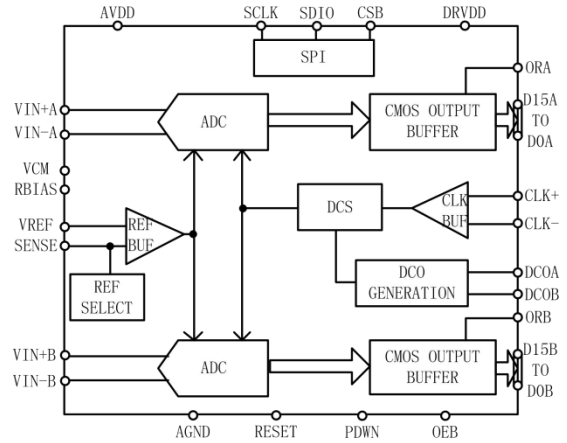


图 1 芯片模块示意图

## 产品概况

ASTA9268 是一款双通道 16 位，最高转换速度 125MSps，基于流水线架构的模数转换器（ADC），内部集成了时钟缓冲、基准电压源、输入采样保持等功能模块，实现对模拟输入高速高精度模数转换。并集成了独特的数字校准算法，在不影响功耗的前提下，有效提升 ADC 动态特性。输出为 1.8V 全并行 CMOS 电平，采用三线制 SPI 串行接口实现内部寄存器的读写操作。ASTA9268 采用 64 脚 QFN 封装，工业级额定温度范围 -40℃ 至 85℃ 工业温度范围，军温级 -55℃ 至 125℃ 温度范围。

## 技术规格

### ADC 直流特性

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、典型采样速率、VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。

表 1 ADC 直流特性

参数	温度	最小值	典型值	最大值	单位
分辨率			16		位
无失码	全		保证		
失调误差	全		±0.35	±0.5	%FSR
增益误差	全		±0.4		%FSR
微分非线性 (DNL) <sup>1</sup>	全	-1		+1.2	LSB
	25°C		±0.45		LSB
积分非线性 (INL) <sup>1</sup>	全			+5.8	LSB
	25°C		±4		LSB
内部基准电压误差	全		±5		mV
输入端参考噪声 (VREF=1V)	25°C		2.45		LSB rms
模拟输入范围 (VREF=1V)	全		2		Vpp
输入电容 <sup>2</sup>	全		8		pF
输入共模电压	全		0.9		V
AVDD 电源电压	全	1.7	1.8	1.9	V
DRVDD 电源电压	全	1.7	1.8	1.9	V
I <sub>AVDD</sub> 电源电流	全		390	400	mA
I <sub>DRVDD</sub> 电源电流	全		40		mA
直流输入功耗			740		mW
正弦波输入功耗 <sup>1</sup>			780		mW

<sup>1</sup> 测量条件为：10MHz输入频率、满量程正弦波、每个输出位的负载约为5pF。

<sup>2</sup> 输入电容指一个差分输入引脚与AGND之间的有效电容。

<sup>3</sup> 待机功耗的测量条件为：直流输入、CLK引脚无动作(设为AVDD或AGND)。

## ADC 交流特性

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、典型采样速率、VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。

表 2 ADC 交流特性

参数	温度	最小值	典型值	最大值	单位
信噪比 (SNR)					
$f_{in}=70\text{MHz}$	25°C	77.2	78.1		dBFS
	全	77.0			dBFS
$f_{in}=140\text{MHz}$	25°C		75.7		dBFS
$f_{in}=200\text{MHz}$	25°C		74.3		dBFS
$f_{in}=315\text{MHz}$	25°C		70.0		dBFS
信纳比 (SNDR)					
$f_{in}=70\text{MHz}$	25°C	77.2	77.8		dBFS
	全	76.5			dBFS
$f_{in}=140\text{MHz}$	25°C		73.1		dBFS
$f_{in}=200\text{MHz}$	25°C		72.3		dBFS
$f_{in}=315\text{MHz}$	25°C		68.4		dBFS
有效位数 (ENOB)					
$f_{in}=70\text{MHz}$	25°C		12.5		位
$f_{in}=140\text{MHz}$	25°C		11.8		位
$f_{in}=200\text{MHz}$	25°C		11.7		位
$f_{in}=315\text{MHz}$	25°C		11.0		位
无杂散动态范围 (三次谐波)					
$f_{in}=70\text{MHz}$	25°C	84	90		dBc
	全	82			dBc
$f_{in}=140\text{MHz}$	25°C		79		dBc
$f_{in}=200\text{MHz}$	25°C		77		dBc
$f_{in}=315\text{MHz}$	25°C		75		dBc
最差的二次谐波					
$f_{in}=70\text{MHz}$	25°C	89	92		dBc
	全	86			dBc
$f_{in}=140\text{MHz}$	25°C		91		dBc
$f_{in}=200\text{MHz}$	25°C		83		dBc
$f_{in}=315\text{MHz}$	25°C		75		dBc
双音无杂散动态范围					
$f_{in}=169\text{MHz}, 172\text{MHz}$ (-7dBFS)	25°C		79		dBc
串扰 <sup>4</sup>	全		92		dB
模拟输入带宽	25°C		650		MHz

<sup>4</sup> 串扰的测量条件：一个通道输入参数为-1dBFS、100MHz信号且另一个通道上无输入信号。

## 数字规格

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、典型采样速率、VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。

表 3 数字规格参数

参数	温度	最小值	典型值	最大值	单位
差分时钟输入 (CLK+/-)			CMOS/LVDS/LVPECL		
逻辑兼容			0.9		V
内部共模偏置					V
差分输入电压	全	0.3		3.6	V
输入电压范围	全	0		1.8	V
高电平输入电流	全	-100		+100	uA
低电平输入电流	全	-100		+100	uA
输入电阻	全		10		k Ω
输入电容	全		4		pF
复位输入 (RESET)			CMOS		
逻辑兼容					V
输入电压范围		0		1.8	V
高电平输入电压	全	1.2		1.8	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-100		+100	uA
低电平输入电流	全	-100		+100	uA
输入电阻	全		20		k Ω
输入电容	全		3		pF
逻辑输入 (CSB) <sup>5</sup>					
高电平输入电压	全	1.2		1.8	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-100		+100	uA
低电平输入电流	全	-100		+100	uA
输入电阻	全		20		k Ω
输入电容	全		3		pF
逻辑输入 (SCLK) <sup>6</sup>					
高电平输入电压	全	1.2		1.8	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-100		+100	uA
低电平输入电流	全	-100		+100	uA
输入电阻	全		20		k Ω
输入电容	全		3		pF
逻辑输入/输出 (SDIO) <sup>6</sup>					
高电平输入电压	全	1.2		1.8	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-100		+100	uA
低电平输入电流	全	-100		+100	uA
输入电阻	全		20		k Ω
输入电容	全		3		pF
逻辑输入 (OEB/PDWN) <sup>6</sup>					
高电平输入电压	全	1.2		1.8	V
低电平输入电压	全	0		0.6	V

高电平输入电流	全	-100	+100	uA
低电平输入电流	全	-100	+100	uA
输入电阻	全		28	kΩ
输入电容	全		2	pF
<b>数字输出 (1.8V CMOS)</b>				
高电平输出电压	全	1.6		V
低电平输出电压	全		0.2	V

5 内部上拉

6 内部下拉

### 开关规格

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、典型采样速率、VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。

表 4 开关参数

参数	温度	最小值	典型值	最大值	单位
时钟输入参数					
输入时钟速率	全		120	125	MHz
孔径延时 ( $t_A$ )	全		1		ns
孔径抖动	全		0.07		ps rms
数据输出参数					
数据传输延迟 ( $t_{PD}$ )	全		3.5		ns
DCO 传播延迟 ( $t_{DCO}$ )	全		3.1		ns
DCO 至数据偏斜 ( $t_{SKEW}$ )	全		-0.4		ns

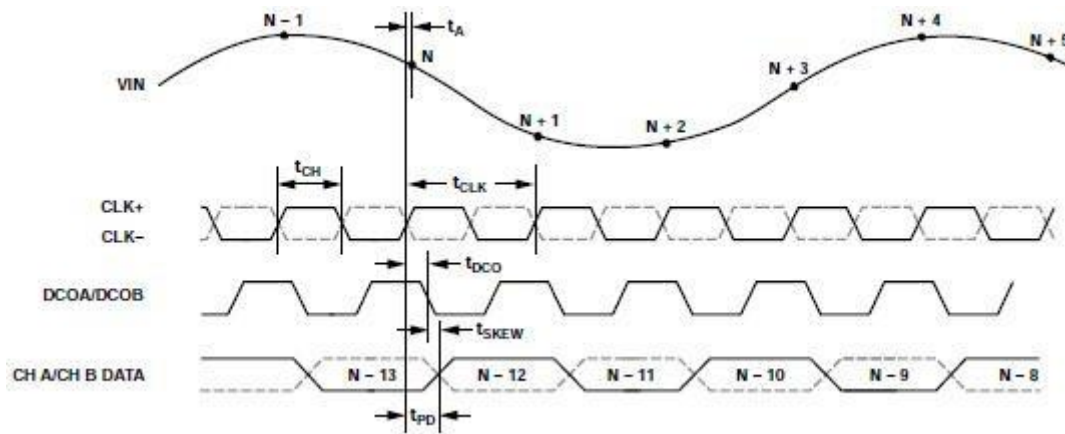


图 2 CMOS 默认输出模式数据输出时序

# 时序规格

表 5 时序参数

参数	条件	限值
SPI 时序要求		
$t_{DS}$	数据与 SCLK 上升沿之间的建立时间	2ns, 最小值
$t_{DH}$	数据与 SCLK 上升沿之间的保持时间	2ns, 最小值
$t_{CLK}$	SCLK 周期	40ns, 最小值
$t_s$	CSB 与 SCLK 之间的建立时间	2ns, 最小值
$t_H$	CSB 与 SCLK 之间的保持时间	2ns, 最小值
$t_{HIGH}$	SCLK 高电平脉冲宽度	10ns, 最小值
$t_{LOW}$	SCLK 低电平脉冲宽度	10ns, 最小值

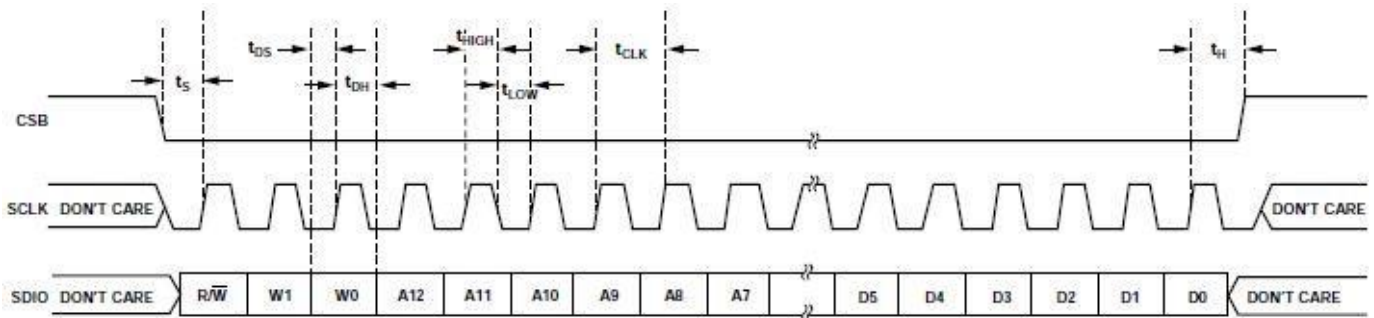


图 3 串行端口接口时序



## 极限参数

电源电压 (AVDD,DRVDD) 至 AGND .....	-0.3V 至 2V
输入电压(VIN+/-, CLK+/-, RESET, VREF, SENSE, VCM, RBIAS, CSB, SCLK, SDIO, PDWN).....	-0.3V 至 2V
输出电压(DCO, DxA/B).....	-0.3V 至 2V
最大结温 $T_{J,MAX}$ .....	150°C
工作温度范围 .....	ASTA9268: -40°C 至 85°C
	ASTA9268E : -55°C 至 125°C
存储温度范围 .....	-65°C 至 150°C
ESD(Human Body Model) .....	2000V

对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



## ESD 保护

ASTA9268 可通过 ESD 2000V (HBM)。即便如此，使用时请采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

## 热特性

QFN-64封装的裸露焊盘必须焊接到接地层。将裸露焊盘焊接到PCB上可提高焊接可靠性，从而最大限度发挥封装的热性能。 $\theta_{JA}$ 典型值的测试条件为带实接地层的四层PCB，典型值为19.2°C/W。气流可改善散热，从而降低 $\theta_{JA}$ 。另外，直接与封装引脚接触的金属，包括金属走线、通孔、接地层、电源层，可降低 $\theta_{JA}$ 。

## 管脚(焊盘)配置及功能说明

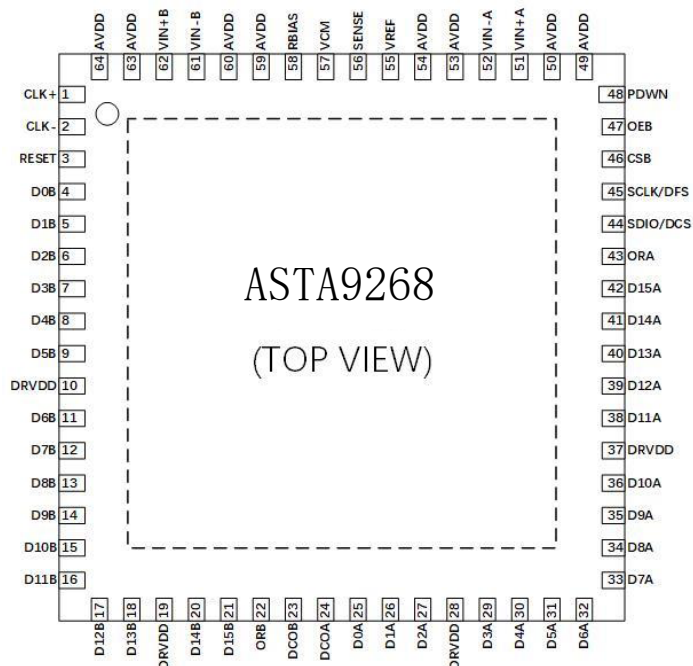


图 4 管脚（焊盘）配置

表 6 管脚定义列表

管脚号	名称	作用	管脚号	名称	作用
1	CLK+	时钟输入正端	33	D7A	通道 A 数字输出
2	CLK-	时钟输入负端	34	D8A	通道 A 数字输出
3	RESET	复位，高电平使能	35	D9A	通道 A 数字输出
4	DOB	通道 B 数字输出	36	D10A	通道 A 数字输出
5	D1B	通道 B 数字输出	37	DRVDD	数字供电 1.8V
6	D2B	通道 B 数字输出	38	D11A	通道 A 数字输出
7	D3B	通道 B 数字输出	39	D12A	通道 A 数字输出
8	D4B	通道 B 数字输出	40	D13A	通道 A 数字输出
9	D5B	通道 B 数字输出	41	D14A	通道 A 数字输出
10	DRVDD	数字供电 1.8V	42	D15A	通道 A 数字输出
11	D6B	通道 B 数字输出	43	ORA	通道 A 数字输出，溢出指示
12	D7B	通道 B 数字输出	44	SDIO/DCS	spi 数据位，低速数字
13	D8B	通道 B 数字输出	45	SCLK/DFS	spi 时钟位，低速数字
14	D9B	通道 B 数字输出	46	CSB	spi 片选，低有效
15	D10B	通道 B 数字输出	47	OEB	输出使能，低有效
16	D11B	通道 B 数字输出	48	PDWN	关断控制，1.8V 有效
17	D12B	通道 B 数字输出	49	AVDD	模拟供电 1.8V
18	D13B	通道 B 数字输出	50	AVDD	模拟供电 1.8V
19	DRVDD	数字供电 1.8V	51	VINA+	A 通道输入正端
20	D14B	通道 B 数字输出	52	VINA-	A 通道输入负端

21	D15B	通道 B 数字输出	53	AVDD	模拟供电 1.8V
22	ORB	通道 B 数字输出, 溢出指示	54	AVDD	模拟供电 1.8V
23	DCOB	数字输出同步时钟	55	VREF	基准电压输入/输出
24	DCOA	数字输出同步时钟	56	SENSE	基准电压模式选择
25	DOA	通道 A 数字输出	57	VCM	输入共模偏置
26	D1A	通道 A 数字输出	58	RBIAS	外部基准电阻
27	D2A	通道 A 数字输出	59	AVDD	模拟供电 1.8V
28	DRVDD	数字供电 1.8V	60	AVDD	模拟供电 1.8V
29	D3A	通道 A 数字输出	61	VINB-	B 通道输入负端
30	D4A	通道 A 数字输出	62	VINB+	B 通道输入正端
31	D5A	通道 A 数字输出	63	AVDD	模拟供电 1.8V
32	D6A	通道 A 数字输出	64	AVDD	模拟供电 1.8V

## 典型工作特性

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、典型采样速率、VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。如无特殊说明，TA=27°C，32k 采样。

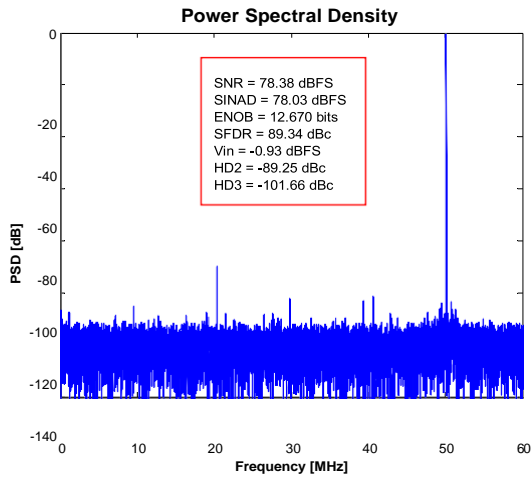


图 5 ASTA9268 单音 FFT(fin = 70MHz)

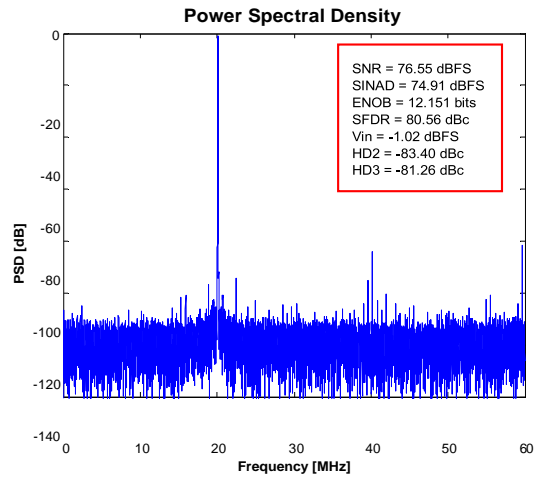


图 6 ASTA9268 单音 FFT(fin = 140MHz)

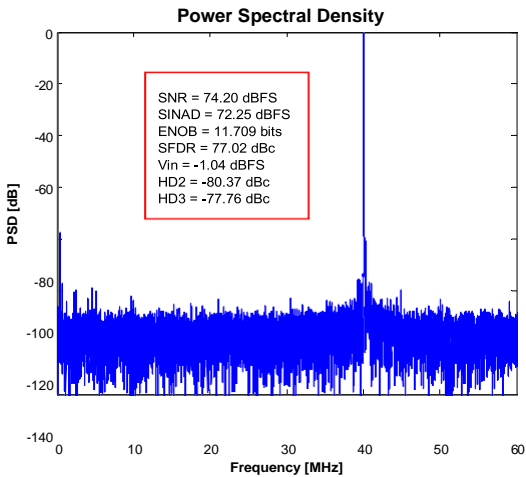


图 7 ASTA9268 单音 FFT(fin = 200MHz)

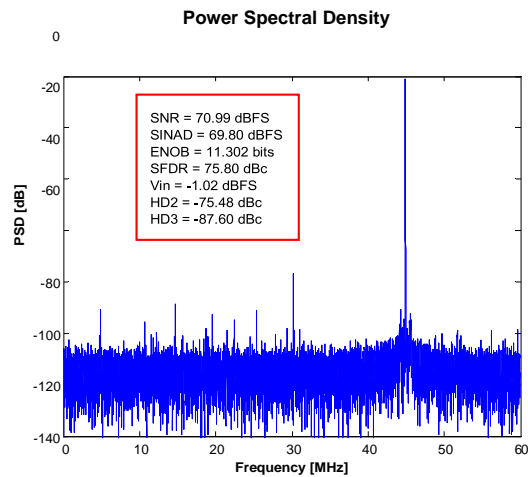


图 8 ASTA9268 单音 FFT(fin = 315MHz)

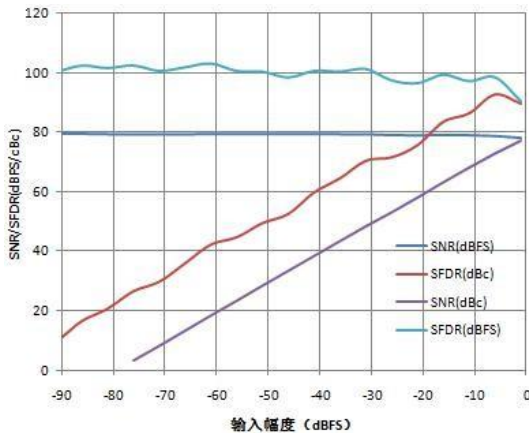


图 9 单音 SNR/SFDR 与输入幅度关系(fin = 70MHz)

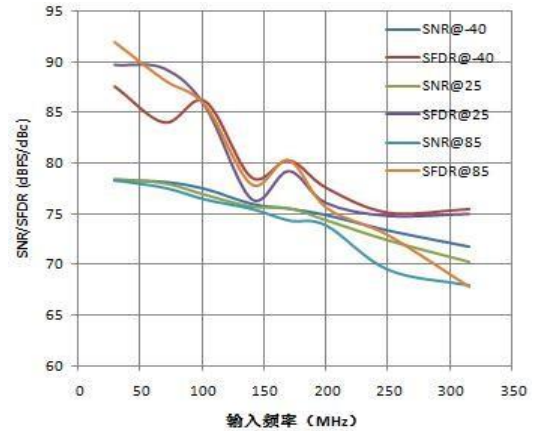


图 10 单音 SNR/SFDR 与输入频率关系(fin = 70MHz)

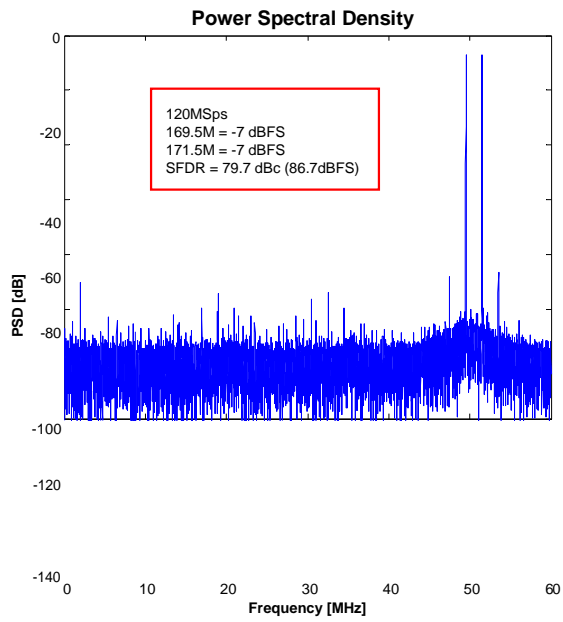


图 11 ASTA9268 双音 FFT

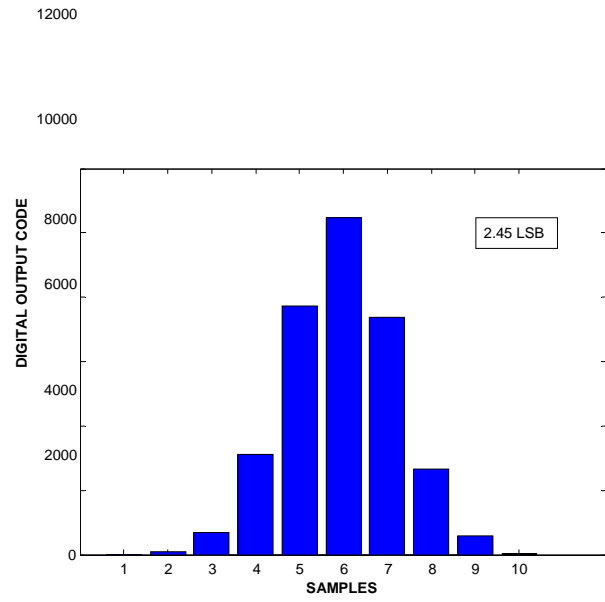


图 12 ASTA9268 接地输入直方图

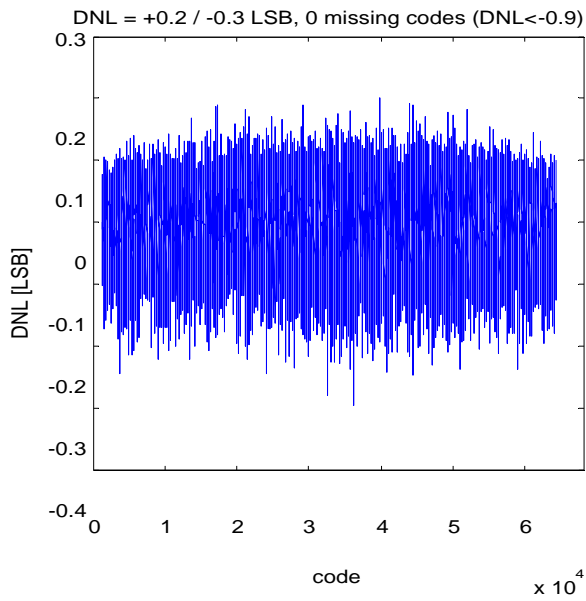


图 13 ASTA9268 DNL 误差

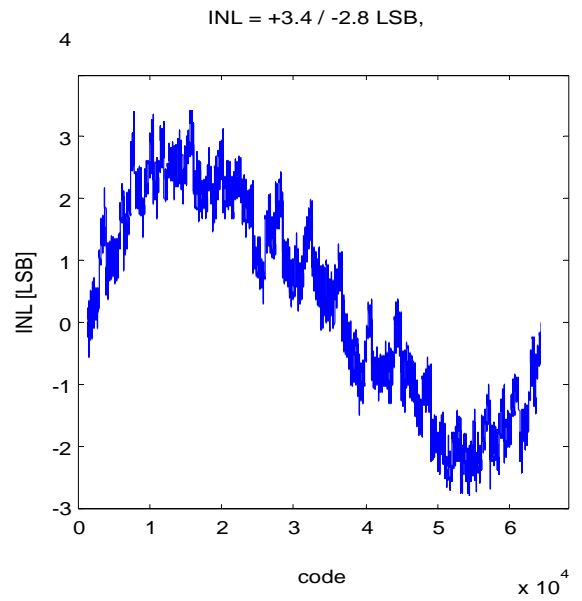


图 14 ASTA9268 INL 误差

## 典型应用电路

ASTA9268 输入信号、输入时钟、外部直流引脚等外围器件的典型应用电路如下。

### 模拟输入网络

当输入频率处于第二或更高奈奎斯特区域时，大多数放大器的噪声性能无法满足要求以达到 ASTA9268 真正的 SNR 性能。建议使用的输入配置是差分双巴伦耦合（见图 15）。在这种配置中，输入交流耦合，这些电阻补偿输入巴伦的损耗，向驱动器提供 50Ω 阻抗。在双巴伦和变压器配置中，输入电容和电阻的值取决于输入频率和源阻抗，并且可能需要降低或去掉。表 7 列出了设置 RC 网络的建议值。当输入频率较高时，将铁氧体磁珠与电阻串联并去掉电容可以实现良好的性能。不过，这些值取决于输入信号，且只能用作初始参考。

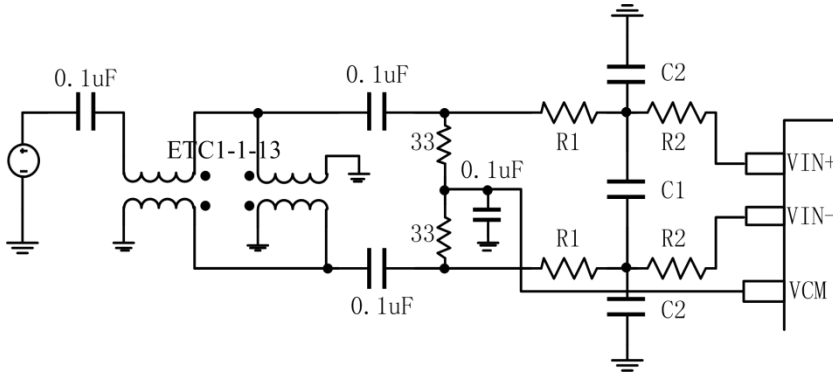


图 15 差分双巴伦输入配置

表 7 RC 网络示例

频率范围/MHz	串联电阻 R1/Ω	串联电阻 R2/Ω	差分电容 C1/pF	并联电容 C2/pF
0-100	33	15	5	15
100-200	10	10	5	10
200-300	10 <sup>7</sup>	66	无	无

7 这种配置中，R1为铁氧体磁珠，其值为10Ω @ 100 MHz。

### 时钟输入网络

为充分发挥芯片的性能，应利用一个差分信号作为 ASTA9268 采样时钟输入端（CLK+/-）的时钟信号。输入时钟引脚有内部偏置，无需外部偏置。如果这些输入悬空，建议将 CLK-引脚拉低以防止杂散时钟。建议采样射频变压器配置，如图 16 所示。跨接在变压器上的背对背肖特基二极管可以将输入到 ASTA9268 中的时钟信号限制为约差分 0.8V 峰峰值。这样，既可以防止时钟的大电压摆幅馈通至其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

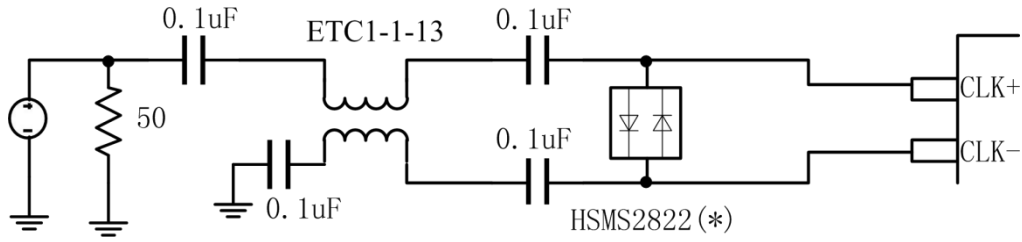


图 16 时钟输入配置

### 基准配置方式

ASTA9268 的内置比较器可检测出 SENSE 引脚的电压，从而将基准电压配置成四种不同的模式见表 11。如果 SENSE 引脚接地，则基准放大器开关在内部将 VREF 设为 1.0 V（对于 2.0 V 峰峰值满量程输入）。在这种模式下，SENSE 接地，也可以通过 SPI 端口调整满量程，详见相应的 SPI 寄存器。将 SENSE 引脚与 VREF 引脚相连，则提供 0.5 V 基准输出电压（对于 1 V 峰峰值满量程输入）。如果芯片与一个外部电阻分压器相连（如图 17），则使基准放大器进入可编程基准电压模式，VREF 输出端电压的计算公式如下：

$$VREF = 0.5 \times \left(1 + \frac{R2}{R1}\right)$$

无论芯片使用内部基准电压还是外部基准电压，ADC 的电压输入范围始终是基准电压引脚 (VREF) 电压的两倍。

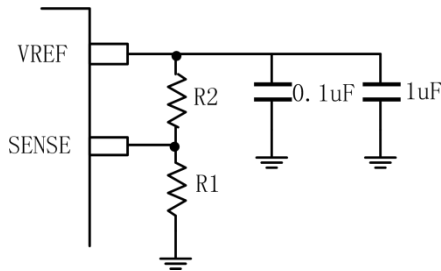


图 17 可编程基准电压模式

表 8 基准电压配置汇总

所选模式	SENSE 电压	相应的 VREF (V)	相应的查分范围 (Vpp)
外部基准电压	AVDD	N/A	2 × 外部基准电压
内部固定基准电压	VREF	0.5	1.0
可编程基准电压	0.2V 至 VREF	$0.5 \times \left(1 + \frac{R2}{R1}\right)$	2 × VREF
内部固定基准电压	AGND 至 0.2V	1.0	2.0

### 数字输出格式

ASTA9268 输出驱动器为 1.8V CMOS 逻辑系列接口，时序如图 2 所示。输出驱动器应能够提供足够的输出电流，以便驱动各种逻辑电路，驱动力可通过寄存器进行调整。然而，大驱动电流可

能导致在电源信号中产生毛刺脉冲，影响转换器的性能。因此，在那些需要 ADC 来驱动大容量负载或较大扇出的应用中，可能需要用到外部缓冲器或锁存器。在外部引脚模式下，设置 SCLK 引脚可以控制数据以偏移二进制格式或二进制补码格式输出（表 9、10）。

表 9 SCLK、SDIO 外部引脚模式选择

引脚电压	SCLK	SDIO
AGND	偏移二进制（默认）	DCS 禁用（默认）
AVDD	二进制补码	DCS 使能

表 10 数据输出格式

输入 (V)	条件	偏移二进制模式	二进制补码模式	超量程
VIN+ - VIN-	< -VREF - 0.5LSB	0000 0000 0000 0000	1000 0000 0000 0000	1
VIN+ - VIN-	= -VREF	0000 0000 0000 0000	1000 0000 0000 0000	0
VIN+ - VIN-	=0	1000 0000 0000 0000	0000 0000 0000 0000	0
VIN+ - VIN-	=+VREF - 1LSB	1111 1111 1111 1111	0111 1111 1111 1111	0
VIN+ - VIN-	> +VREF - 0.5LSB	1111 1111 1111 1111	0111 1111 1111 1111	1



## 串行端口接口 (SPI)

ASTA9268 串行端口接口 (SPI) 允许用户利用配置 ADC 内部相应功能寄存器, 以满足特定功能和操作的需要。通过串行端口, 可访问地址空间、对地址空间进行读写。该 ADC 的 SPI 由三部分组成: SCLK 引脚、SDIO 引脚和 CSB 引脚。SCLK (串行时钟) 引脚用于同步 ADC 的读出和写入数据; SDIO (串行数据输入/输出) 双功能引脚允许将数据发送至内部寄存器或从寄存器中读出数据; CSB (片选信号) 引脚是低电平有效控制引脚, 它能够使能或者禁用读写周期。时序要求如图 3 所示。

### 内部寄存器列表

表 11 寄存器列表

地址 (HEX)	寄存器名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值 (HEX)	注释
0x00	端口配置	0	0	0	0	0	软复位	0	0	0x00	1 使能
0x01	芯片ID	0	0	1	0	0	1	0	0	0x24	只读
0x02	芯片等级	0	0	0	1	0	0	0	0	0x10	只读; 0x10=125M
0x05	通道选择	0	0	0	0	0	0	通道B	通道A	0x03	设置以确定读写对象通道; 1 使能
0x09	全局时钟	0	0	0	0	0	0	0	占空比 稳定	0x00	1 使能
0x0C	DCO 延时	0	0	DCO 反相	0	0	DCO 时钟延时 000 至 111, 每位延时 0.5ns			0x20	DCO 反相 0 使能
0x0D	输出模式	0	0	驱动强度选择 00/01/10/11 渐强		0	0	0	编码格 式 : 0 二进制 偏 移 码, 1 补码。	0x00	
0x0F	失调调整	失调调整以LSB为单位, 从+127到-128 (二进制补码格式)								0x00	
0x14	ADC 输入	共模伺 服使能	0	0	0	通道 A 共模	通道 B 共模	0	0	0x00	1 使能; 共模伺服控制
0x18	VREF 选择	基准电压选择 00 = 1.25Vpp 01 = 1.5Vpp 10 = 1.75Vpp 11 = 2.0Vpp		0	0	0	0	0	0	0xC0	选择内部基准范围
0x4f	功耗模式	0	0	0	0	0	0	0	内部掉 电	0x00	1 使能

## 应用信息

### 电源和接地建议

建议使用两个独立的 1.8 V 电源为 ASTA9268 供电：一个用于模拟端 AVDD，一个用于数字输出端 DRVDD。对于 AVDD 和 DRVDD，应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近 PCB 入口点和接近器件引脚的位置，并尽可能缩短走线长度。ASTA9268 仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以轻松获得最佳的性能。

### 裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地 AGND。PCB 上裸露的连续铜平面应与 ASTA9268 的裸露焊盘匹配。铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过 PCB 底部进行散热。应当填充或堵塞这些通孔，防止通孔渗锡而影响连接性能。为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在 ADC 与 PCB 之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在 ADC 与 PCB 之间有一个连接点。

### VCM

VCM 引脚应通过一个 0.1 $\mu$ F 电容去耦至地。

### RBIAS

ASTA9268 要求用户将一 10 k $\Omega$ 电阻置于 RBIAS 引脚与地之间。该电阻用来设置 ADC 内核的主基准电流，该电阻容差至少为 1%。

### 基准电压源去耦

VREF 引脚应通过外部一个低 ESR 0.1 $\mu$ F 陶瓷电容和一个低 ESR 1.0 $\mu$ F 电容的并联去耦至地。

### SPI 端口

当需要转换器充分发挥其全动态性能时，应禁用 SPI 端口。通常 SCLK 信号、CSB 信号和 SDIO 信号与 ADC 时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上 SPI 总线，则可能需要在该总线与 ASTA9268 之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

# 外形尺寸

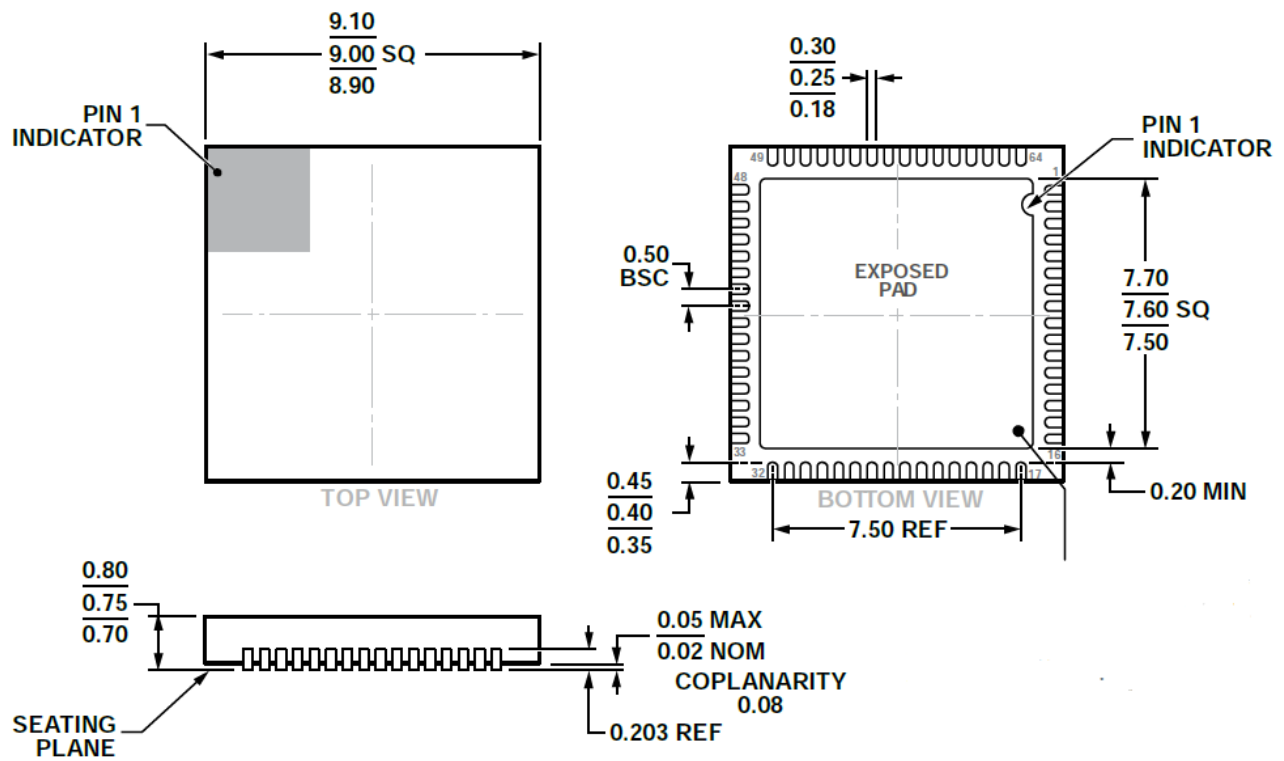


图 18 64 脚 QFN 封装尺寸图

# 评估板

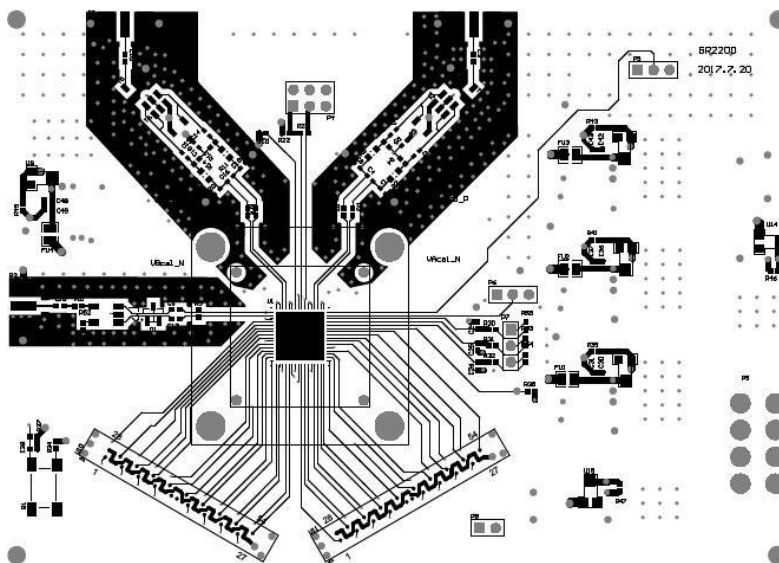


图 19 顶层 PCB 图参考

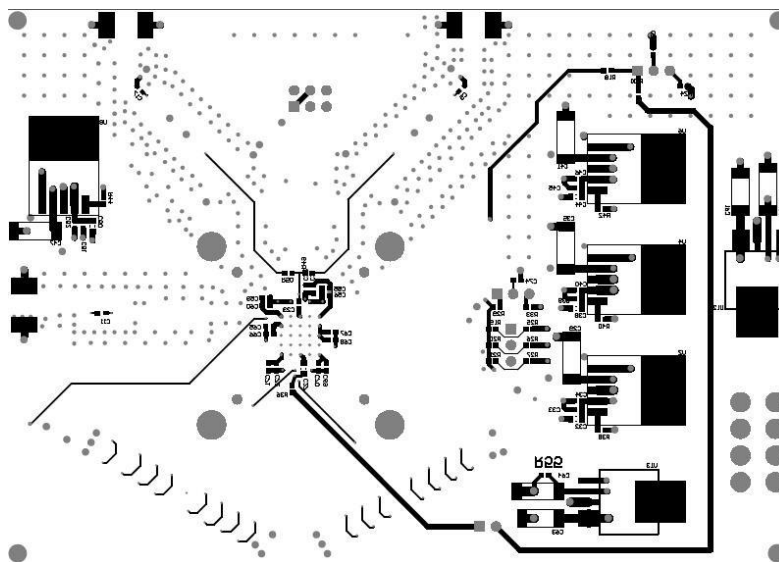


图 20 底层 PCB 图参考

## 订购信息

### 产品订购信息

型号	工作温度范围	质量等级	封装类型
ASTA9268	-40~85℃	工业级	QFN-64
ASTA9268E	-55~125℃	军温级	QFN-64