



深圳市雅创芯瀚电子科技有限公司
SHENZHEN ASTRONG-TECH CO., LTD

ASTD9154

四通道 16 位 2500MSPS DAC

服务电话：13691641629 13538015750

ASTD9154产品特性

四通道，16 位分辨率，最高数据采样率 2.5GSPS

宽带无杂散动态范围 (SFDR): $\geq 55\text{dBc}$

灵活的 8lane JESD204B 接口

最高 SerDes 速率 12.5Gbps

支持多芯片同步

支持 OTP 功能优化性能

应用

- 无线通信
- 多载波 LTE 和 GSM 基站
- 宽带中继器
- 软件无线电
- 宽带通信
- 点对点微波收音机
- 发射分集，多输入/多输出 (MIMO) 仪器
- 自动化测试设备

概述

ASTD9154是一款采样速率 2.5GSPS 的 16bit，四通道数模转换器 (DAC)。

芯片集成高速 JESD204B 接口，满足 JESD204B sub1 协议。最高接口速率 12.5GSPS，集成 1X-8X 上变频，正交调制，反 SINC 滤波器，

功率监测等功能模块，采用 SPI 接口进行寄存器配置，串口最高工作频率 50MHz，支持多芯片同步。

产品特征

- DAC 数据位宽：16 位
- 集成通道数：4
- 集成 8 对 JESD204B TX，Serdes 速率：1.5~12.5GSPS
- 支持 JESD204B sub1 协议
- 支持的内插模式：1X、2X、4X、8X
- 集成 IQ 调制通道数：4
- SPI 写时钟： $\leq 50\text{MHz}$
- SPI 读时钟： $\leq 25\text{MHz}$
- 集成 IQ 调制通道数：4
- DAC 输出电流：4mA~20mA
- 支持多芯片同步
- 典型功耗：2.5W (2Gsps 采样率，8 lane，2 倍内插，开启 4 路 NCO)
- 封装形式：QFN88
- 湿度敏感等级：3 级
- 质量等级：企标级、N1级

详细功能框图

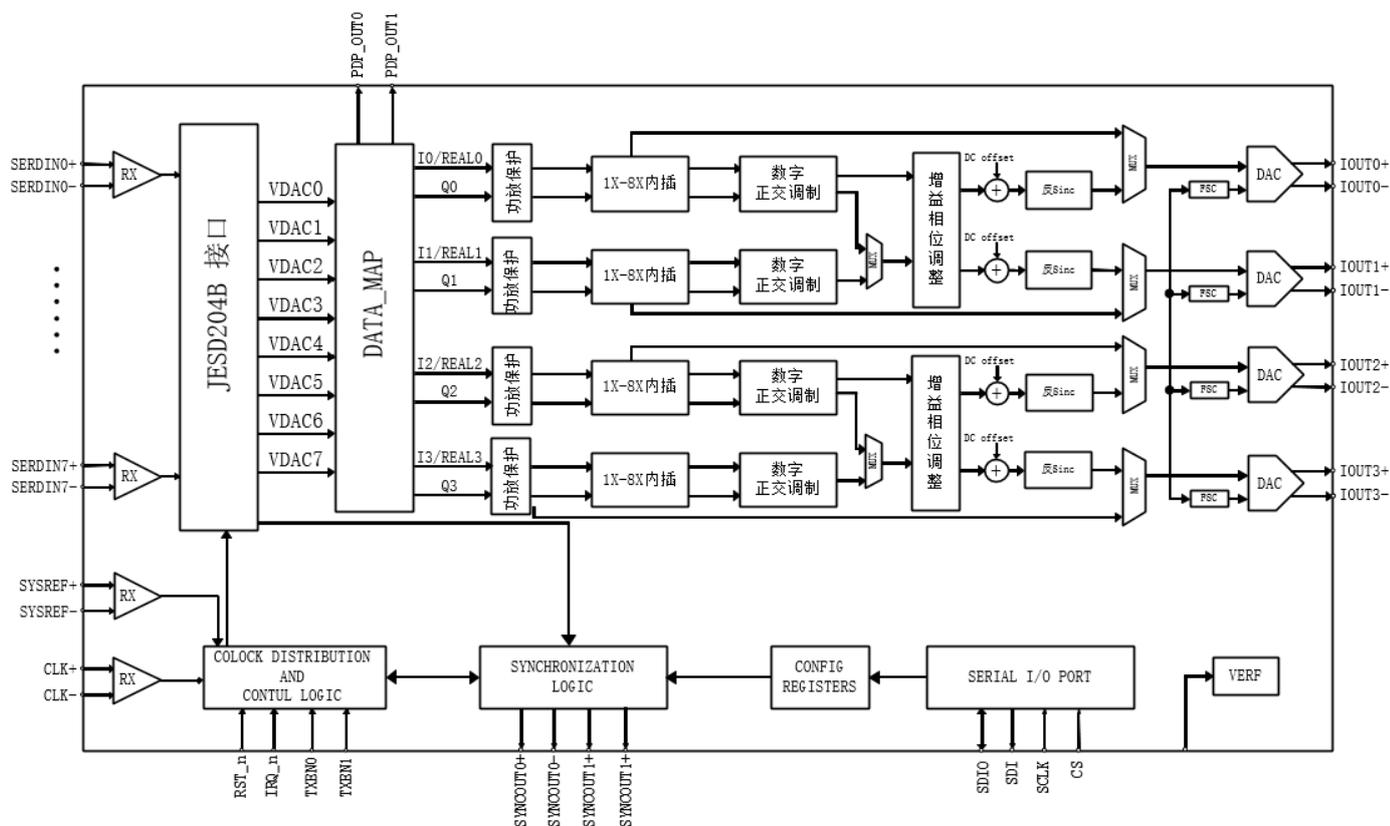


图 1 详细功能框图

参数特性

表 1 参数特性

特性	符号	条件: 除另有规定外, AVDD33=3.3V, SIOVDD33=3.3V, IOVDD=1.8V, DVDD12=1.2V, PVDD12=1.2V, CVDD12=1.2V, SVDD12=1.2V, V _{TT} =1.2V ASTD9154: -40°C ≤ T _A ≤ 85°C,			极限值		
		最小	典型	最大	单位		
转换速率	f _s				2500	MHz	
时钟输入差分幅度	V _{c_pp}	—	400		2000	mV	
时钟输入共模电压	V _{c_cm}	交流耦合	600		800	mV	
微分非线性	DNL	—	-5		5	LSB	
积分非线性	INL	—	-9		9	LSB	
增益误差	E _G	—	-8.0		8.0	%FSR	
失调误差	E _O	—			5322	ppm	
CMOS 输入高电平电压	V _{IH}	—	0.7*IOVDD			V	
CMOS 输入低电平电压	V _{IL}	—			0.3*IOVDD	V	
CMOS 输出高电平电压	V _{OH}	I _{on} =1mA	0.7*IOVDD			V	
CMOS 输出低电平电压	V _{OL}	I _{on} =1mA			0.3*IOVDD	V	
满量程输出电流	I _{FS}	—	4		20	mA	
SYSREF 输入差分幅度	V _{s_pp}	—	400		2000	mV	
SYSREF 输入共模电压	V _{s_cm}	—	0		2000	mV	
JESD204B 差分输入电压	V _{i_pp}	—	110		1050	mV	
单 lane 数据速率	f _b	—	1		12.5	Gbps	
无杂散动态范围	SFDR	f _{out} =20MHz	f _s =1966.08MSPS	73		dBc	
		f _{out} =150MHz	f _s =1966.08MSPS	74		dBc	

特性	符号	条 件：除另有规定外， AVDD33=3.3V， SIOVDD33=3.3V， IOVDD=1.8V， DVDD12=1.2V, PVDD12=1.2V， CVDD12=1.2V, SVDD12=1.2V, V _{TT} =1.2V ASTD9154: -40°C ≤ T _A ≤ 85°C，			极限值			单位
		最小	典型	最大	最小	典型	最大	
		f _{out} =180MHz	f _s =1966.08MSPS	74	—		dBc	
		f _{out} =960MHz	f _s =2400.00MSPS	58	—		dBc	
噪声功率谱密度	NSD	f _{out} =150MHz	f _s =983.04MSPS	—	-161		dBm/Hz	
		f _{out} =180MHz	f _s =1966.08MSPS	—	-158		dBm/Hz	
交调失真	IMD	f _{out} =30MHz	f _s =983.04MSPS	77	—		dBc	
		f _{out} =150MHz	f _s =983.04MSPS	79	—		dBc	
		f _{out} =30MHz	f _s =1966.08MSPS	73	—		dBc	
		f _{out} =180MHz	f _s =1966.08MSPS	79	—		dBc	
功耗	P _{A1}	f _s =1.0GSPS, 8lane		—		1.89	W	
		PVDD12			316		mA	
		CVDD12			145		mA	
		SVDD12			290		mA	
		DVDD12(每路 NCO 30mA)			212		mA	
		AVDD33			152		mA	
		SIOVDD33+IOVDD			73		mA	
	P _{A2}	f _s =2GSPS, 8lane, 四路 NCO, 二倍内插		—		2.53	W	
		PVDD12			506		mA	
		CVDD12			299		mA	
SVDD12			286		mA			
DVDD12(每路 NCO 70mA)			401		mA			

特性	符号	条件: 除另有规定外, AVDD33=3.3V, SIOVDD33=3.3V, IOVDD=1.8V, DVDD12=1.2V, PVDD12=1.2V, CVDD12=1.2V, SVDD12=1.2V, V _{TT} =1.2V ASTD9154: -40°C ≤ T _a ≤ 85°C,	极限值			单位
			最小	典型	最大	
			AVDD33		152	
SIOVDD33+IOVDD		71		mA		

封装及引脚功能说明

ASTD9154 封装形式为 QFN88，管脚排布及功能说明如下所示。

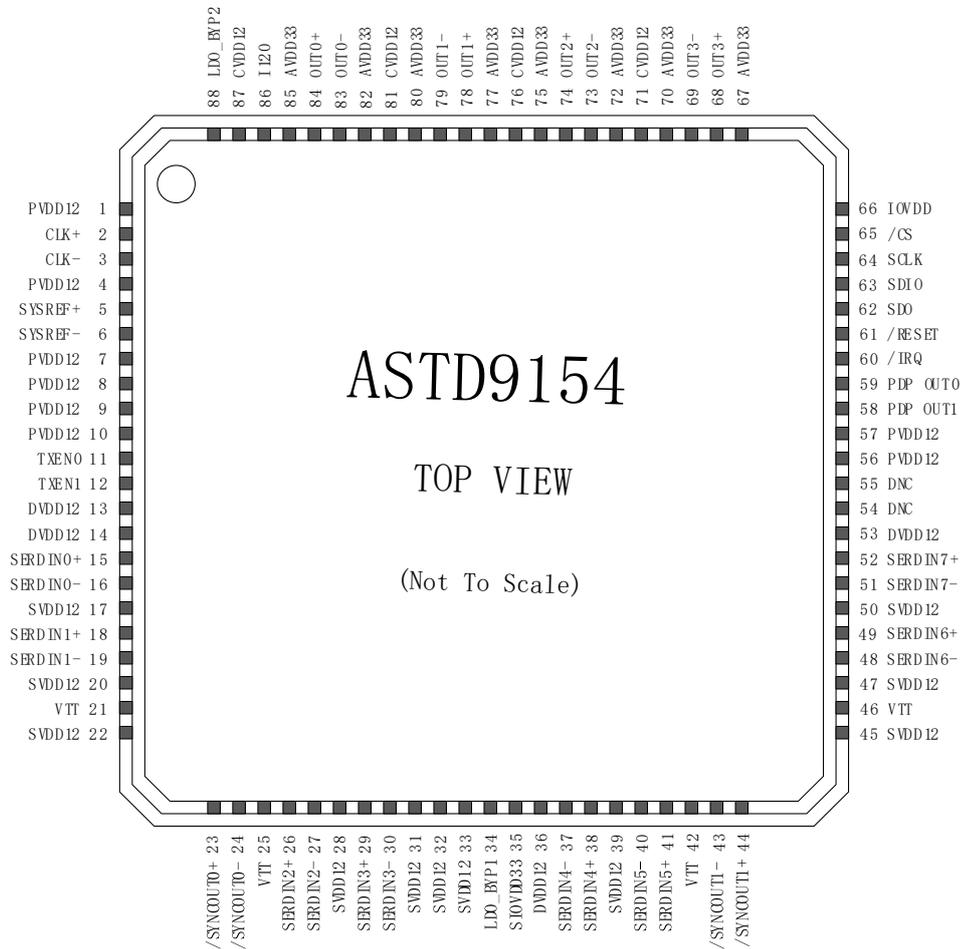


图 2 ASTD9154 引脚排布图

该芯片的各引脚功能描述见表 2:

表 2 芯片引脚功能说明

引出端序号	符号	功能说明	引出端序号	符号	功能说明
1	PVDD12	1.2V 电源	45	SVDD12	SerDes 内核 1.2V 电源
2	CLK+	CLK 时钟输入正端	46	VTT	SerDes 端接 1.2V 电源
3	CLK-	CLK 时钟输入负端	47	SVDD12	SerDes 内核 1.2V 电源
4	PVDD12	1.2V 电源	48	SERDIN7-	串行通道 7 数据输入负端
5	SYSREF+	SYSREF 输入正端	49	SERDIN7+	串行通道 7 数据输入正端
6	SYSREF-	SYSREF 输入负端	50	SVDD12	SerDes 内核 1.2V 电源

7	PVDD12	1.2V 电源	51	SERDIN6-	串行通道 6 数据输入负端
8	PVDD12	1.2V 电源	52	SERDIN6+	串行通道 6 数据输入正端
9	PVDD12	1.2V 电源	53	DVDD12	1.2V 数字电源
10	PVDD12	1.2V 电源	54	NC	悬空或按“电源分组建议”注 2
11	TXEN0	DAC0、DAC1 发射使能	55	NC	悬空或按“电源分组建议”注 2
12	TXEN1	DAC2、DAC3 发射使能	56	PVDD12	1.2V 电源
13	DVDD12	1.2V 数字电源	57	PVDD12	1.2V 电源
14	DVDD12	1.2V 数字电源	58	PDP OUT1	DAC2、DAC3 功率检测与保护
15	SERDIN0+	串行通道 0 数据输入正端	59	PDP OUT0	DAC0、DAC1 功率检测与保护
16	SERDIN0-	串行通道 0 数据输入负端	60	IRQ	中断请求
17	SVDD12	SerDes 内核 1.2V 电源	61	/RSET	复位，低电平复位
18	SERDIN1+	通道 1 数据输入正端	62	SDO	串行数据输出端口
19	SERDIN1-	通道 1 数据输入负端	63	SDIO	串行数据输入/输出端口
20	SVDD12	SerDes 内核 1.2V 电源	64	SCLK	串行时钟输入端口
21	VTT	SerDes 端接 1.2V 电源	65	/CS	片选
22	SVDD12	SerDes 内核 1.2V 电源	66	IOVDD	SPI 驱动电源，1.8V~3.3V
23	SYNCOUT0+	通道 0 同步输出信号正端	67	AVDD33	DAC 核 3.3V 模拟电源
24	SYNCOUT0-	通道 0 同步输出信号负	68	OUT3+	DAC3 输出正端
25	VTT	SerDes 端接 1.2V 电源	69	OUT3-	DAC3 输出负端
26	SERDIN2+	串行通道 2 数据输入正端	70	AVDD33	DAC 核 3.3V 模拟电源
27	SERDIN2-	串行通道 2 数据输入负端	71	CVDD12	1.2V 电源
28	SVDD12	SerDes 内核 1.2V 电源	72	AVDD33	DAC 核 3.3V 模拟电源
29	SERDIN3+	串行通道 3 数据输入正端	73	OUT2-	DAC2 输出负端
30	SERDIN3-	串行通道 3 数据输入负端	74	OUT2+	DAC2 输出正端
31	SVDD12	SerDes 内核 1.2V 电源	75	AVDD33	DAC 核 3.3V 模拟电源
32	SVDD12	SerDes 内核 1.2V 电源	76	CVDD12	1.2V 电源
33	SVDD12	SerDes 内核 1.2V 电源	77	AVDD33	DAC 核 3.3V 模拟电源
34	LDO_BYPI	LDO 旁路，悬空处理	78	OUT1+	DAC1 输出正端
35	SIOVDD33	3.3V SerDes 电源	79	OUT1-	DAC1 输出负端
36	SVDD12	SerDes 内核 1.2V 电源	80	AVDD33	DAC 核 3.3V 模拟电源
37	SERDIN5-	串行通道 5 数据输入负端	81	CVDD12	1.2V 电源

38	SERDIN5+	串行通道 5 数据输入正端	82	AVDD33	DAC 核 3.3V 模拟电源
39	SVDD12	SerDes 内核 1.2V 电源	83	OUT0-	DAC0 输出负端
40	SERDIN4-	串行通道 4 数据输入负端	84	OUT0+	DAC0 输出正端
41	SERDIN4+	串行通道 4 数据输入正端	85	AVDD33	DAC 核 3.3V 模拟电源
42	VTT	SerDes 端接 1.2V 电源	86	I120	DAC 电流设置, 接 4k 电阻到地
43	SYNCOUT1-	通道 1 同步输出信号负端	87	CVDD12	1.2V 电源
44	SYNCOUT1+	通道 1 同步输出信号正端	88	NC	悬空
				EPAD	接地

典型性能对比

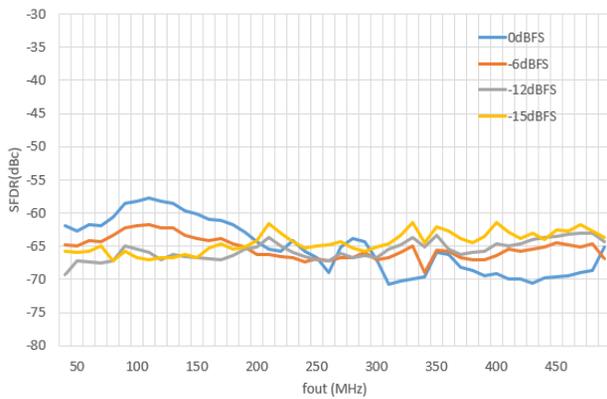


图 3 无 OTP 时输出单音, 第一奈奎斯特带 SFDR, $F_{dac} = 960\text{MSPS}$

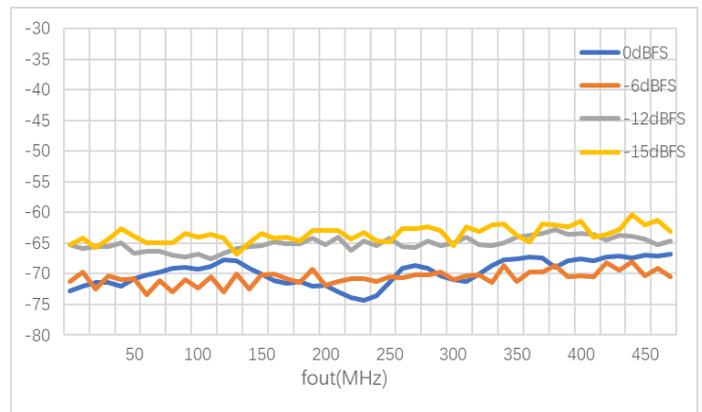


图 4 OTP 加载后输出单音, 第一奈奎斯特带 SFDR, $F_{dac} = 960\text{MSPS}$

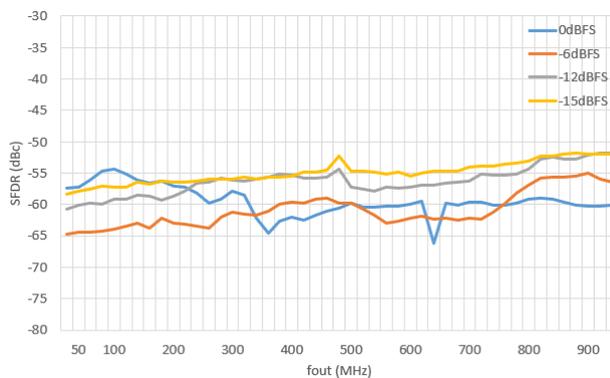


图 5 无 OTP 时输出单音, 第一奈奎斯特带 SFDR, $F_{dac} = 1920\text{MSPS}$

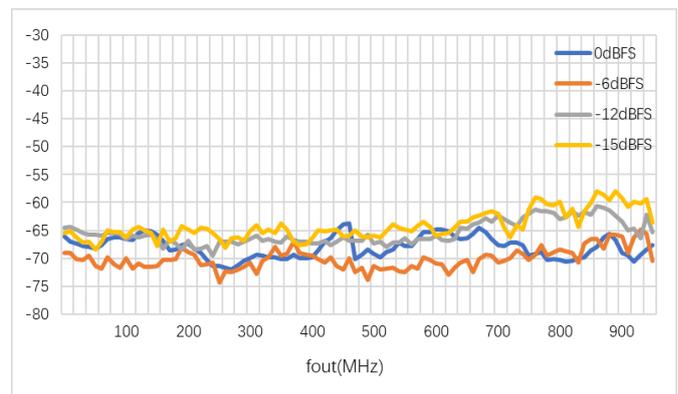


图 6 OTP 加载后输出单音, 第一奈奎斯特带 SFDR, $F_{dac} = 1920\text{MSPS}$

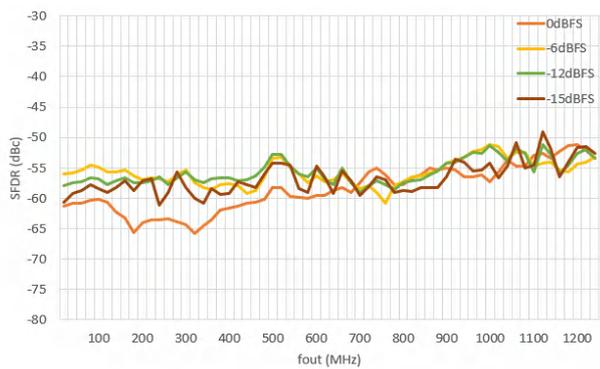


图 7 无 OTP 时输出单音，第一奈奎斯特带 SFDR，F_{dac} = 2500MSPS

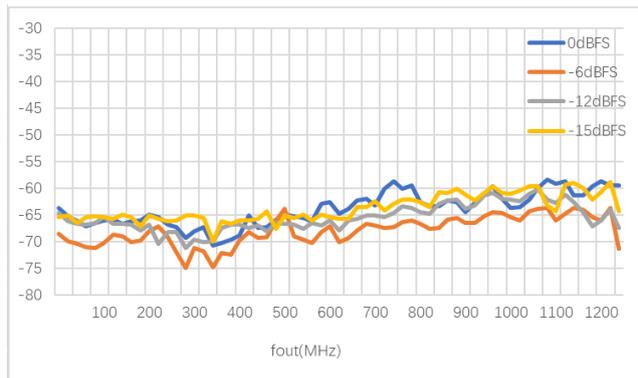


图 8 OTP 加载后输出单音，第一奈奎斯特带 SFDR，F_{dac} = 2500MSPS

功能描述

ASTD9154 包括 8 对 JESD204B SerDes 接口，四路独立可控的 I/Q 通道。每路包括功放保护控制模块，1X~8X 内插上变频模块，I/Q 正交调制模块，相位增益调整模块，DC 偏移控制模块，反 SINC 滤波器模块，小数延迟模块等。芯片集成 4 个 16 位高性能 DAC，支持四通道独立控制功能。

ASTD9154 内部无 PLL 模块，参考时钟由外部直接提供。芯片可根据数据率要求支持 1/2/4/8lane 模式配置，采用单 link 建立 JESD204B 接口通信。芯片信号处理路径提供 4 种内插模式，包括 1×、2×、4×、8×。集成 INV_SINC 滤波器，用于补偿 DAC 输出的 SINC 损耗。集成高性能 NCO 实现 I/Q 正交调制，以便于实现发射信号的复杂变频功能。芯片集成群延迟(可直接调整每个模拟通道输出延迟±85ps)功能。芯片同时还集成增益控制、DC 偏移控制以及模拟 IQ 相位控制模块，用于实现发射数据链上的信号调整。ASTD9154 DAC 输出为差分电流输出，额定满幅电流为 20mA。芯片集成多芯片同步机制，采用 JESD204B 子类 1 SYSREF 信号建立多芯片同步。

SPI 配置接口

ASTD9154 的寄存器配置采用 SPI 串口配置方式，与串口配置相关的管脚信号包括时钟信号 SCLK，片选信号/CS、数据输入输出 SDIO 以及数据输出 SDO。

串口配置包括两个步骤，一是配置指令字节，指令字节包括读写控制位和寄存器地址，指令位宽为 16 位，其次是配置对应地址的寄存器数据，数据位宽为 8 位。

指令格式如下表所示。

表 3 串口指令格式

I[23](MSB)	I[22:8]	I[7:0]
R/W	A[14:0]	DATA[7:0]

高位 R/W 是读写指令，1 表示读操作，0 表示写操作。A0~A14 表示寄存器地址，详细寄存器地址请查看寄存器列表。

串口读/写如下示意图所示。

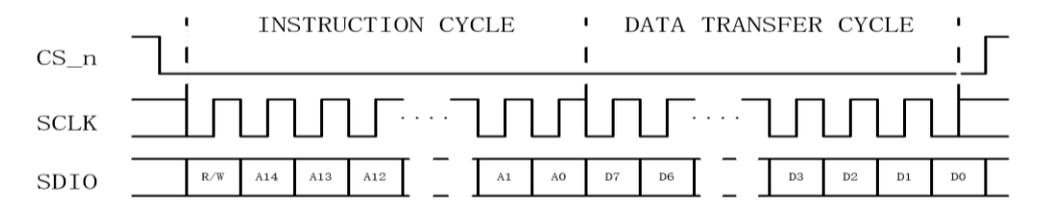


图 9 SPI 接口工作示意图

如上图所示，SPI 配置时钟频率最高为 50MHz，其中读写操作时钟推荐占空比为 50%。

数据可通过 MSB 优先模式或 LSB 优先模式发送。芯片上电后，默认采用 MSB 优先的方式，可以通过 SPI 接口配置寄存器来更改数据发送方式。

SPI 接口支持 burst 模式，默认地址递减趋势，可通过 SPI 配置更改 burst 模式地址趋势方向。

一般情况下，数据配置在写完一个字节的最后一比特后立即生效。特殊的，对于 NCO 的频率控制字 FTW、相位控制 POW、幅度控制 AMP，需要在寄存器位 FTW_UPDATE_REQ 为 1 时生效。

数据路径

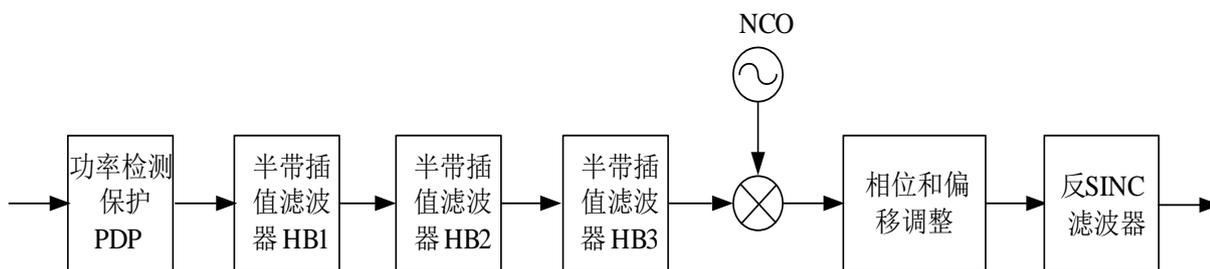


图 10 数据通路框图

ASTD9154 的数据通路如上图所示，共支持 4 个数据通路，分别为

CH0~CH3. 数据输入格式选择

ASTD9154 支持二进制补码和二进制偏移码两种处理格式，可通过配置 0x112 寄存器进行控制，当 BIN_FMT 为 0 时，处理格式为二进制补码格式，反之，为二进制偏移码格式。默认情况下为二进制补码格式。

上变频滤波器（内插滤波器）

内插滤波器用于提升数据采样率，ASTD9154 支持 1x-8x 级内插倍数，可通过配置寄存器 0x109 进行控制，其处理路径和对应的配置表如下所示。

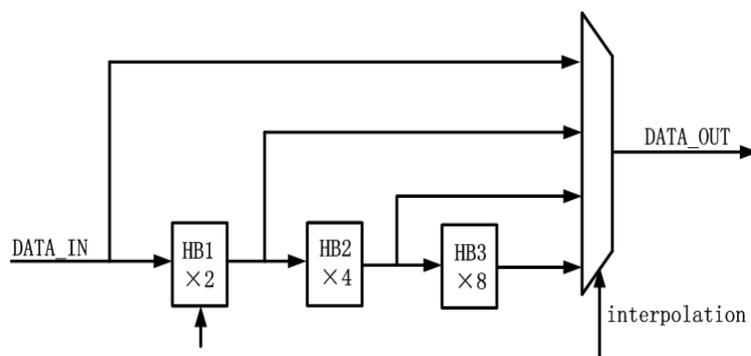


图 11 数字上变频处理路径

表 1 内插模式配置表

内插模式	配置寄存器 0x109 INTERPMODE[2:0]	有效带宽 ($f_{DATA}=f_{dac}/interpolation$)
1X(bypass)	0x00	$0.5f_{DATA}$
2X	0x01	$0.4f_{DATA}$
4X	0x02	$0.4f_{DATA}$
8X	0x03	$0.4f_{DATA}$

ASTD9154 内插滤波器包括 HB1、HB2、HB3，每级滤波器带内纹波小于 0.001dB，阻带抑制大于 90dB。滤波器幅频特性如下所示。

HB1 滤波器

HB1 滤波器幅频特性如下所示。

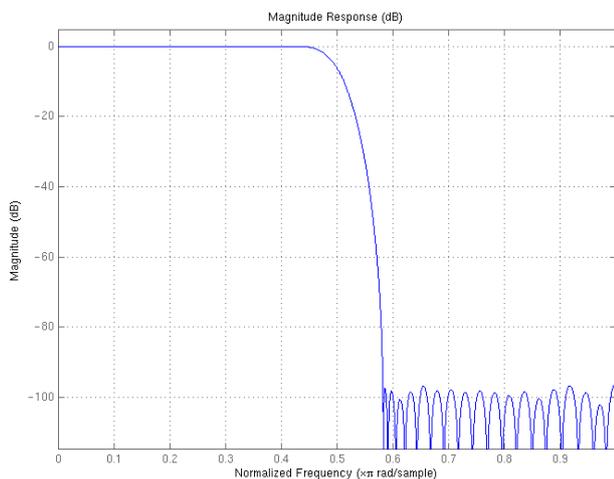


图 12 HB1 滤波器幅频特性

HB2 滤波器

HB2 滤波器幅频特性如下所示。

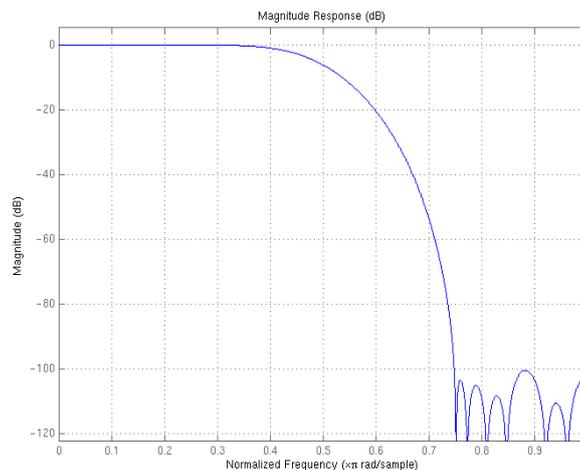


图 13 HB2 滤波器幅频特性

HB3 滤波器

HB3 滤波器幅频特性如图 14 所示。

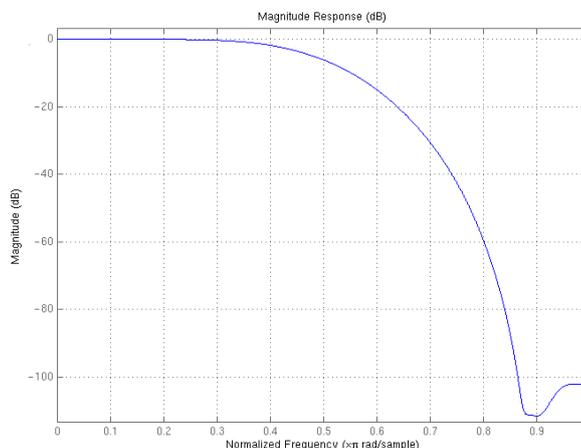


图 14 HB3 滤波器幅频特性

数字正交调制

数字正交调制可实现数字 IQ 调制，包括粗调和精调，其中粗调中频固定为 $f_s/4$ 、 $f_s/8$ 。精调模式则采用 NCO 提供中频调制信号。数字正交调制模块如下图所示，通过 0x115[1:0] 寄存器进行配置，配置如表 5 所示。

表 5 数字正交调制类型控制表

调制模式	调制控制寄存器 0x115[1:0] MODULATION TYPE
关闭调制	00
NCO 精调	01
$f_s/4$ 粗调	10
$f_s/8$ 粗调	11

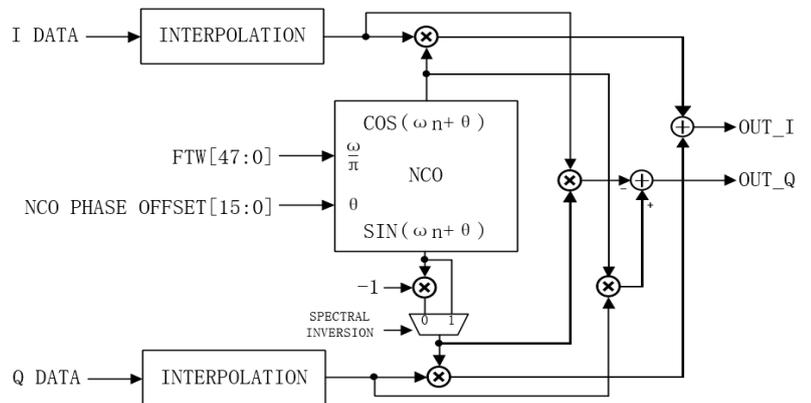


图 15 数字正交调制模块

NCO 载波配置

NCO 结构如下所示。

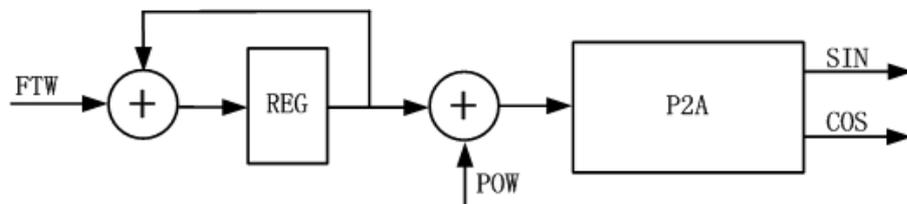


图 16 NCO 结构

NCO 频率字 FTW 位宽为 48 位，相位字位宽为 16 位，载波频率由以下公式确定。

$$FTW = \frac{f_{carrier}}{fdac} \times 2^{48}$$

其中 $f_{carrier}$ 为 $0-f_{dac}/2$ 。

NCO 频率寄存器配置如下表所示。

表 6 NCO 频率字及相位字配置表

地址	值	地址	值
0x116	FTW[47:40]	0x11A	FTW[15:8]
0x117	FTW[39:32]	0x11B	FTW[7:0]

0x118	FTW[31:24]	0x11D	POW[15:8]
0x119	FTW[23:16]	0x11E	POW[7:0]

NCO 同步清零

NCO 同步清零用于实现对 NCO 相位的清零，实现初始相位可控。NCO 清零可通过以下几种方式实现。

- 手动清零：通过 SPI 配置 0x114[3] NCO_MANUAL_RST 为 1 进行复位操作，配置为 0 复位完成。
- 自动清零：当 NCO 的频率字 FTW 改变时自动清零，通过配置 0x115[5:4] NCO_UPDATE_MODE 为 2'b01 启动自动清零。或者通过配置 0x11C[0] FTW_UPDATE_REG 为 1'b1 启动。
- SYSREF 上升沿清零：通过配置 0x114[2] NCO_CYC_SYNC 为 1 开启周期同步，同时开启 0x114[1:0] NCO_SYNC_MODE 为 2'b01 启动 SYSREF 上升沿清零。
- NCO_KEY 清零：通过配置 0x114[2] NCO_CYC_SYNC 为 1 开启周期同步，同时开启 0x114[1:0] NCO_SYNC_MODE 为 2'b10 启动 NCO_DATA_KEY 清零，同时配置 NCO_DATA_KEY 寄存器 0x121~0x124。

NCO 输出模式

ASTD9154 支持无需建立 JESD204B 链接，将内部 NCO 信号直接输出到 DAC，通过配置 0x115[7] NCO_OUT_EN 寄存器为 1 使能 NCO 输出模式。

NCO 频率切换模式

NCO 有三种频率切换模式，分别是连续模式、非连续模式、相干模式。如下表所示。

连续模式：NCO 频率切换时，输出载波保持相位连续。

非连续模式：NCO 频率切换时，NCO 的累加器自动清零，输出载波相位不连续。

相干模式：NCO 切换频率之间保持各自频率下的初相一致。

表 7 NCO 频率切换模式

0x115[5:4] NCO_UPDATE_MODE	NCO 频率切换模式
-------------------------------	------------

00	连续模式（频率字更新后相位累加器不清零，相位连续）
01	非连续模式（频率字更新后相位累加器清零，相位不连续）
10	相干模式（频率切换过程中保持各自频率下的初相一致）

反 SINC 滤波器

ASTD9154 具有 INV_SINC 数字滤波器用于补偿 DAC 输出固有的滚降特性，由 0x112[2] INV_SINC_EN 寄存器使能控制。INV_SINC 滤波器幅频响应如下所示。

当开启 INV_SINC 滤波补偿时，信号将引入 3dB 左右的损耗。INV_SINC 滤波补偿有效带宽约为 0.4fdac。

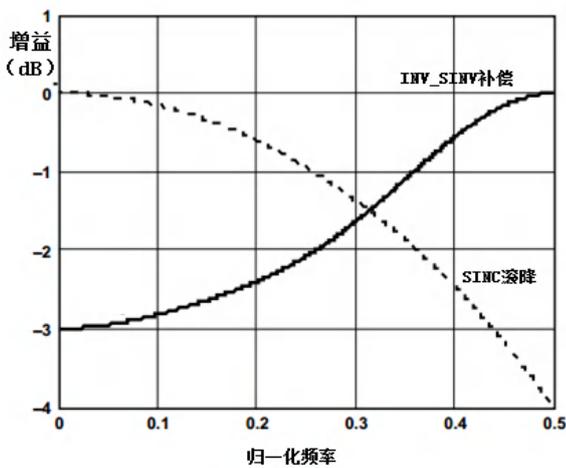


图 17 INV_SINC 滤波器响应

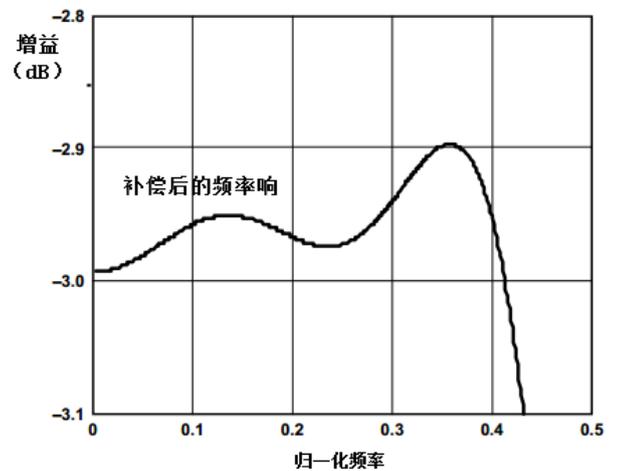


图 18 INV_SINC 补偿后响应

增益控制

ASTD9154 可进行数字增益控制，用于控制输出信号幅度，调整 I/Q 增益不匹配性。通过增益寄存器 0x112[0] GAIN_EN 开启增益控制使能，并通过配置 0x11F 和 0x120 寄存器进行调整，增益码设置范围(0~32768)，缩放倍数为(0~32768)/4096。

增益计算公式如下所示。

$$Gain = Gaincode \times (1 / 4096)$$

Gaincode 为 16 位无符号码，如下表所示。

表 8 数字增益寄存器

地址	增益码
----	-----

0x112[0]	GAIN_EN
0x11F	MSB_GAIN[15:8] (Gaincode 高位)
0x120	LSB_GAIN [7:0] (Gaincode 低位)

DC 偏移控制

ASTD9154 支持 DC 偏移控制，用于调整数据处理路径的 DC 点，通过 0x112[3] DC_OFFSET_EN 寄存器开启 DC 偏移使能。通过 0x125-0x126 DC_OFFSET_VAL[15:0] 寄存器配置偏移量。DC_OFFSET_VAL[15:0] 为 16 位二进制补码，可正可负，因而在进行 DC 偏移时，可进行正/负偏移。

JESD204B RX 接口

JESD204B RX 接口模块包括数据传输层、链路层和物理层，结构如下图。

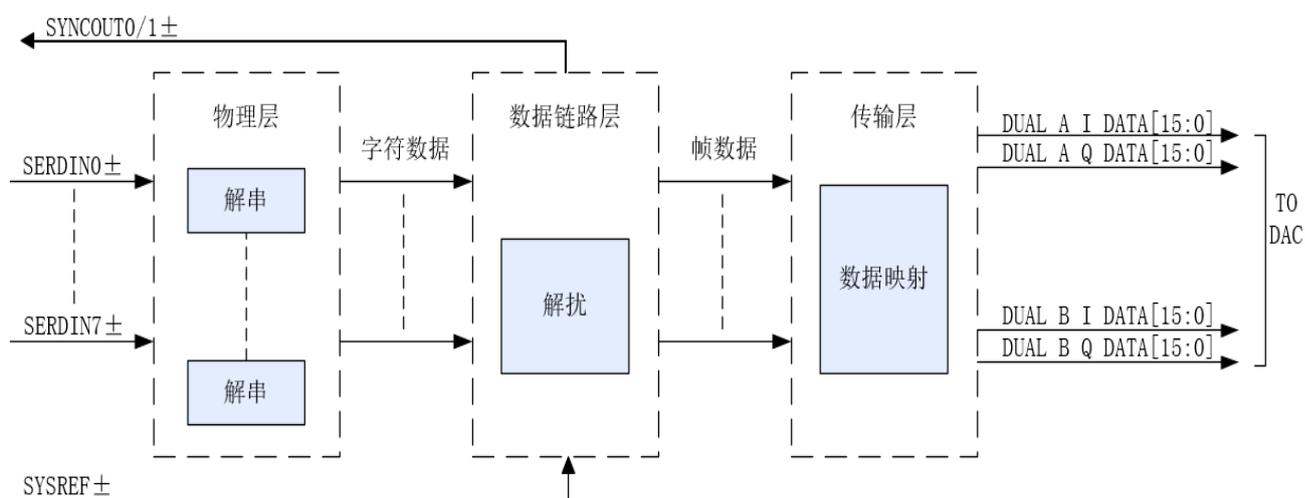


图 19 JESD204B 结构图

数据传输层包括数据帧的合成，数据传输层工作在帧时钟域；链路层包括同步检测模块、8b/10b 解码、对齐字符检测模块、可编程的解扰模块，链路层工作在字符时钟域，该时钟是物理层恢复的，与物理层输出的数据同步；物理层根据接收的数据，恢复数据和时钟，并将数据进行串并转换，输出字符时钟和数据，JESD204B RX 接口功能图如下。

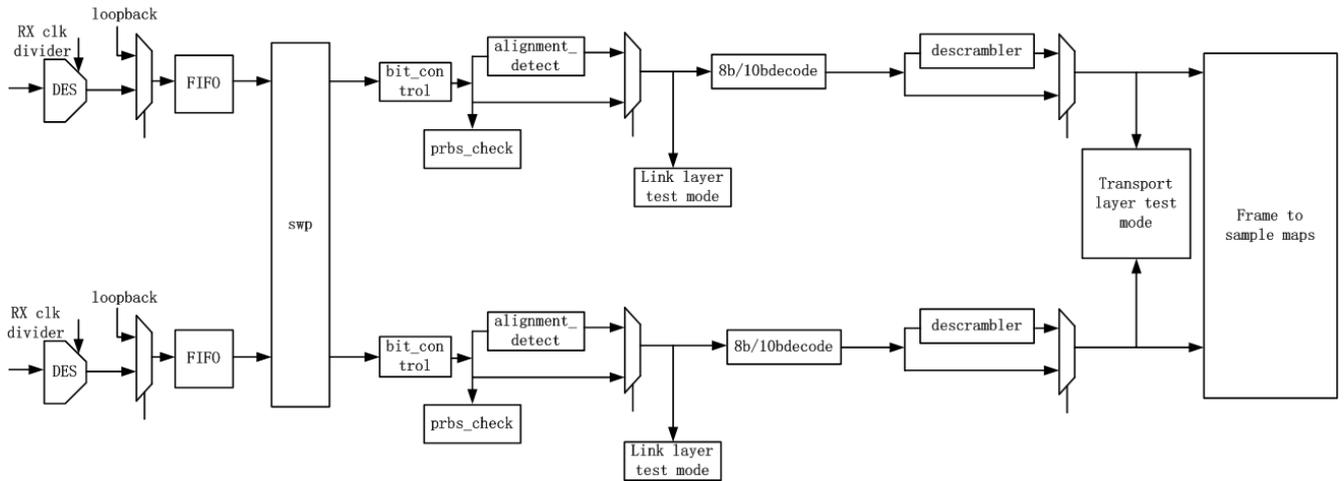


图 20 JESD204B 功能图

在 JESD204B 系统中有许多可以配置的参数，系统中的每一个转换器或是 FPGA 逻辑单元都必须根据系统要求进行正确的配置。下面介绍 JESD204B 相关参数：

- L 是每条链路的传输线路数（本器件最高支持8路）。
- M是每个器件的数据转换器个数（本器件为虚拟转换器，代表数据路径I0~I3和Q0~Q3）
- F 是每个帧时钟周期包含的字节数（八位字节）。
- CF 为每条链路的每帧时钟周期的控制字数量，当CF为0时，控制位都紧跟在样本之后。
- CS是每个转换样本的控制位数量，本器件固定为0。
- K 定义每个多帧的帧数量，本器件固定为16/32。
- N 定义转换器分辨率，本器件固定为16。
- N' 定义每个样本的总位数（量化为4位的半字节），ASTD9154固定为16。
- HD 定义密度模式（0 = 低密度， 1 = 高密度），高密度表示一个转换器的样本，可以在多个lane之间传输，在该设计中，只有在F=1时，HD=1。
- S 定义每个转换器每帧传输的样本数（即过采样率，本器件 S=1、2、4）。

JESD204B RX 物理层

JESD204B 物理层包括 8 个同样的通道，每个物理层包括端接电阻、均衡器、PLL、CDR 以及解串器，如下图所示。

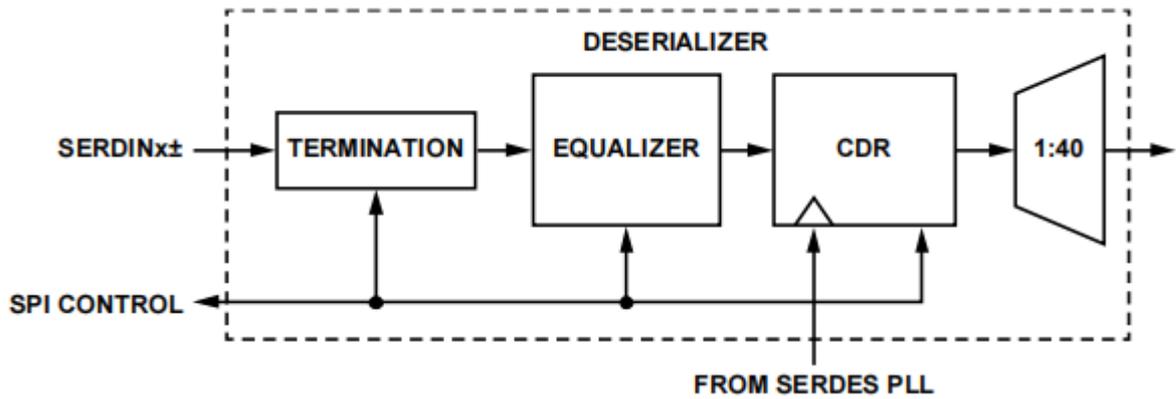


图 21 JESD204B RX 物理层框图

物理层关断及启动

JESD204B RX 物理层为节省功耗，默认情况下为关断，当需要启动工作时，通过配置 0x306[7:0] UNUSED LANES 和 0x305[7:0] PD_PLL 寄存器对应比特位为 0 进行开启。对未用到的通道，建议保持关断状态。

物理层正负极性控制

JESD204B 物理层支持差分端的正负极性取反操作，以方便外部电路设计及 PCB 走线。通过 0x3E7[7:0] JESD_INV_BIT 寄存器对应比特位进行控制，置 1 表示取反操作。

输入端接及耦合

ASTD9154 自动校正输入端接电阻到 50Ω。通过配置 0x308[7:0] RX_TERM 对应比特位为 1 时开启自动校正。ASTD9154 默认情况已开启。

ASTD9154 物理层输入采用 AC 耦合的方式，如图 22 所示。

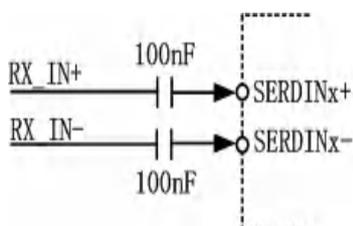


图 22 物理层输入 AC 耦合

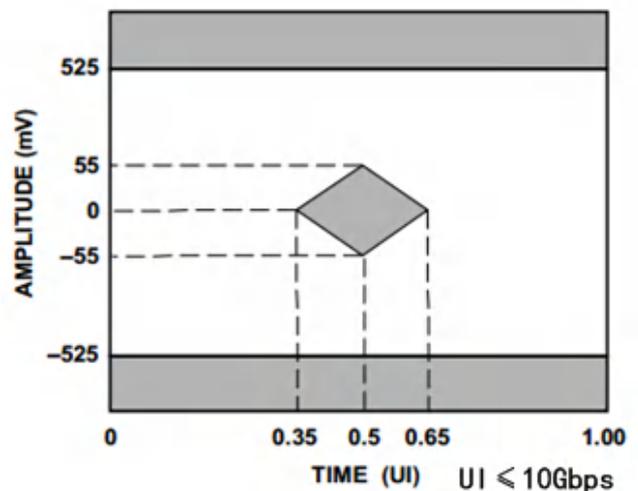


图 23 接收眼图

接收眼图

ASTD9154 遵从 JESD204B 规范中规定的接收眼图，如图 23 所示。

均衡器

为补偿由于传输链路引起的插损，ASTD9154 的每路 JESD204B 物理层集成了 CTLE。其中 CTLE 均衡器可在最高工作速率（10Gbps）下，可补偿约 12dB 的损耗。CTLE 均衡器可通过 0x338[7:0] en_adpt_eq 寄存器置高开启（默认开启）。

下图为列出了 JESD204B 标准允许的通道传输链路插损以及 ASTD9154 允许的插损，该图同时反映了均衡器的补偿特性。

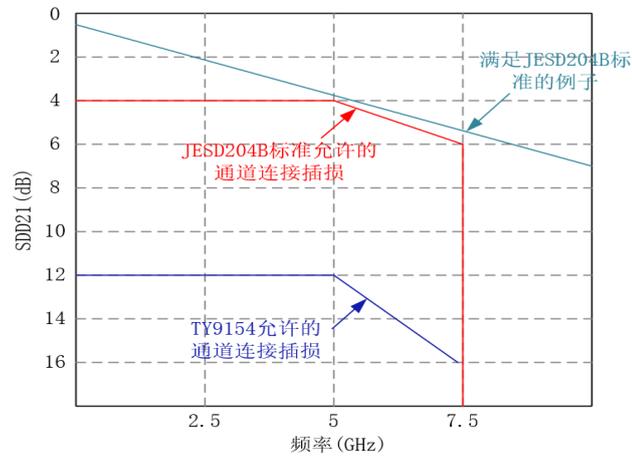


图 24 允许的插损

物理层速率及参考时钟配置

为确保物理层工作在最优性能，用户需要提供 JESD204B 单 lane 的工作速率，方便芯片内部做最优化配置。通过配置 0x301[7:6]LANERATE_SEL 寄存器进行速率设置。对应关系如下：

表 9 线速率与 LANERATE_SEL 对应关系

线速率	0x301[7:6] LANERATE_SEL
1.5~4Gbps	00
4~6.25Gbps	01
6.25~10Gbps	10
≥10Gbps	11

ASTD9154 接口物理层参考时钟依据系统时钟自动分频产生，用户需要根据芯片工作时钟频率对芯片的 0x301[4:0] P 寄存器进行配置。详细配置内容如下表：

表 10 DAC 时钟频率与 P 寄存器值对应关系

DAC 时钟频率	0x301[4:0] P 寄存器值(十进制)	DAC 时钟频率	0x301[4:0] P 寄存器值(十进制)
20MHz-40MHz	0	1370MHz-1450MHz	16
40MHz-80MHz	1	1450MHz-1530MHz	17
80MHz-160MHz	2	1530MHz-1610MHz	18
160MHz-320MHz	3	1610MHz-1690MHz	19
320MHz-490MHz	4	1690MHz-1770MHz	20
490MHz-570MHz	5	1770MHz-1850MHz	21
570MHz-640MHz	6	1850MHz-1930MHz	22
640MHz-730MHz	7	1930MHz-2010MHz	23
730MHz-810MHz	8	2010MHz-2090MHz	24
810MHz-890MHz	9	2090MHz-2170MHz	25
890MHz-970MHz	10	2170MHz-2250MHz	26
970MHz-1050MHz	11	2250MHz-2330MHz	27
1050MHz-1130MHz	12	2330MHz-2410MHz	28
1130MHz-1210MHz	13	2410MHz-2490MHz	29
1210MHz-1280MHz	14	> 2490MHz	30
1280MHz-1370MHz	15		

JESD204B RX 数据链路层

数据链路层接收物理层解串输出的数据进行解帧和解扰，并将数据输出到传输层。数据链路层功能框图如下图所示。

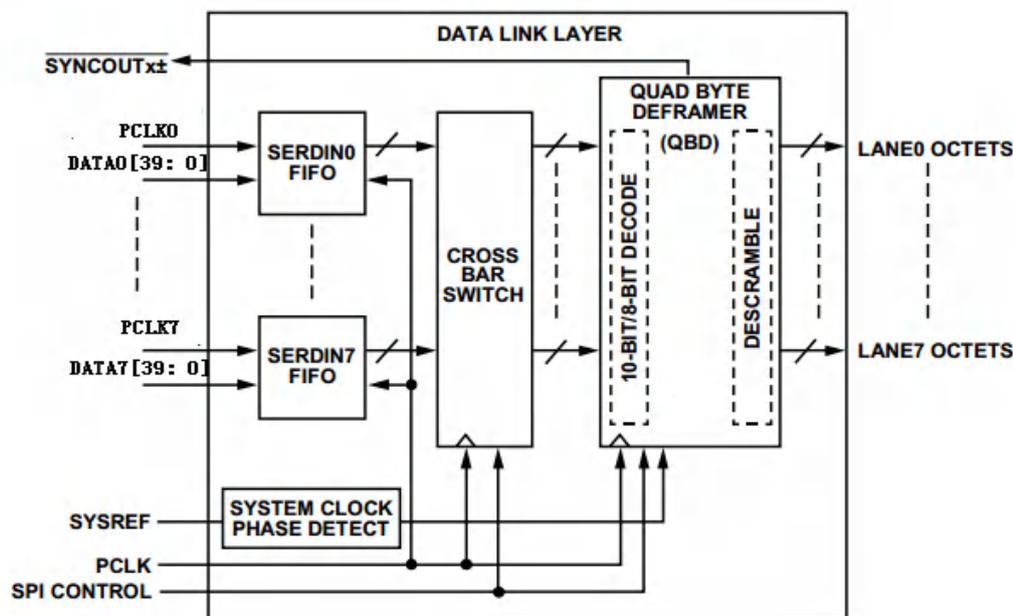


图 25 链路层功能框图

数据链路层主要负责数据 FIFO 缓存、物理 lane 与逻辑 lane 映射、8B/10B 译码、解扰、码组同步、帧同步、Lane 对齐等操作。在建立链路之前，ASTD9154 链路层通过拉低 SYNCOUT0±发出。链路请求信号，此时发送端连续发送 K（K28.5）码，ASTD9154 链路层接收到 4 个连续 K 码后在本地多帧 LMFC 上升沿将 SYNCOUT 0±拉高，此时等待发送端发送 ILAS（Initial Lane Alignment Sequence），ASTD9154 接收端将依据 ILAS 序列对齐各 lane 及验证链路参数。

数据 FIFO 缓存

物理层解串输出的数据及时钟与链路层采用的时钟具有异步关系，为确保链路接收到的数据同步，ASTD9154 采用 16 深度的 FIFO 进行同步化处理。

逻辑 lane 与物理 lane 映射

物理层各通道接收的数据在进入链路层时，可进行逻辑 lane 和物理 lane 的映射。由寄存器 0x202-0x205 PHY2LOGIC 寄存器进行控制，默认情况下，逻辑 lane 和物理 lane 一一对应。

解扰

如果传输的数据变化量较小，帧与帧传输的数据相似度高，则会产生线状频谱，线状频谱会产

生较强的电磁干扰，影响系统性能。在发射和接收端，加扰和解扰功能是可选的，在 ASTD9154 接收端通过寄存器 0x208[0] SCR 置 1 实现解扰功能的开启，默认情况下，该使能位为 1'b1，即开启解扰功能，解扰功能是通过多项式 $1+x^{14}+x^{15}$ 实现的。

Lane 同步对齐

Lane 对齐遵从 JESD204B 协议，通过同步请求信号 SYNCOUT 发送，码组同步，SYSREF 同步信号的接收及本地多帧同步，同步请求信号 SYNCOUT 取消，ILA 序列接收、数据缓存及对齐等操作完成的。如下图所示。

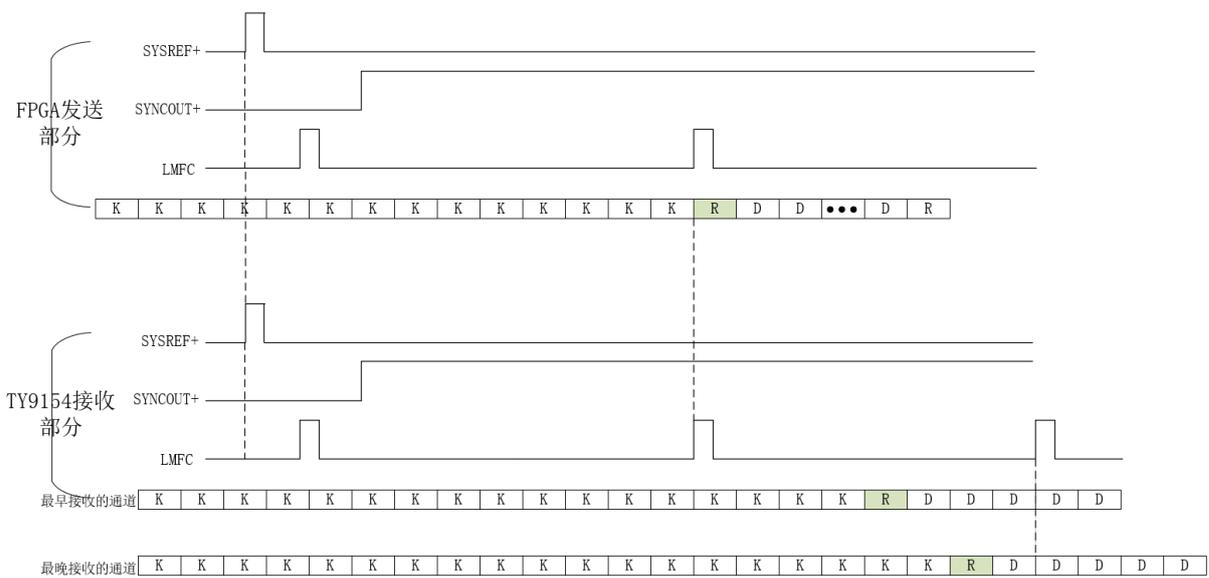


图 26 ASTD9154 链路接收 ILA 序列

Lane 同步对齐基本操作：

- 1) 在建立链路之前，ASTD9154 给 FPGA 发送同步请求信号 SYNCOUT（置低），FPGA 接收到同步请求后发送 K（K28.5）码。
- 2) ASTD9154 接收到发送端 4 个连续的 K（K28.5）码后，完成码组同步。
- 3) 用户同时给 FPGA 和 ASTD9154 发送 SYSREF 同步信号，用于同步收发链路的本地多帧 LMFC。
- 4) ASTD9154 在本地多帧 LMFC 边沿撤销 SYNCOUT（置高）同步请求，并等待发送端的 ILA 序列。
- 5) FPGA 发送端接收到 SYNCOUT 置高信号后，在本地多帧 LMFC 上升沿开始发送 ILA 序列。
- 6) ASTD9154 接收 ILA 序列，并依据多帧边界 R（K28.0）码进行各 Lane 的数据缓存（ILA FIFO）。

写), 由于各 Lane 路径延迟的差异, 各 Lane 的数据缓存具有不同时刻。

7) ASTD9154 的各 Lane 在完成数据缓存后, 在本地多帧 LMFC 上升沿边界同时完成各 Lane 数据的读取 (ILA FIFO 读), 从而完成各 Lane 数据的对齐操作。

SYSREF 信号

SYSREF 差分输入同步信号, 用于同步 JESD204B 的接收和发送的本地多帧 LMFC 信号, 以获得收发链路的确定性延迟。

SYSREF 信号同步于 ASTD9154 的系统时钟。

SYSREF 信号接收需要开启寄存器 0x030[0] SYNC_EN 寄存器, 置 1, 开始接收 SYSREF 信号。

链路状态监测

链路层状态监测寄存器包括 0x256~0x25A, 可进行码组同步、帧同步及 ILA 等监测。

JESD204B RX 链路参数配置

JESD204B RX 链路参数如下所示。

表 11 JESD204B TX 链路参数

参数符号	参数描述	支持系数
L	数据通路数	1/2/4/8
M	转换器数 (虚拟: 对应为数据路径)	1/2/4/8
F	每 lane 每帧包含的字节 (8-bit) 数	1/2/4/8
N'	每个样本的位数	16
N	转换器分辨率	16
CS	控制位数	0
K	每个多帧的帧数	16/32
S	每帧传送的样本数	根据 L、M、F 和 N' 自动设置, 支持 1/2/4
HD	高密度模式, 每个样本在多个 lane 传输	根据 L、M、F 和 N' 自动设置, 支持 0/1
CF	控制字数	∞

依据 JESD204B 协议, 定义 DAC 链路配置方式, 支持的链路快速配置如下表所示, 通过寄存器 0x200[4:0] JESD204B_MODE 进行配置。

表 12 JESD204B 接收配置

模式 序号	虚拟转 换器个 数 (M)	快速配置 值 JESD204B MODE[4:0]	JESD204B 传输层设置								
			L	M	F	S	HD	N	NP	CS	K
0	4	0x00	8	4	1	1	1	16	16	0	16/32
1		0x01	8	4	2	2	0	16	16	0	
2		0x02	4	4	2	1	0	16	16	0	
3		0x03	2	4	4	1	0	16	16	0	
4	2	0x04	4	2	1	1	1	16	16	0	
5		0x05	4	2	2	2	0	16	16	0	
6		0x06	2	2	2	1	0	16	16	0	
7		0x07	1	2	4	1	0	16	16	0	
8	1	0x08	4	1	1	2	1	16	16	0	
9		0x09	2	1	1	1	1	16	16	0	
10		0x0A	1	1	2	1	0	16	16	0	
11	1	0x0B	8	1	1	4	1	16	16	0	
12	8	0x0C	2	8	8	1	1	16	16	0	
13		0x0D	4	8	4	1	1	16	16	0	
14		0x0E	4	8	8	2	1	16	16	0	
15		0x0F	8	8	2	1	1	16	16	0	
16		0x10	8	8	4	2	1	16	16	0	
17	4	0x11	1	4	8	1	1	16	16	0	
18		0x12	2	4	8	2	1	16	16	0	
19	2	0x13	8	2	1	2	1	16	16	0	

JESD204B RX 传输层

ASTD9154 快速配置不同模式下的传输层解帧方式如下

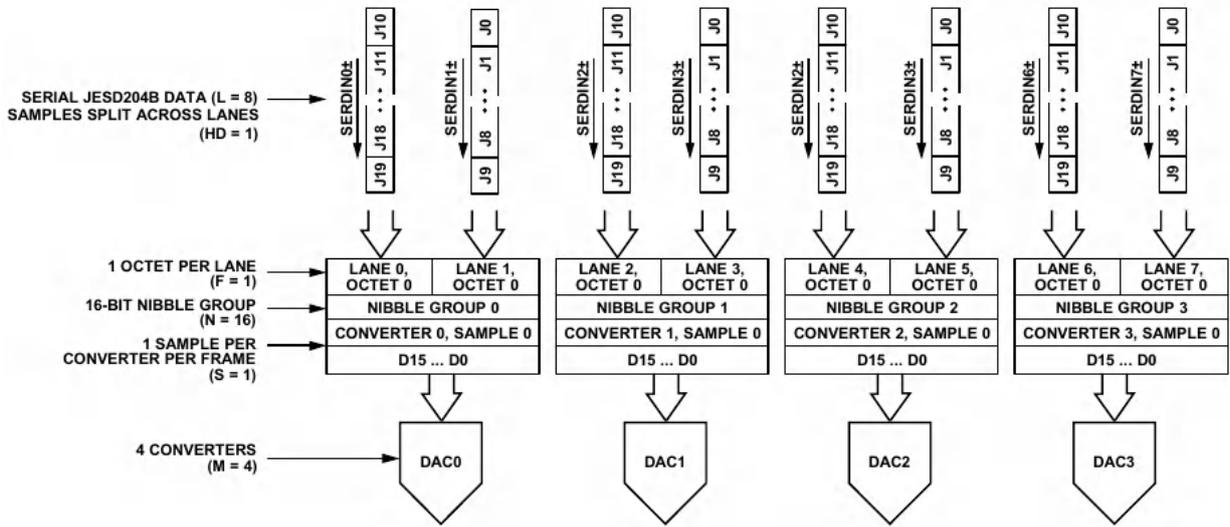


图 27 JESD204B MODE0 解帧

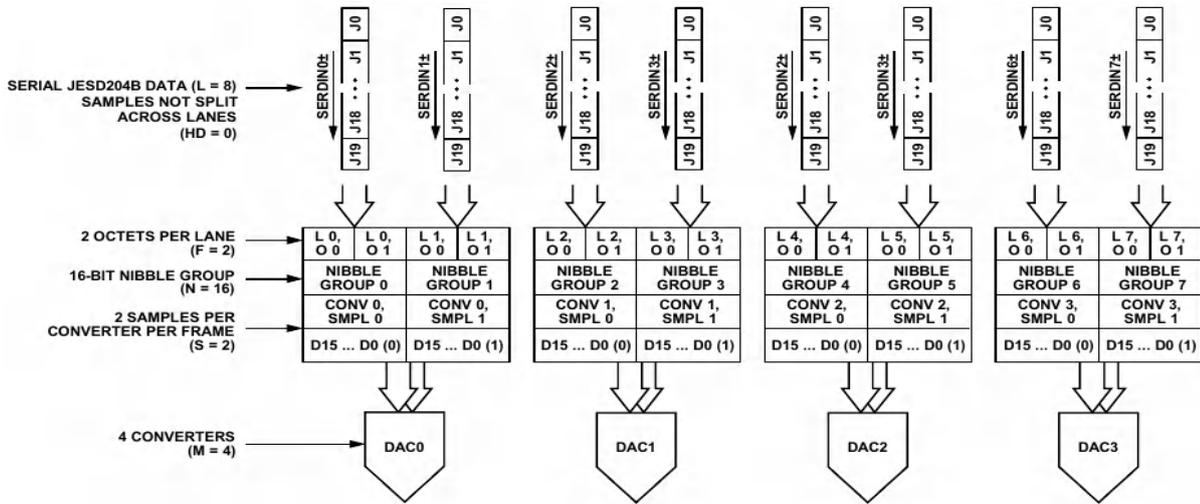


图 28 JESD204B MODE1

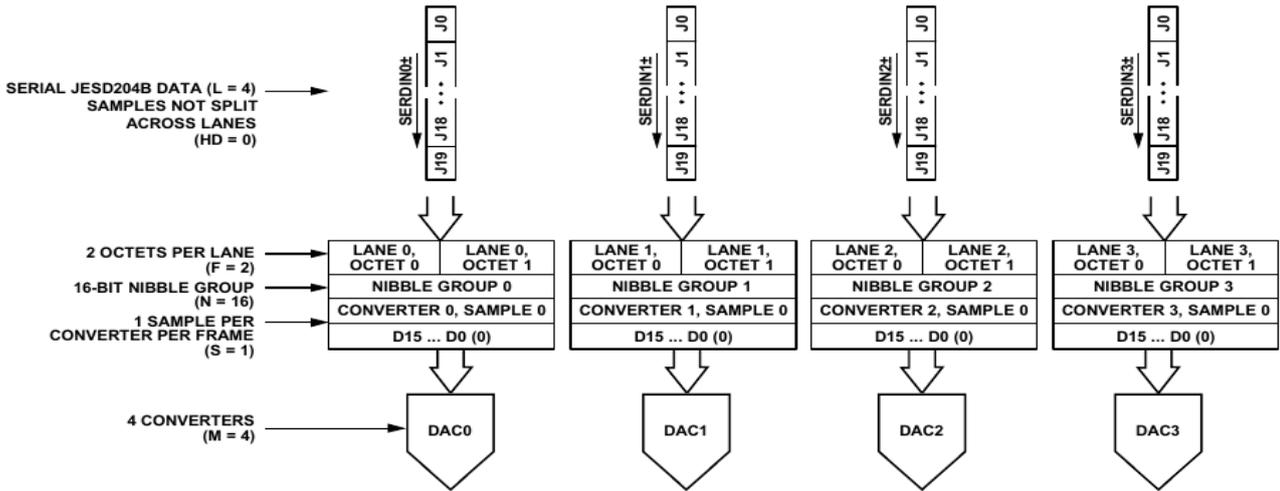


图 29 JESD204B MODE2 解帧

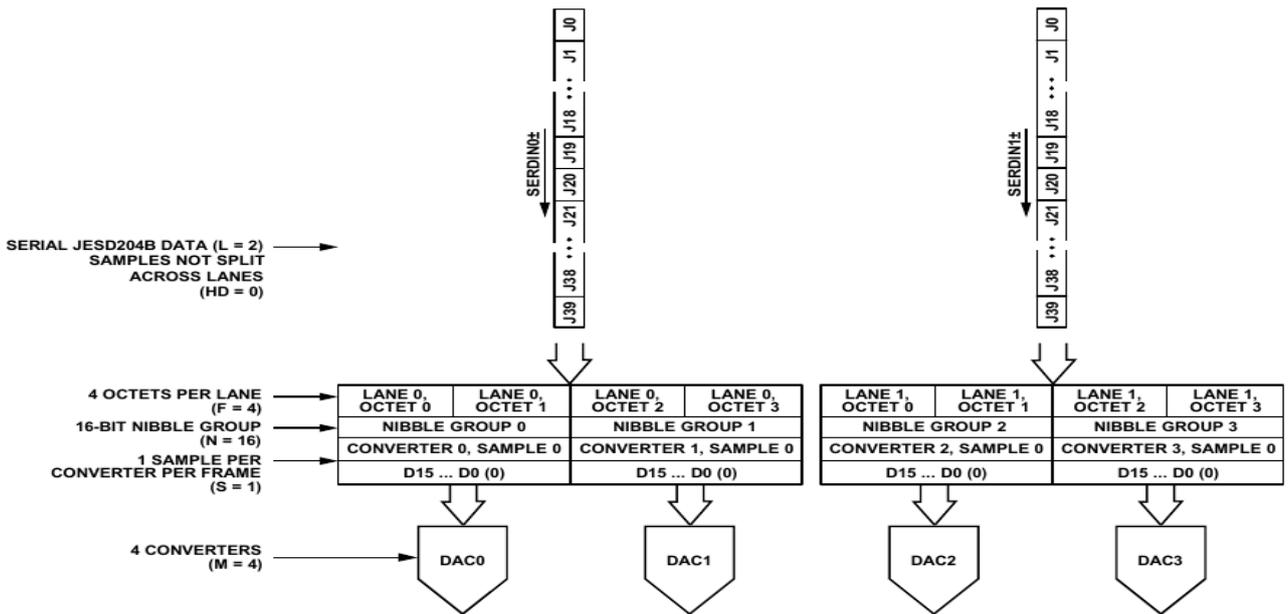


图 30 JESD204B MODE3 解帧

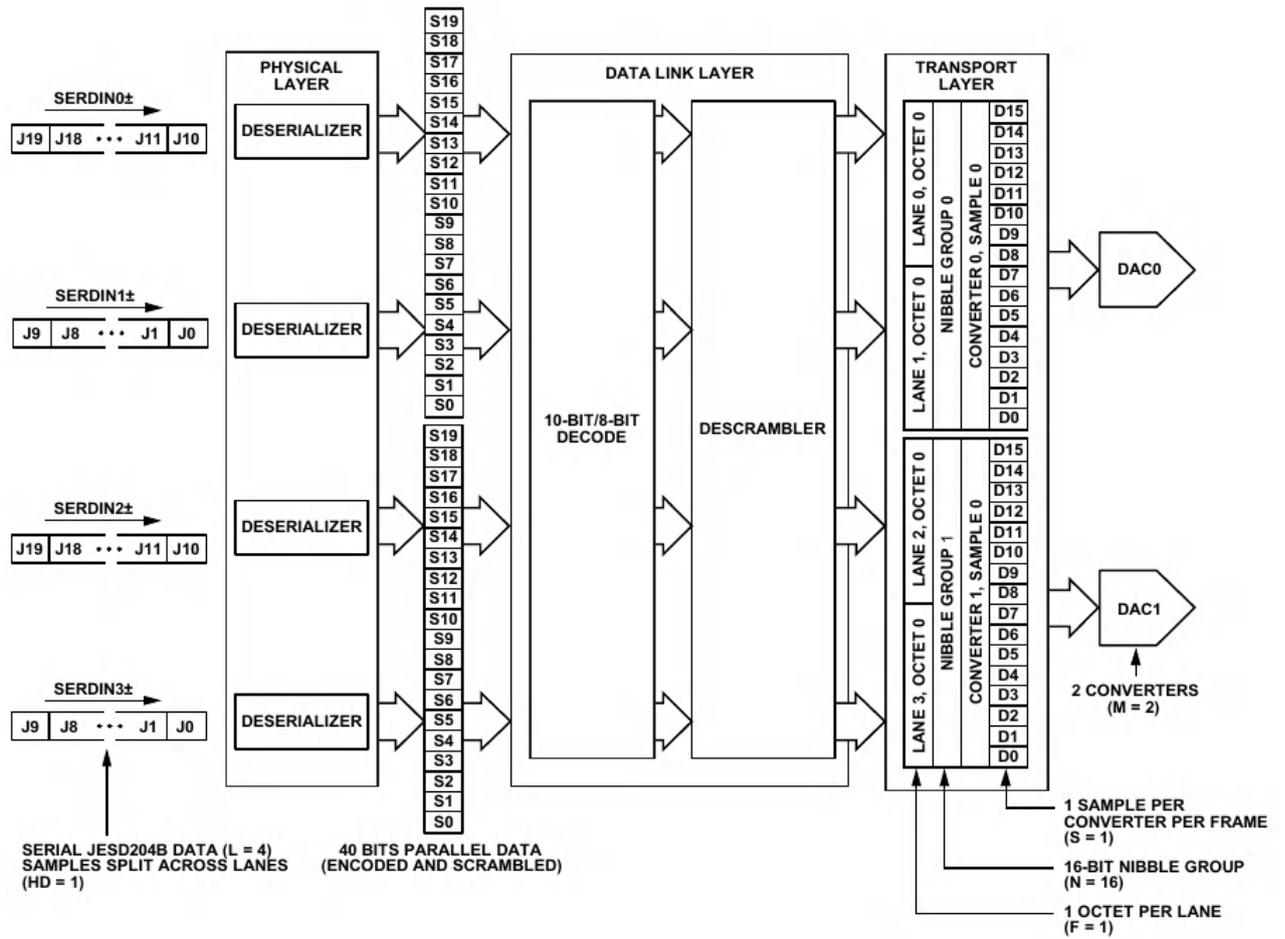


图 31 JESD204B MODE4 解帧

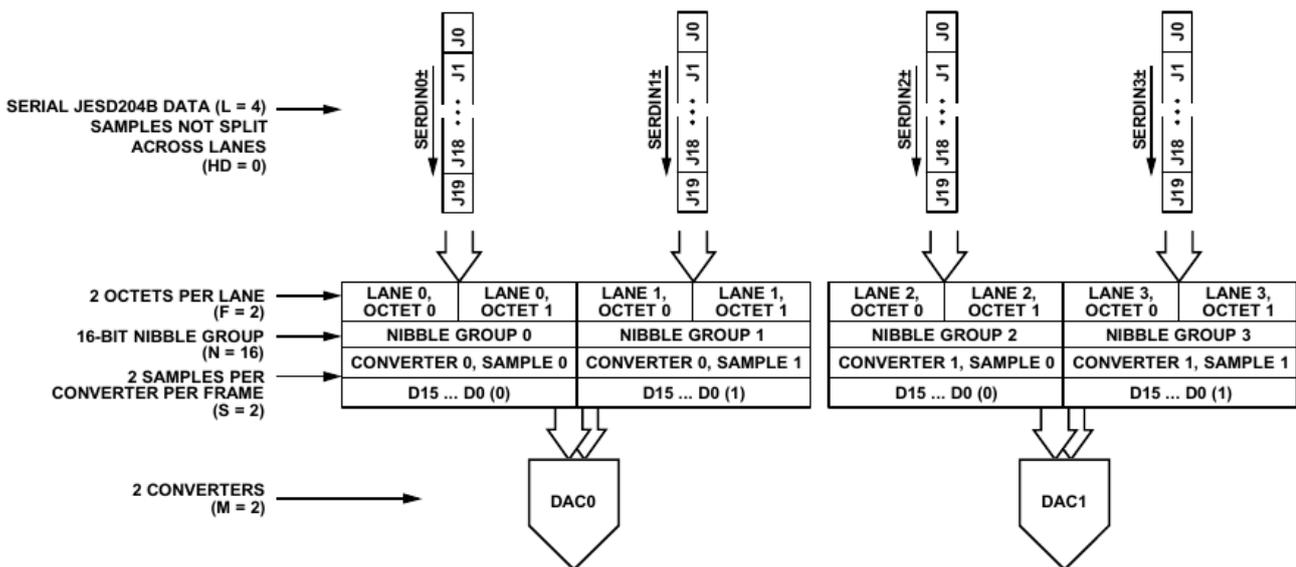


图 32 JESD204B MODE5 解帧

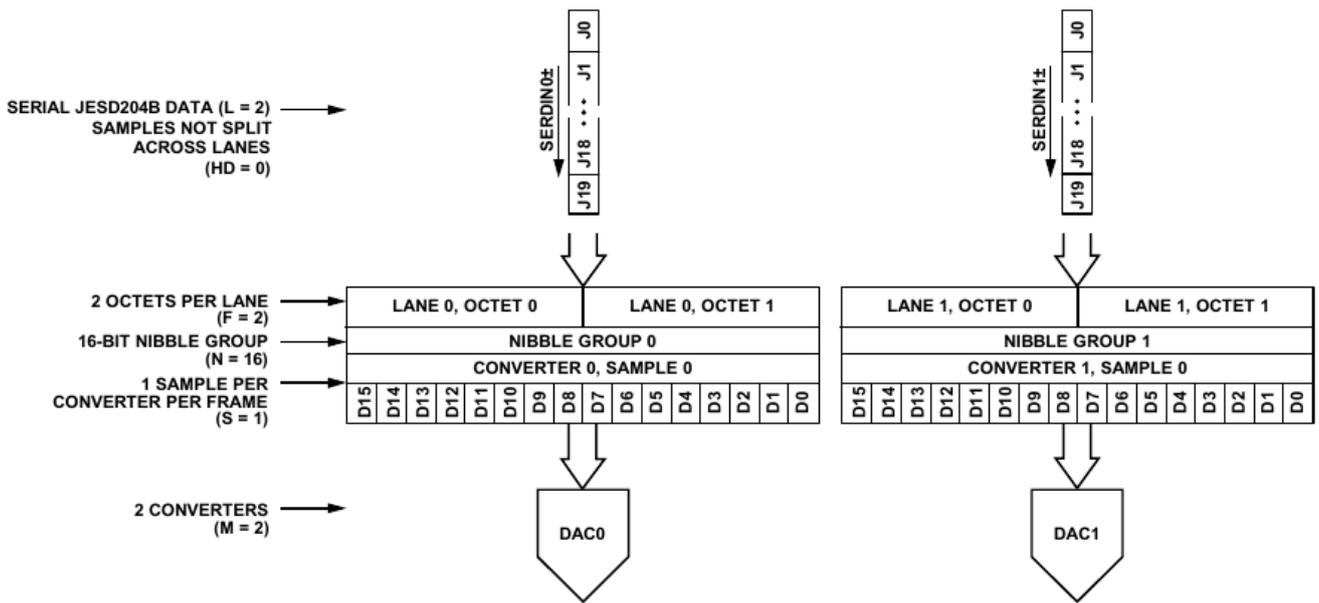


图 33 JESD204B MODE6 解帧

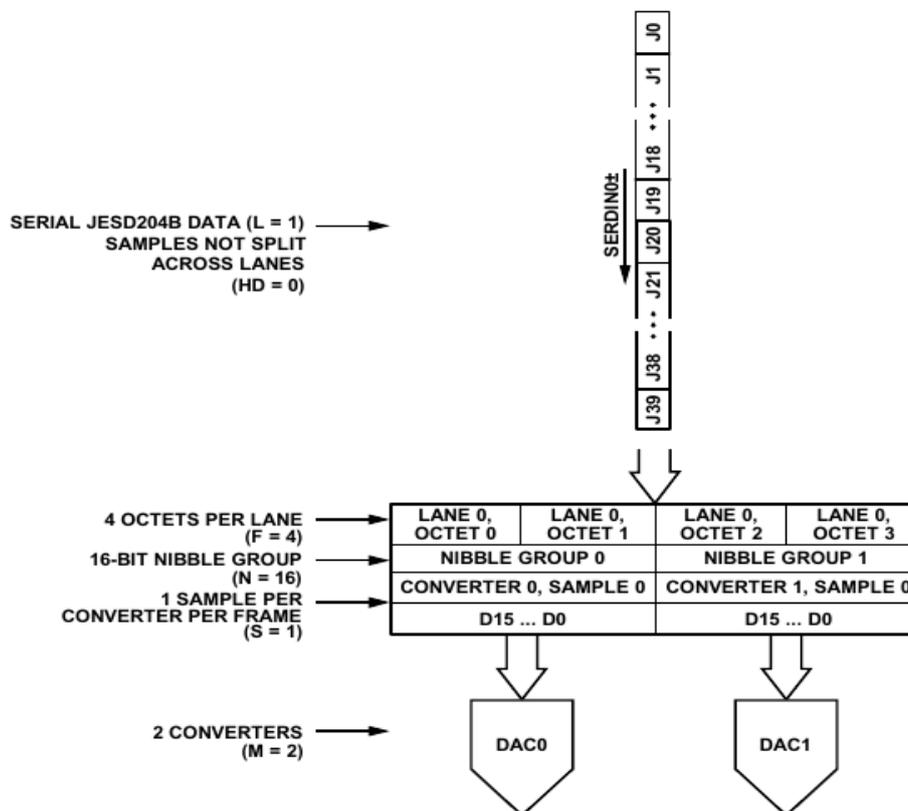


图 34 JESD204B MODE7 解帧

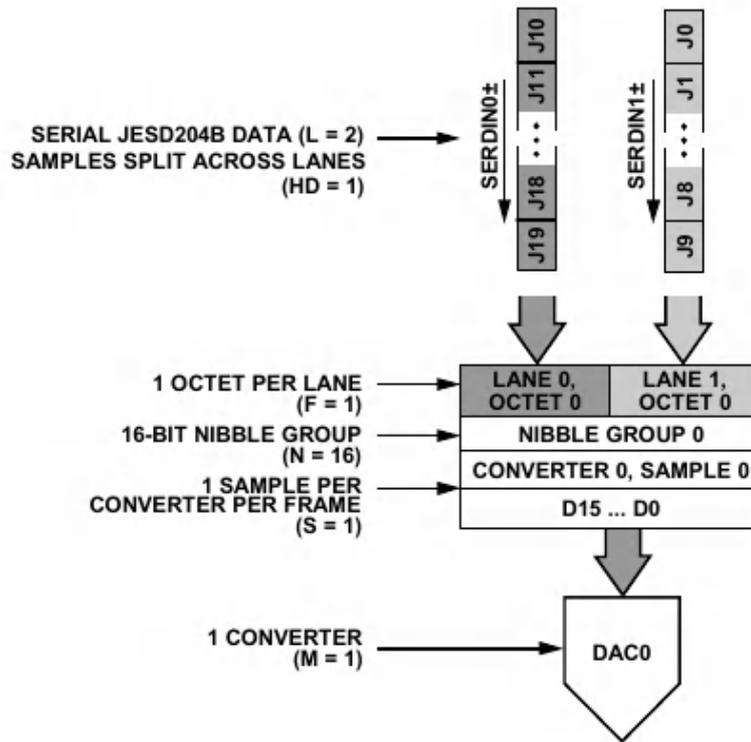


图 35 JESD204B MODE9 解帧

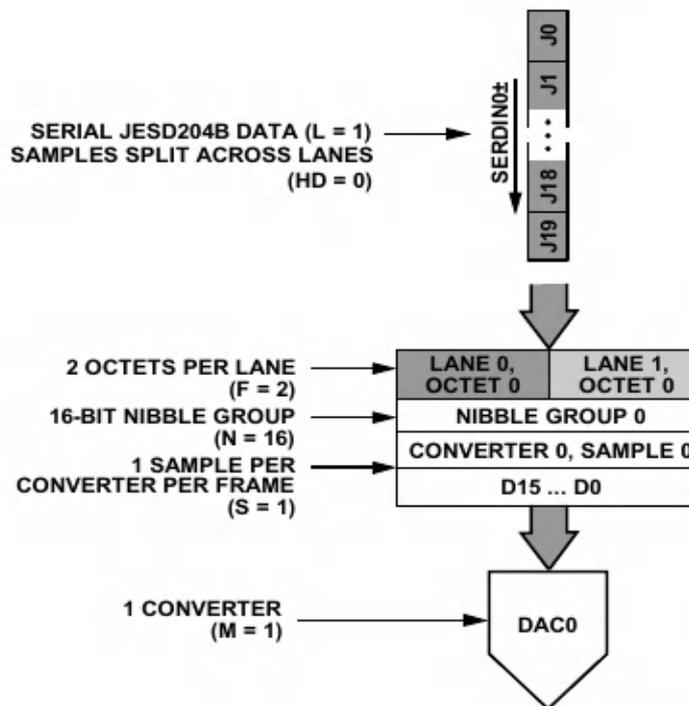


图 36 JESD204B MODE10 解帧

数据样本与数据路径映射

ASTD9154 根据不同的工作模式，在解帧后映射为 8 个虚拟 DAC (VDAC，即 JESD204 中的 M)，此 8 个 VDAC 经过数据路径映射形成数据通道输入数据，如下图所示。

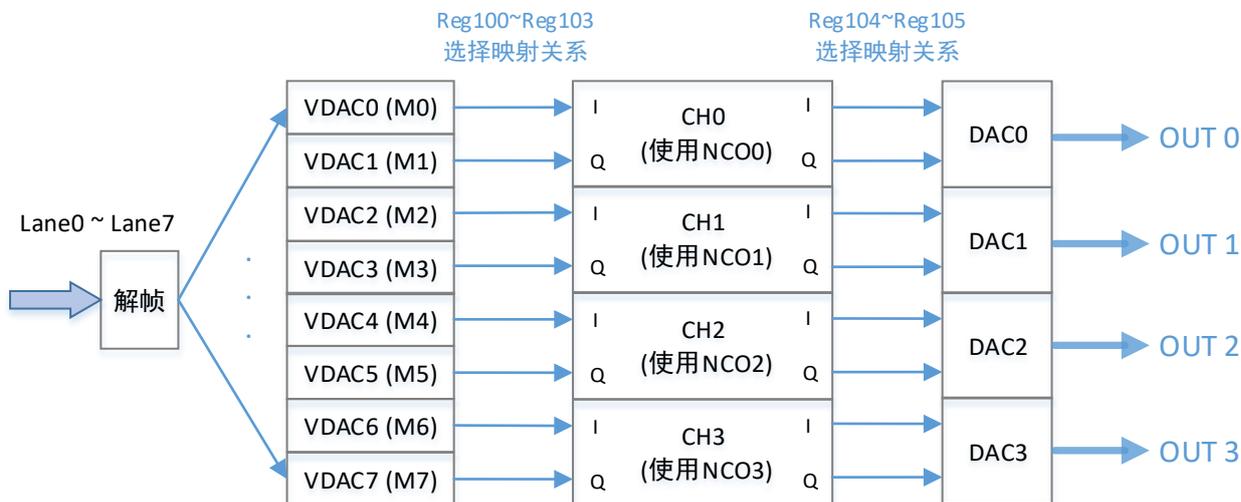


图 37 数据路径映射

数据路径分为 CH0~CH3 四组，每组均有 I/Q 两个输入，拥有独立的功放保护、内插、正交调制、相位调制等功能。数据路径的输入映射通过寄存器 0x100~0x103 进行控制，在对应数据路径映射之前，首先开启该数据通道的接收使能，由寄存器 0x100[3]~0x103[3]与 0x100[7]~0x103[7]进行控制，置 1 表示开启，置 0 则表示关闭，此时该数据路径做省电处理。

数据路径映射的输入为 VDAC0~VDAC7，每个数据通道输入均可选择 VDAC0~VDAC7 中的任意一个，输出为 I_x/REAL_x、Q_x。由对应映射寄存器 0x100[2:0]~0x103[2:0]与 0x100[6:4]~0x103[6:4]进行选择，3'b000 则对应 VDAC0、3'b001 则对应 VDAC1，依次类推。如下表所示：

表 13 虚拟转换器映射

通道	输入	虚拟转换器映射寄存器		虚拟转换器选择
数据通道 0	I0/REAL0	CH0_data_map_I[2:0]	REG_0x 100[2:0]	VDAC0
	Q0	CH0_data_map_Q[2:0]	REG_0x 100[6:4]	VDAC1
数据通道 1	I1/REAL1	CH1_data_map_I[2:0]	REG_0x 101[2:0]	VDAC2
	Q1	CH1_data_map_Q[2:0]	REG_0x 101[6:4]	VDAC3
数据通道 2	I2/REAL2	CH2_data_map_I[2:0]	REG_0x 102[2:0]	VDAC4
	Q2	CH2_data_map_Q[2:0]	REG_0x 102[6:4]	VDAC5
数据通道 3	I3/REAL3	CH3_data_map_I[2:0]	REG_0x 103[2:0]	VDAC6
	Q3	CH3_data_map_Q[2:0]	REG_0x 103[6:4]	VDAC7

4 个数据通道输出的 I、Q 两路数据再经过映射发送到 4 个输出 DAC，由寄存器 0x104~0x105 进行控制。4 个 DAC 将接收到的数据通过模拟端口发送出去。

表 14 DAC 输出映射

通道	输出	模拟通道数据映射寄存器		数据选择
数据通道 0	I0	DAC0_MAP[2:0]	REG_0x104[2:0]	CH0_I
	Q0			CH0_Q
数据通道 1	I1	DAC1_MAP[2:0]	REG_0x104[6:4]	CH1_I
	Q1			CH1_Q
数据通道 2	I2	DAC2_MAP[2:0]	REG_0x105[2:0]	CH2_I
	Q2			CH2_Q
数据通道 3	I3	DAC3_MAP[2:0]	REG_0x105[6:4]	CH3_I
	Q3			CH3_Q

多芯片同步

ASTD9154 同步通过寄存器 0x030 寄存器进行控制，其中 0x030[0] SYNC_EN 寄存器置 1 用于开启多芯片硬同步，当硬同步开启后，芯片正常接收同步信号 SYSREF，用于同步于内部分频时钟及逻辑。

SYSREF 接收有两种模式，分别为连续模式和 Nshot 模式。当寄存器 0x030[2] SYNC_MODE 为 1 时，为连续模式，为 0 时，为 Nshot 模式。连续模式下，连续接收 SYSREF 信号，并在每个 SYSREF 上升沿对内部时钟及逻辑进行同步化处理。Nshot 模式下，芯片接收 N 个 SYSREF，并在第 N 个 SYSREF 上升沿对芯片内部分频时钟及逻辑进行同步化处理。接收的数量 N 由寄存器 0x02F[4:0] NSHOT 决定，当为 0 时，接收 1 个 SYSREF，当为 1 时，接收 2 个 SYSREF，依次类推。

时钟输入控制

ASTD9154 时钟输入控制由寄存器 0x010 进行控制。包括时钟输入关断 PD_CLK、时钟输入占空比校正控制 DCK_DUTYEN，以及时钟共模偏置控制 DACCLK_CMTU<3:0>，正常工作时，保持默认值即可。

时钟输入电路

ASTD9154 时钟输入电路推荐如下图所示。

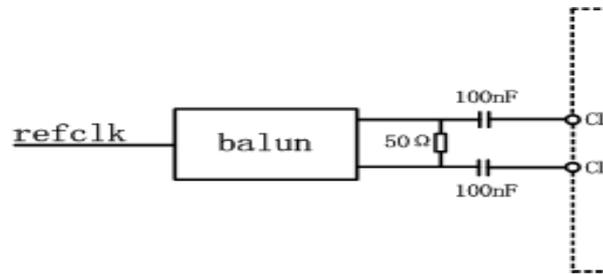


图 38 ASTD9154 时钟输入电路

DAC 输出

DAC 输出模式

ASTD9154 DAC 输出模式包括正常模式、混频模式、归零模式等。由寄存器 0x113[3:0]对应比特位进行控制，对应比特位为 1 时，开启相应模式。DAC 输出电路

ASTD9154 DAC 输出为 sink 结构，外接 50 欧姆电阻到电源，再通过差分转单端变压器（balun）将差分信号转为单端信号输出。入下图所示。

为提高输出宽带幅度平坦度，要求输出电阻 R1、R2 以及 balun 须靠近 ASTD9154 芯片端口。R1、R2 离 OUTx 端口尽量小。

为提升通道之间的隔离度，建议通道与通道之间挖槽进行隔离。

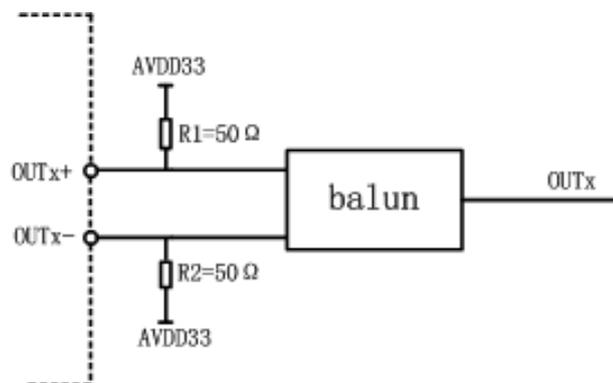


图 39 TY9154DAC 输出电路

辅助 DAC 增益控制

ASTD9154 中每通道有一个辅助 DAC，其作用是控制该通道 DAC 满偏输出电流。通过 10 位二进制码控制，由寄存器 0x13A-0x13B MSB_GAIN[9:0]（DAC gain）进行设置，满偏输出电流大小由以

下公式控制：

$$I_{OUT} = \frac{V_{REF}}{R_{SET}} \times (13.33 + (\frac{1}{19.19} \times DACgain))$$

其中 Iout 为 DAC 的满偏电流，DAC gain 满偏电流控制寄存器值。

芯片配置指南

1、LINK 建立配置流程

如 ASTD9154 工作状态为：工作频率 2GHz、4 路实变频（4 路 IQ 调制，载波频率为 960MHz）、基带速率 1GHz、采用 8lane 接口传输（每 lane 速率：10Gbps）、内插 2 倍频、SPI 四线模式。依据以下步骤进行配置启动芯片工作。

- 1) 芯片正常上电，提供 2GHz 采样时钟，250MHz 参考时钟；
- 2) 芯片复位，将 RESET 置低再拉高完成复位，同时将 SDO_EN 置高，将 SPI 设置为四线模式；
- 3) 配置数据路径
 - a) 配置 0x109 寄存器为 0x01，INTERPMODE[1:0]寄存器选择 2 倍内插模式；
 - b) 配置 0x100 寄存器为 0x98，使能数据通道 0 的 I/Q 路输入；
 - c) 配置 0x101 寄存器为 0xBA，使能数据通道 1 的 I/Q 路输入；
 - d) 配置 0x102 寄存器为 0x00，关闭数据通道 2 的 I/Q 路输入；配置 0x103 寄存器为 0x00，关闭数据通道 3 的 I/Q 路输入；
 - e) 配置 0x104 寄存器为 0x98，DAC0_EN、DAC1_EN 置高，使能 DAC0/1 输出，DAC0_MAP[2:0]选择 ch0 的 I 路数据输出，即 3'b000，DAC1_MAP[2:0]选择 ch0 的 Q 路数据输出，即 3'b001；
 - f) 配置 0x105 寄存器为 0xBA，DAC2_EN、DAC3_EN 置高，使能 DAC2/3 输出，DAC2_MAP[2:0]选择 ch1 的 I 路数据输出，即 3'b010，DAC3_MAP[2:0]选择 ch1 的 Q 路数据输出，即 3'b011；
 - g) 配置 0x111 寄存器为 0x0F，使能 SPI 配置数据作用于 0-3 通道；
 - h) 配置 0x113 寄存器为 0x08，打开 DAC 性能优化使能；
 - i) 配置 0x115 寄存器为 0x01，MODELATION_TYPE[1:0]配置为 2'b01 精细调制，并选择

频率字更新模式；

j) 配置频率字，频率字由寄存器 0x116~0x11B 来确定，计算方式为 $FTW = \frac{f_o}{f_s} \times 2^{48}$ ，FTW

配置为 0x7A_E1_47_AE_14_7B；

k) 配置 0x11C 寄存器为 0x01,打开频率更新使能；

4) 配置 SERDES 链路层参数，配置 0x200 寄存器为 0x00，选择 JESD204B 的模式；

5) 配置 SERDES 物理层参数

a) 配置 0x301 寄存器为 0xD7,LANERATE_SEL[1:0]寄存器选择 $\geq 10\text{Gbps}$ ，即 2'b11；P[4:0] 为 Serdes 时钟参考分频设置，依据 DAC 时钟分频进行，芯片工作在 2GHz，在 1930 MHz -2010 MHz 范围内，因而配置分频参数 P[4:0]=5'h17；

b) 配置 0x305 寄存器为 0x00，8 个通道的 PLL 全部打开，PD_PLL[7:0]对应位为 1 时，关闭对应通道的 PLL；

c) 配置 0x306 寄存器为 0x00，8 个通道全部打开，UNUSED_LANE[7:0]对应 lane7~lane0，对应位为 1 时，关闭相应通道；

6) 配置 0x201 寄存器为 0x11，LANE_EN 为 1'b1 开启相应链路层时钟，JESD204B_CFG_SEL 为 1'b0 选择快速配置模式，LK_EN 为 1'b1 开启 JESD204B 链路层；

7) 配置同步接受使能，接收采用单脉冲接收，配置 0x030 为 0x03；

8) 发送 SYSREF。

2、NCO 直通模式输出配置流程

如 ASTD9154 工作状态为：工作频率 2GHz、载波频率为 960MHz、SPI 四线模式。依据以下步骤进行配置启动芯片工作。

1) 芯片正常上电，提供 2GHz 采样时钟；

2) 芯片复位，将/RESET 置低再拉高完成复位，同时将 SDO_EN 置高，将 SPI 设置为四线模式；

3) 配置 0x113 寄存器为 0x08，打开 DAC 性能优化使能；

4) 配置 0x115 寄存器为 0x81，NCO_OUT_EN 配置为 1'b1，打开 NCO 使能，NCO_UPDATE_MODE[1:0]配置为 2'b00，选择频率字更新模式为连续相位模式

5) 配置频率字，频率字由寄存器 0x116~0x11B 来确定，计算方式为 $FTW = \frac{fo}{fs} \times 2^{48}$,

FTW 配置为 0x7A_E1_47_AE_14_7B;

配置 0x11C 寄存器为 0x01,打开频率更新使能。

电源分组建议

ASTD9154 电源分组如下所示。

表 15 ASTD9154 电源分组说明

符号	电压供电 (V)	备注
DVDD12	1.2 (±5%)	数字内核电源
SVDD12	1.2 (±5%)	Serdes 内核电源
CVDD12	1.2 (±5%)	DAC 内核电源
PVDD12	1.2 (±5%)	时钟电源
IOVDD33	1.8~3.3(±5%)	数字 IO 电源
SIOVDD33	3.3 (±5%)	Serdes IO 电源
AVDD33	3.3 (±5%)	DAC 电源

注 1: 在要求高相位噪声使用时，1、4 引脚可单独作为一组电源 VDD12_CLK 供电，可与 CVDD12 合并，如下图：

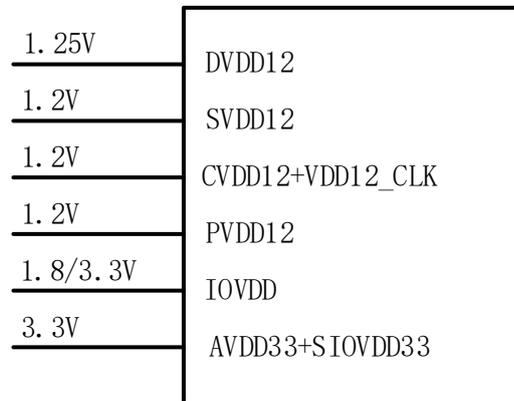


图 40 电源分组建议

注 2: 在高功耗应用如 LMFS=8821 模式下，且采样率大于 2GHz 时，建议将 54、55 引脚接 DVDD12，提高供电能力。若非必要，建议仍保持悬空即可，以兼容原片设计。

寄存器列表

地址	寄存器	B7	B6	B5	B4	B3	B2	B1	B0	默认值	备注
X000		SOFT_RST	LSB_FIRST	ADDRINC	SDO_EN	SDO_EN	ADDRINC	LSB_FIRST	SOFT_RST	X00	通用
X02F					NSHOT[4:0] (使用第 shot_cnt+1 个 sysref 脉冲同步内部逻辑)					0x00	通用
X030							SYNC_MODE 1 使能连续同步, 0 为 Nshot 模式)	AUTO_OFF_EN	SYNC_EN	0x00	通用
X100	数据通道 0 输入数据选择	CH0_data_Q_en(1 使能数据通道 0 的 Q 路输入)	CH0_data_map_Q[2:0] (通道 0 Q 路输入数据映射, 000 选择 VDAC0, 001 选择 VDAC1...111 选择 VDAC7) 默认 001			CH0_data_I_en(1 使能数据通道 0 的 I 路输入)	CH0_data_map_I[2:0] (通道 0 I 路输入数据映射, 000 选择 VDAC0, 001 选择 VDAC1...111 选择 VDAC7) 默认 000			0x10	通用
X101	数据通道 1 输入数据选择	CH1_data_Q_en(1 使能数据通道 1 的 Q 路输入)	CH1_data_map_Q[2:0] (通道 1 Q 路输入数据映射, 000 选择 VDAC0, 001 选择 VDAC1...111 选择 VDAC7) 默认 011			CH1_data_I_en(1 使能数据通道 1 的 I 路输入)	CH1_data_map_I[2:0] (通道 1 I 路输入数据映射, 000 选择 VDAC0, 001 选择 VDAC1...111 选择 VDAC7) 默认 010			0x32	通用
X102	数据通道 2 输入数据选择	CH2_data_Q_en(1 使能数据通道 2 的 Q 路输入)	CH2_data_map_Q[2:0] (通道 2 Q 路输入数据映射, 000 选择 VDAC0, 001 选择 VDAC1...111 选择 VDAC7) 默认 101			CH2_data_I_en(1 使能数据通道 2 的 I 路输入)	CH2_data_map_I[2:0] (通道 2 I 路输入数据映射, 000 选择 VDAC0, 001 选择 VDAC1...111 选择 VDAC7) 默认 100			0x54	通用
X103	数据通道 3 输入数据选择	CH3_data_Q_en(1 使能数据通道 3 的 Q 路输入)	CH3_data_map_Q[2:0] (通道 3 Q 路输入数据映射, 000 选择 VDAC0, 001 选择 VDAC1...111 选择 VDAC7) 默认 011			CH3_data_I_en(1 使能数据通道 3 的 I 路输入)	CH3_data_map_I[2:0] (通道 3 I 路输入数据映射, 000 选择 VDAC0, 001 选择 VDAC1...111 选择 VDAC7) 默认 111			0x76	通用
X104	DAC10 输出控制	DAC1_en(1 使能 DAC1 输出)	DAC1_MAP[2:0] (DAC1 输出数据映射, 110 : 选择 ch3 的 I 路数据输出, 111 : 选择 ch3 的 Q 路数据输出, 100 : 选择 ch2 的 I 路数据输出, 101 : 选择 ch2 的 Q 路数据输出, 010 : 选择 ch1 的 I 路数据输出, 011 : 选择 ch1 的 Q 路数据输出, 000 选择 ch0 的 I 路数据输出, 001 : 选择 ch0 的 Q 路数据输出, 默认为 3'b010)			DAC0_en(1 使能 DAC0 输出)	DAC0_MAP[2:0] (DAC0 输出数据映射, 110 : 选择 ch3 的 I 路数据输出, 111 : 选择 ch3 的 Q 路数据输出, 100 : 选择 ch2 的 I 路数据输出, 101 : 选择 ch2 的 Q 路数据输出, 010 : 选择 ch1 的 I 路数据输出, 011 : 选择 ch1 的 Q 路数据输出, 000 : 选择 ch0 的 I 路数据输出, 001 : 选择 ch0 的 Q 路数据输出, 默认为 3'b000)			0xA8	通用
X105	DAC32 输出控制	DAC3_en(1 使能 DAC3 输出)	DAC3_MAP[2:0] (DAC3 输出数据映射, 110 : 选择 ch3 的 I 路数据输出, 111 : 选择 ch3 的 Q 路数据输出, 100 : 选择 ch2 的 I 路数据输出, 101 : 选择 ch2 的 Q 路数据输出, 010 : 选择 ch1 的 I 路数据输出, 011 : 选择 ch1 的 Q 路数据输出, 000 选择 ch0 的 I 路数据输出, 001 : 选择 ch0 的 Q 路数据输出, 默认为 3'b110)			DAC2_en(1 使能 DAC2 输出)	DAC2_MAP[2:0] (DAC2 输出数据映射, 110 : 选择 ch3 的 I 路数据输出, 111 : 选择 ch3 的 Q 路数据输出, 100 : 选择 ch2 的 I 路数据输出, 101 : 选择 ch2 的 Q 路数据输出, 010 : 选择 ch1 的 I 路数据输出, 011 : 选择 ch1 的 Q 路数据输出, 000 : 选择 ch0 的 I 路数据输出, 001 : 选择 ch0 的 Q 路数据输出, 默认为 3'b100)			0xEC	通用
X109	模式控制寄存器	DIG_PD			one_nco_en (1 使能四个 NCO 复用 NCO0 的输出)			INTERPMODE[1:0](内插模式, 00 : 直通, 01:2 倍内插, 10 : 4 倍内插, 11 : 8 倍内插))		X00	通用
X10A							CD_QMC_EN	AB_QMC_EN		0x00	通用
X10B			PHA_ADJ_AB[15:8] I sign							0x00	通用
X10C			PHA_ADJ_AB[7:0]							0x00	通用

X10D		PHA_ADJ_CD[15:8]								0x00	通用
X10E		PHA_ADJ_CD[7:0]								0x00	通用
X111						Ch3 (1 使能 spi 配置数据作用于 3 通道)	Ch2 (1 使能 spi 配置数据作用于 2 通道)	Ch1 (1 使能 spi 配置数据作用于 1 通道)	Ch0 (1 使能 spi 配置数据作用于 0 通道)	0x0F	通用
X112		BIN_FMT (0 : 输入数据是补码, 1 : 输入数据是偏移二进制)				DC_OFFSET_EN	INV_SINC_EN	OUT_INV_EN	GAIN_EN	0x00	通道
X113		CH_MUX_MUSH_MODE[3:0]				DAC 性能优化模式使能			MIXMODE,通道 DAC 混频模式控制, 默认为 0, 正常模式, 配置为 1 时, 开启	0x04	通道
X114						NCO_MANUAL_RST(1 使能手动复位)	NCO_CYC_SYNC (1 使能周期同步)	NCO_SYNC_MODE[1:0] (00 : 关闭 NCO 同步, 10:data_key 同步, 01 : SYSREF 同步; 默认 00)		0x00	通道
X115		NCO_OUT_EN (1 接使能输出, 默认 0)		NCO_UPDATE_MODE(频率字更新模式, 00:连续相位, 01 : ftw 自动清零, 10 : 相干相位)	SEL SIDE BAND(上下边带选择, 默认 0, 选择下边带)		MODULATION TYPE[1:0](00 : 关闭调制, 01 : 精细调制, 10 : fs/4 调制, 11 : fs/8 调制)			0x00	通道
X116		FTW[47:40](NCO 频率控制字)								0x00	通道
X117		FTW[39:32](NCO 频率控制字)								0x00	通道
X118		FTW[31:24](NCO 频率控制字)								0x00	通道
X119		FTW[23:16](NCO 频率控制字)								0x00	通道
X11A		FTW[15:8](NCO 频率控制字)								0x00	通道
X11B		FTW[7:0](NCO 频率控制字)								0x00	通道
X11C									FTW_UPDATE_REQ(selclear, 频率更新使能, 自清零)	0x00	通道
X11D		PHASE[15:8](NCO 初始相位控制字)								0x00	通道
X11E		PHASE[7:0](NCO 初始相位控制字)								0x00	通道
X11F		AMP[15:8](幅度控制字, 最大放大 8 倍带符号) 0x1000 是一倍 需 112[0]使能								0x00	通道
X120		AMP[7:0] (幅度控制字, 最大放大 16 倍)								0x00	通道
X121		NCO_DATA_KEY_I [15:8] (NCO 同步数据低位, 二进制补码表示)								0x00	通道
X122		NCO_DATA_KEY_I [7:0] (NCO 同步数据低位, 二进制补码表示)								0x00	通道
X123		NCO_DATA_KEY_Q [15:8] (NCO 同步数据低位, 二进制补码表示)								0x00	通道
X124		NCO_DATA_KEY_Q [7:0] (NCO 同步数据低位, 二进制补码表示)								0x00	通道
X125		DC_OFFSET_VAL[15:8] 需 112[3]使能								0x00	通道

X126		DC_OFFSET_VAL[7:0]							0x00	通道	
X132		INT_DLY[6:0]						Half_delay	X00	通道	
X133		CH0_DLYCA[7:0], AC 输出延迟精细调整, 实际为低 7bit 控制, 可调整 127 个步进							X00	通道	
X13A								CH0_MSB_GAIN[9:8]	X03		
X13B		CH0_MSB_GAIN[7:0], 辅助 DAC 10bit 控制字, 默认全 1							XFF		
X13C								CH0_BLD_GAIN[9:8]	X01		
X13D		CH0_BLD_GAIN[7:0], 辅助 BLD DAC 10bit 控制字, 默认全中间码字 (十进制 512)							X4A		
X200						JESD204B_MODE[4:0]				X00	通用
X201		REALIGN_EN 高电平链路层重新接收 sysref, 默认为低电平	Resync. 内部自动产生本地多帧用于重建连, 默认为 0。 LFMC_CNT 开始计数	LFMC_CNT_U SE_EN(产生内部 SYSREF)	LANE_EN (根据 JESD204B 模式, 1 开启 JESD204B 相应模式, 默认为 1) 开启相应链路层时钟	SYSREF_ALWAYS (连续接受 sysref, 用于 204B 的连接, 默认 1'b0)	JESD204B_CFG_SEL (1 选择其他寄存器配置, 0 选择快速配置模式)	ERR_RELINK_EN (默认 1'b0, link 层链路正常工作, 高电平重新复位, 重新建立链路) 0x200 报错使能	LK_EN (1 开启 JESD204B 链路层, 默认为 0) 复位信号 (link&phy)。	X10	通用
X202		RESERVED (保留)	PHY2LOGIC1[2:0] (物理通道与逻辑通道 1 映射, 默认 1)		RESERVED (保留)	PHY2LOGIC0[2:0] (物理通道与逻辑通道 0 映射, 默认 0)			X10	通用	
X203		RESERVED (保留)	PHY2LOGIC3[2:0] (物理通道与逻辑通道 3 映射, 默认 3)		RESERVED (保留)	PHY2LOGIC2[2:0] (物理通道与逻辑通道 2 映射, 默认 2)			X32	通用	
X204		RESERVED (保留)	PHY2LOGIC5[2:0] (物理通道与逻辑通道 5 映射, 默认 5)		RESERVED (保留)	PHY2LOGIC4[2:0] (物理通道与逻辑通道 4 映射, 默认 4)			X54	通用	
X205		RESERVED (保留)	PHY2LOGIC7[2:0] (物理通道与逻辑通道 7 映射, 默认 7)		RESERVED (保留)	PHY2LOGIC6[2:0] (物理通道与逻辑通道 6 映射, 默认 6)			X76	通用	
X206		LMFC_DLY[7:0](LMFC 延迟, LMFC 往后推移的 PCLK 周期数)							X00	通用	
X207		LMFC_RD_DLY[7:0] (LMFC 可变延迟, LMFC 往前推移的 PCLK 周期数)							X00	通用	
X208		SUBCLASS[2:0] (JESD204B Subclass , 1 表示 subclass1,0 表示 subclass0)							SCR(高电平开启加扰功能, 默认 0)	X10	通用
X209					L[4:0] (链路 lane 数量 , 0000 表示支持 1lane 链路层模式, 默认 0x00 , JESD204B_CFG_SEL 为 1 时 , 配置有效)				X00	通用	
X20A		ILS_F[7:0] (JESD204B 一个帧中的字节数量 , 默认 0 , JESD204B_CTRL_SEL 为 1 时 , 配置有效)							X00	通用	
X20B					K[4:0] (一个多帧中的帧的数量 , 可设置为 F 或 1F , 默认 1F)				X1F	通用	
X20C		M[7:0] (一个 link 中的器件数量 , 0 表示一个器件 , 1 表示 2 个器件 , 3 表示 4 个器件 , 默认 1 , JESD204B_CTRL_SEL 为 1 时 , 配置有效)							X01	通用	
X20D				RESERVED (保留)					X0F	通用	
X20E									X0F	通用	
X20F		JESDVER[2:0] (JESD204 版本号 , 默认 01)			S[4:0] (每一帧传输的样本数 , 00000 表示 1 个样本数 , 00001 表示 2 个样本数 , 默认 0 ,				X20	通用	

		JESD204B_CTRL_SEL 为 1 时，配置有效)							
X210		CHECKSUMM ODE (0 : sum 域，1 : sum 字节)	RESERVED (保留)	CHECKSUM_SEL[2:0]	X00	通用			
X211		DID						R	
X212		ADJCNT			BID			R	
X213		RESERVED (保留)	ADJDIR	PHADJ	LID			R	
X214		SCR	RESERVED (保留)		L			R	
X215		F						R	
X216					K			R	
X217		M						R	
X218		CS			N			R	
X219		SUBCLASSV			NP			R	
X21A		JESDV			S			R	
X21B		HD			CF			R	
X21C		RES1						R	
X21D		RES2						R	
X21E		CHECKSUM						R	
X21F					LID0			R	
X220		CHECKSUM0						R	
X221		FCMP0						R	
X222					LID1			R	
X223		CHECKSUM1						R	
X224		FCMP1						R	
X225					LID2			R	
X226		CHECKSUM2						R	
X227		FCMP2						R	
X228					LID3			R	
X229		CHECKSUM3						R	
X22A		FCMP3						R	
X22B					LID4			R	

X22C		CHECKSUM4						R		
X22D		FCMP4						R		
X22E					LID5			R		
X22F		CHECKSUM5						R		
X230		FCMP5						R		
X231					LID6			R		
X232		CHECKSUM6						R		
X233		FCMP6						R		
X234					LID7			R		
X235		CHECKSUM7						R		
X236		FCMP7						R		
X237		CHECKSUM_FLG						R		
X238		SHORT_TPL_TEST_EN	传输层	SHORT_TPL_SP_SEL[1:0]			SHORT_TPL_M_SEL[2:0]		X00	通用
X239		SHORT_TPL_SP[15:8]						X00	通用	
X23A		SHORT_TPL_SP[7:0]						X00	通用	
X23B		Valid						SHORT_TPL_FAIL	R	
X23C		LINK_TEST_S_TART		LINK_TEST_PAT			BER_OUT_SEL[2:0]		0x00	通用
X23D		LINK_TEST_THRESHOLD[31:24]						X1F	通用	
X23E		LINK_TEST_THRESHOLD [23:16]						XFF	通用	
X23F		LINK_TEST_THRESHOLD [15:8]						XFF	通用	
X240		LINK_TEST_THRESHOLD [7:0]						XFF	通用	
X241		LINK_TEST_SUCCESS[7:0]						R		
X242		LINK_TEST_ERR[31:24]						R		
X243		LINK_TEST_ERR [23:16]						R		
X244		LINK_TEST_ERR [15:8]						R		
X245		LINK_TEST_ERR [7:0]						R		
X246		ERR_THRESHOLD[7:0]						X1F	通用	
X247							RSTERRCNT_DIS	ENABLE_ERR_CNT_DIS	X00	
X248		BADDIS[7:0] (readonly 只读寄存器 , 1 指示相应 lane 的 BD 计数达到门限值)						R		

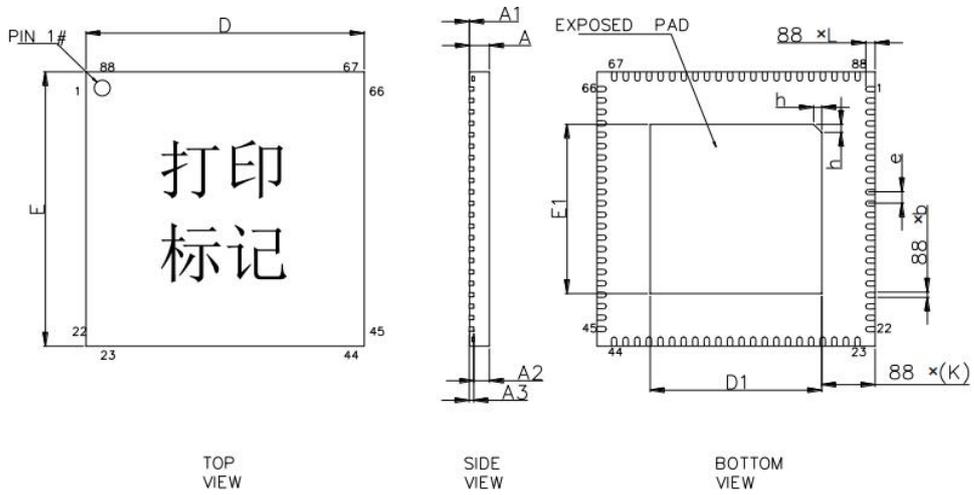
X249								RSTERRCNT_NIT	ENABLE_ERR_CNT_NIT	X00	
X24A	NITD[7:0] (readonly 只读寄存器, 1 指示相应 lane 的 NIT 计数达到门限值)									R	
X24B								RSTERRCNT_UNC	ENABLE_ERR_CNT_UNC	X00	
X24C	UNCD[7:0] (readonly 只读寄存器, 1 指示相应 lane 的 UNC 计数达到门限值)									R	
X24D			LANESEL[2:0](Lane 选择 0 选择 lane0,1 选择 lane1... 7 选择 lane7, 默认 0Q)					CNTSEL[2:0](错误监控输出选择, CNTSEL[2]:UCC, CNTSEL[1]:NIT, CNTSEL[0]:BD, 高电平开启相应错误输出, 默认 0)		X00	通用
X24E	READERRORCNT (readonly 只读寄存器, 错误监测读出寄存器)									R	
X24F	CLR_FIFO[2:0]			AE_LEVEL[4:0]						X04	通用
x250	ILA_FIFO_FULL[7:0] 00									R	
x251	ILA_FIFO_EMPTY[7:0] FF									R	
X252	ILA_FIFO_HALF_FULL[7:0] 00									R	
X253	ILA_FIFO_ALMOST_FULL[7:0] 00									R	
X254	ILA_FIFO_ALMOST_EMPTY[7:0] FF									R	
X255	ILA_FIFO_ERR[7:0] 00									R	
X256	CODEGRPSYNC[7:0] FF									R	
X257	FRAMESYNC[7:0] FF									R	
X258	INITIALLANESYNC[7:0] FF									R	
X259	LANE_SYNC[7:0] FF									R	
X25A	LANE_SYSREF[7:0] FF									R	
X300				RST_PHY	manual_cfg_en (链路参数手动配置使能, 默认 0)	ref_div_en 参考时钟分频使能, 高电平使能分频	ref_div[2:0] (参考时钟分频比控制, 默认为 011, manual_cfg_en 为 1 时配置有效)			x0B	通用

X301		LAMERATE_SEL1:0] (接口速率配置, 00: 1.5~4Gbps, 01: 4~6.25Gbps, 10: 6.25~10Gbps, 11: ≥10Gbps, 默认 00,)						P[4:0] DAC 工作频率设置(默认为 3) DAC 时钟为 20MHz-40MHz 时, P 为 0; DAC 时钟为 40MHz-80MHz 时, P 为 1; DAC 时钟为 80MHz-160MHz 时, P 为 2; DAC 时钟为 160MHz-320MHz 时, P 为 3; DAC 时钟为 320MHz-490MHz 时, P 为 4; DAC 时钟为 490MHz-570MHz 时, P 为 5; DAC 时钟为 570MHz-640MHz 时, P 为 6; DAC 时钟为 640MHz-730MHz 时, P 为 7; DAC 时钟为 730MHz-810MHz 时, P 为 8; (80M) DAC 时钟为 1210MHz-1280MHz 时, P 为 14; DAC 时钟为 1280MHz-1370MHz 时, P 为 15; DAC 时钟为 1370MHz-1450MHz 时, P 为 16; DAC 时钟为 2490MHz-2570MHz 时, P 为 30;	x03	通用	
X302								PLL_DIV[19:16]PLL 分频时钟控制高位, 默认 4'h8, manual_cfg_en 为 1 时配置有效	X08	通用	
X303								PLL_DIV[15:8] (PLL 分频时钟控制, 默认为 0, manual_cfg_en 为 1 时配置有效)	X00	通用	
X304								PLL_DIV[7:0] (PLL 分频时钟控制, 默认为 0, manual_cfg_en 为 1 时配置有效)	X00	通用	
X305								PD_PLL[7:0] (对应位为 1 时关闭对应通道 (lane) 的 PLL, 默认 FF) PLL	XFF	通用	
X306								UNUSED LANES[7:0](关闭未使用的 lanes, 8 位对应 lane7~lane0, 对应位为 1 时, 关闭相应 lane, 默认 FF) ALL	XFF	通用	
X307		Qdr (Serdes 速度控制寄存器, 默认 0)	Edr (Serdes 速度控制寄存器, 默认 0)	Odr (Serdes 速度控制寄存器, 默认 0)	Bus_width (输出总线位宽选择, 默认 1, 选择 40bit 输出)	first_lsb_en (默认为 1)	En_lpbk (Loopback 使能控制, 默认 0, 高电平开启 loopback)	hdr_en(半速控制使能, 1 开启半速据模式, 速率小于 4Gbps 时建议开启, manual_cfg_en 为 1 时配置有效, 默认 0)	fdr_en(全速控制使能, 1 开启全速据模式, 速率大于 4Gbps 时建议开启, manual_cfg_en 为 1 时配置有效, 默认 1))	X19	通用
X3D4								test_en[7:0] (1 开启相应通道的测试功能, 默认 0)	X00	通用	
X3D5								test_sel[7:0] (1 开启相应通道测试项选择控制信号, 默认 0)	X00	通用	
X3D6								Prbs_en[7:0] (1 开启相应通道的 Prbs 使能控制, 默认 0)	X00	通用	
X3E7								JESD_INV_BIT[7:0]差分对极性取反	X00	通用	
X3F2								rx_los[7:0] (readonly 只读寄存器, 失锁状态, 对应比特位 1 表示失锁)	R		
X3F3								rx_rdy[7:0] (readonly, 只读寄存器, 数据有效指示信号, 对应比特位 1 表示有效)	R		
X3F4			PHY 层 OFFSET_ADDR[3:0]			PHY_CLR 1:统计		PHY_TEST_PAT[1:0]	X40	通用	
X3F5								PHY_TEST_EN[7:0]	X00	通用	

X3F6		PHY_ERR_THRESHOLD[23:16]					X3F	通用
X3F7		PHY_ERR_THRESHOLD[15:8]					XFF	通用
X3F8		PHY_ERR_THRESHOLD[7:0]					XFF	通用
X3F9		PHY_TEST_SUCCESS[7:0]					R	
X3FA		RD_EN				PHY_RD_SEL[2:0]	X00	通用
X3FB		PHY_ERR_VAR[23:16]					R	
X3FC		PHY_ERR_VAR[15:8]					R	
X3FD		PHY_ERR_VAR[7:0]					R	
X3FE		WR_ADDR[3:0]			RD_ADDR[3:0]		R	

机械尺寸

ASTD9154均采用带热沉的QFN88封装，外壳外形按下图 41 规定。芯片最高结温 (T_j)：150℃；热阻 (Ψ_{JB})：15℃/W。



尺寸符号	数值, 单位: mm		
	最小	公称	最大
A	0.90	-	1.00
A1	0.00	-	0.05
A2	-	0.75	-
A3	-	0.203 TYP	-
D(E)	11.90	-	12.10
D1(E1)	7.30	-	7.50
e	-	0.50 BSC	-
b	0.18	-	0.28
L	0.30	-	0.50
h	-	0.30	-
K	-	1.90 TYP	-

图 41 外形尺寸

订购信息

产品订购信息

型号	工作温度范围	质量等级	封装类型
ASTD9154	-40~85°C	工业级	QFN-88
ASTD9154N	-55~125°C	N1级	QFN-88