

高性能嵌入式人工智能 SOC 芯片
TT810数据手册

(Ver: 2.3)



服务电话：18924641149 18007022756 18948735746 15869357206

服务电话：008618924645428

008617302669239

目录

目录.....	2
表目录.....	3
图目录.....	3
1. 概述.....	1
1.1 简介.....	1
1.2 结构组成.....	2
1.3 主要特征.....	4
1.4 模块说明.....	10
2. 封装和信号定义.....	17
2.1 封装信息.....	17
2.2 封装信号引脚定义.....	19
2.3 封装电源引脚定义.....	40
3. 工作条件及电气特性.....	48
3.1 极限工作条件.....	48
3.2 推荐工作条件.....	49
3.3 温度与功耗热阻关系.....	50
3.4 电气特性.....	50
4. 复位时钟电源说明.....	53
4.1 复位.....	53
4.2 时钟.....	54
4.2.1 PLL 配置流程.....	55
4.3 工作模式与芯片上下电时序.....	55
4.3.1 工作模式.....	55
4.3.2 上下电时序.....	56
5. 启动.....	59

表目录

表 1-1 芯片模块说明表.....	10
表 2-1 FCBGA896 封装尺寸说明.....	18
表 2-2 芯片引脚信号表.....	19
表 2-3 封装电源引脚定义表.....	40
表 3-1 极限工作条件说明表.....	48
表 3-2 推荐工作条件说明表.....	49
表 3-3 温度与功耗热阻关系说明表.....	50
表 3-4 电气特性表.....	50
表 4-1 复位信号分类表.....	53
表 4-2 芯片时钟信号表.....	54
表 4-3 低功耗模式定义表.....	56
表 4-4 芯片上电时序说明表.....	57
表 5-1 SPARC 处理器内部 BOOT 和外部 EMI 启动方式选择列表.....	60
表 5-2 ARM 处理器内部 BOOT 和外部 EMI 启动方式选择列表.....	60
表 5-3 内部 BOOT 启动方式选择表.....	60

图目录

图 1-1TT810A 芯片框图.....	2
1TT810A 芯片 HFCBGA896 封装外形图.....	17
2 FCBGA896 封装外形图.....	18
1 芯片复位信号控制图.....	53
2 PLL 配置流程图.....	55
3 芯片上电时序图.....	57
4 芯片下电时序图.....	58

1. 概述

1.1 简介

TT810是我司推出的新一代嵌入式人工智能系列处理器芯片，芯片专注于前端图像处理、前端信号处理和智能控制，芯片具有深度学习、神经网络算法的平台加速能力。TT810芯片为异构多核架构（CPU+AI加速器），采用FD-SOI制造工艺，具有高性能、高可靠、低功耗的特点，该芯片广泛应用于航空航天、智能安防、机器人、AIoT、智能制造、智慧交通等多种场景。

TT810芯片集成4核ARM Cortex-A9处理器及4核SPARC-V8处理器。处理器内部包含整型处理单元(IU)、浮点处理单元(FPU)、高速一级缓存(L1 Cache)、存储器管理单元(MMU)、NEON协处理器和高速二级缓存(L2 Cache)等模块。可为客户应用程序提供充足、可靠的计算资源。

TT810芯片集成H.265/264/JPEG编解码器以及JPEG2000编码器，提供高性能视频图像编解码功能支持。

TT810芯片内部集成了丰富的片上外设，包括CameraLink，MIPI，BT1120，LVDS Display，RapidIO，PCIe，GigaEthernet，USB2.0，Nand Flash控制器，QSPI Nor Flash控制器，SDIO，1M/10M的1553B总线控制器，CAN总线控制器，EMI控制器，SPI主控器，I²C主控器，I²S控制器，UART，定时器，计数器，DMA，Watchdog，GPIO，PWM，SM4加解密引擎等功能模块，能够满足用户的各类应用需求。

TT810芯片集成了完备的片上调试系统。对于ARM A9内核，用户可以通过JTAG接口连接CoreSight调试模块来访问芯片内部的寄存器、存储器和片内外设，进行软硬件调试。对于SPARC-V8内核，用户可以通过JTAG接口连接DSU调试模块来访问芯片内部的寄存器、存储器和片内外设，进行软硬件调试。

我司提供TT810配套的SDK，方便客户快速高效地进行AI软件程序的开发。支持TensorFlow、Caffe等AI开发框架，支持OPENCL\OPENVX\OPENCV等软件库，可以进行AI开发。支持eCOS、FreeRTOS、VxWorks、Linux、sylixos等实时嵌入式操作系统，用户可方便地实现嵌入式实时

控制系统的高性能多核并行处理设计。

1.2 结构组成

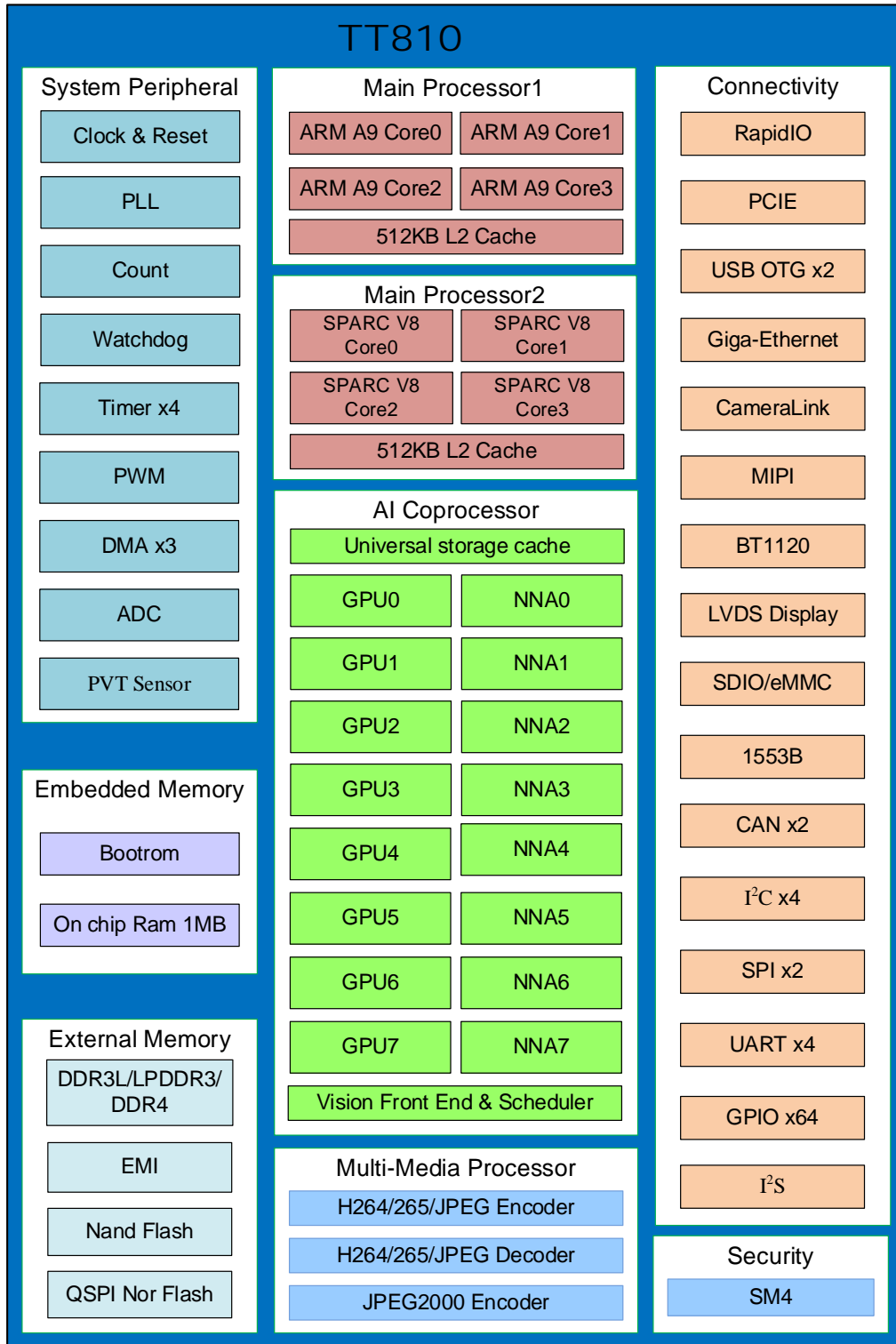


图 1-1TT810A 芯片框图

图1-1中各个模块的说明如下：

- 1) ARM A9: ARM A9 处理器核心, 共 4 个;
- 2) SPARC V8: SPARC V8 处理器核心, 共 4 个;
- 3) 512KB L2Cache (ARM): ARM A9 处理器 L2Cache 模块;
- 4) 512KB L2Cache (SPARC): SPARC V8 处理器 L2Cache 模块;
- 5) AI Coprocessor: AI 协处理器;
- 6) Universal Storage Cache: AI 协处理器 Cache;
- 7) GPU: 图形处理器, 共 8 个;
- 8) NNA: 神经网络加速单元, 共 8 个;
- 9) Vision Front End& Scheduler: AI 协处理器任务分配、命令处理单元;
- 10) DDR: DDR 控制器, 支持 DDR4/DDR3L/LPDDR3;
- 11) On Chip RAM 1MB: 1MB 片上通用 SRAM;
- 12) Clock&Reset: 时钟复位模块;
- 13) PLL: 锁相环模块, 用于产生片内各模块的时钟信号;
- 14) Count: 计数器模块;
- 15) Watchdog: 看门狗模块;
- 16) Timer: 定时器模块, 共 4 通道;
- 17) PWM: PWM 生成器;
- 18) DMA: 直接内存存取模块, 共 3 组, 每组包含 8 通道;
- 19) ADC: 12 位精度 SAR ADC;
- 20) PVT sensor: 电压/温度传感器;
- 21) H.264/H.265/JPEG Encoder: H254、H.265 编码器模块;
- 22) H.264/H.265/JPEG Decoder: H.264、H.265 解码器模块;
- 23) JPEG2000 Encoder: JPEG2000 编码器模块;
- 24) BOOTROM: 片内固化 BOOTROM 模块;
- 25) EMI: 外部存储器接口 (External Memory Interface);
- 26) Nand Flash: Nand Flash 控制器;
- 27) QSPI Nor Flash: QSPI Nor Flash 控制器;

- 28) RapidIO: RapidIO 控制器, 片内集成 PHY;
- 29) PCIE: PCIE 控制器, 支持 PCIE Gen1、GEN2 协议;
- 30) USB 2.0: USB2.0 主控制器共 2 路, 分别支持 OTG 和 Host 模式, 片内集成 PHY;
- 31) Giga-Ethernet: 千兆以太网控制器, 支持片外外接 PHY;
- 32) Camera Link: Camera Link 图像接口, 支持 Camera Link 2.0 标准;
- 33) MIPI: MIPI CSI-2 控制器;
- 34) BT1120: BT1120 接口;
- 35) LVDS Display: LVDS 视频输出控制器, 片内集成 LVDS TX PHY;
- 36) SDIO/eMMC: SDIO/eMMC 控制器, 支持 SD3.0 及 eMMC v4.5;
- 37) CAN: CAN 总线控制器, 共 2 通道;
- 38) 1553B: 1553B 总线控制器;
- 39) GPIO: 独立可配置 GPIO 信号, 共 64 路;
- 40) I²C: I²C 总线控制器, 共 4 通道;
- 41) I²S: I²S 总线控制器;
- 42) SPI: SPI 接口, 支持主/从模式, 共 2 通道;
- 43) UART: 4 路通用串行接口;
- 44) SM4: SM4 加解密模块。

1.3 主要特征

➤ 主处理器

- 4 核 ARM CortexA9 处理器
 - 主频: 1GHz;
 - 32KB L1 ICache;
 - 32KB L1 DCache;
 - 核内定时器及看门狗模块;
 - 512KB L2 Cache;
 - 包含 NEON 浮点向量协处理单元;

- 带片上 Bootroom;

- 4 核 SPARCV8 处理器

- 主频: 700MHz;

- 32KB L1 ICache;

- 16KB L1 DCache;

- 512KB L2 Cache;

- 带片上 Bootroom;

- AI 协处理器

- GPU 单元

- 标准 shader core;

- 支持 EVIS 扩展指令;

- 支持 16/32/64 位浮点运算;

- 峰值算力 64 GFLOPS;

- NNA 单元

- 矩阵式并行卷积 MAC 单元;

- 支持神经网络多维数组处理的压缩和剪枝;

- 支持 8/16 位定点处理;

- 峰值算力 10TOPS;

- 图像协处理单元

- H.264/H.265/JPEG 编码器

- H.264 编码性能 (high profile);

- ✓ 1 路 3820x2160@30fps

- ✓ 2 路 1920x1080@60fps

- ✓ 4 路 1920x1080@30fps

- H.265 编码性能;

- ✓ 1 路 3840x2160@20fps

- ✓ 2 路 1920x1080@30fps

- JPEG 编码性能;

- ✓ 1路 3820x2160@30fps
- ✓ 2路 1920x1080@60fps
- ✓ 4路 1920x1080@30fps
- 输出格式 YCbCr 4:2:0;
- 支持采样位深度 8bpc;
- 支持图像降采样;
- 支持切片/帧类型: I, P, B 三种;
- H.264/H.265/JPEG 解码器
 - H.264 解码性能 (high level5.2);
 - ✓ 1路 3820x2160@30fps
 - ✓ 2路 1920x1080@60fps
 - ✓ 4路 1920x1080@30fps
 - H.265 解码性能 (main10 level5.1);
 - ✓ 1路 3840x2160@25fps
 - ✓ 1路 1920x1080@60fps
 - ✓ 3路 1920x1080@30fps
 - JPEG 解码性能;
 - ✓ 1路 3840x2160@30fps
 - ✓ 2路 1920x1080@60fps
 - ✓ 4路 1920x1080@30fps
 - 支持后处理 (post processing) 输出;
 - 支持 OpenMax IL API;
 - 支持 Libva 及 Libdrm;
 - 支持嵌入式参考帧压缩;
- JPEG2000 编码器
 - 支持的采样格式:
 - 灰度级采样;
 - 双元素: 4:4, 4:2, 4:1 及 4:0;
 - 三元素: 4:4:4, 4:2:2, 4:1:1 及 4:2:0;

-四元素：4:4:4:4，4:2:2:2，4:1:1:1 及 4:2:0:0；

- 支持 8bit 每元素的采样精度；
- 支持高达 65535 x 65535 图像分辨率；
- 支持 4096 x 2160 分片精度；
- 支持有损或无损压缩；
- 支持单/多品质层编码；
- 支持标准兼容码流（JPC）或文件（JP2）输出；

➤ 存储系统

- 片上 RAM：1MB；
- 外部存储器接口
 - DDR4/DDR3L/LPDDR3：最高数据率 DDR4-2666Mbps，DDR3L-1600，LPDDR3-1866，3GB 存储空间，64bit 数据宽度，8bit ECC；
 - SLC/MLC NAND Flash：支持 8bit/16bit 数据宽度，支持 512KB/2KB/4KB/8KB 页尺寸，24bit ECC；
 - SPI Nor Flash：标准/双/四 SPI 接口，最高数据率 50Mbps，128MB，支持主/从模式；
 - 并行 Nor Flash 或异步 SRAM：支持 8bit/16bit 数据宽度，32MB 存储空间，支持 16 位启动；

➤ 高速外设接口

- 显示
 - LVDS 串行接口，最高支持 FHD 分辨率；
- 摄像头传感器
 - Camera Link 摄像头接口，v2.0 标准，支持 Lite/Base/Medium/Full 模式；
 - MIPI CSI-2/D-PHY 摄像头接口，x4 通道；
 - BT1120 摄像头接口；
- 高速串行接口

-PCIe Gen2 接口, x4 通道, 2.5/5.0 Gbps, 支持 Root 复杂操作以及 Endpoint 操作;

-Rapid IO Gen2 接口, 支持 1.25/2.5/3.125 和 5Gbaud, 支持 1 路 4lane (1X4)、1 路 2lane (1X2) 和 1 路 1lane (1X1);

- Ethernet 接口, 1 路

-10/100/1000 Mbps, MII/GMII/RGMII 以太网;

- USB2.0 接口, 2 路

- USB2.0-OTG;

- USB2.0 Host only;

- SD/SDIO/MMC 接口

-支持 SD3.0 及 eMMCV4.5, eMMC5.1 标准;

-支持 4 比特 SD 及 SDIO 传输模式标准, 支持最高 UHS-I SDR-104 模式 (最大 104 MB/s);

-支持 4 比特或 8 比特 MMC 卡传输模式标准, 支持 SDR 及 DDR 模式最高 52MHz (最大 104 MB/s);

➤ 系统组件

- Count: 计数器;

- Watchdog: 16 位看门狗计数器;

- Timer: 4 通道 32 位普通定时器;

- DMA: 3 组, 每组 8 通道控制器;

➤ 低速外设接口

- I²S: 支持 24bit 立体声输入/输出;

- UART: 4 路, 支持 2 线标准, 支持流控制;

- I²C: 4 路, 支持主/从模式, 最高 3.4Mbps;

- SPI: 2 路, 支持主/从模式;

- GPIO: 64 路独立可配置 GPIO 信号, 支持 GPIO 中断功能;

- SAR ADC: 12bit 精度, 采样率最高支持 1MSPS;

- 1553B:

- 支持 BC、RT 和 BM 三种工作模式；
- 数据传输速率 1Mbps 和 10Mbps 可配置；

- CAN:

- 两个独立通道；
- 支持 PeliCAN 和 BasicCAN 两种模式；
- 符合 CAN 2.0B 协议，不支持 FD 协议；

- JTAG 调试接口；

➤ 电源管理及控制

- 集成片内电源管理单元；
- 集成温度传感器；
- 支持多种系统功耗模式；
- 集成灵活的门控时钟设计；

➤ 安全功能

- SM4 数据安全模块；

➤ 其他

- 芯片封装：HF CBGA 896, 25mm*25mm, 0.8 pitch；
- 工艺：22 nm FDX 工艺；
- 工作电压：Core 0.8V, 数字 IO 1.8V/3.3V, Analog 1.8V/2.5V/3.3V, DDR IO 1.2V/1.35V/1.5V；
- 工作温度：-55℃ ~ +125℃；
- 存储温度：-65℃ ~ +150℃；
- 典型功耗：6W (T_A=25℃, F_{CPU}=900MHz, F_{AI}=700MHz)；
- 抗辐指标：TID: 300K rad(Si), SEL: 免疫；

➤ 软件支持

- 配套 SDK, 进行 AI 软件程序的开发。支持 TensorFlow、Caffe 等 AI 开发框架；
- 异构多核 (API) 接口：OPENCL\OPENVX\OPENCV；
- 操作系统 (EOS): Linux、Sylixos；

- 设备驱动程序及例程。

1.4 模块说明

TT810芯片包含以下模块：

表 1-1 芯片模块说明表

模块名称	模块数量	模块功能
Main Processor1	1	4核SMP架构ARM Cortex A9处理器。每个核包含超标量可变长度8级流水线，支持乱序执行，具有动态分支预测功能。完全实现ARM体系结构v7-A指令集、ARM Neon Advanced SIMD（单指令，多数据）支持加速媒体和信号处理计算。集成L2 Cache。集成CoreSight调试单元，支持基于JTAG硬件断点、多核调试。
Main Processor2	1	4核SMP架构SPARC V8处理器。每个核包含固定长度7级流水线、32KB Icache、16KB Dcache、MMU、FPU。集成512KB L2 Cache。集成DSU调试单元，支持基于JTAG硬件断点、多核调试。
AI Coprocessor	1	芯片 AI 协处理器主要由 GPU 可编程引擎和神经网络引擎（Neural Network Engine, NN）两大部分组成，包含 8 路 GPU 和 8 路 NN 加速单元。可编程引擎 GPU 由标准 shader core 构成，并在 Shader 指令集的基础上增加了 24 条增强指令集 EVIS（Enhanced Vision Instruction Set），NN 单元由乘累加器（MAC）阵列组成，可进行 8 位、16 位定点运算。AI 协处理器通过 OPENCL\OPENVX 等软件接口编程。
H264/265/JPEG Encoder	1	H264/265/JPEG 编码器支持 H.264, H.265 及 JPEG 格式编码。 该编码器包括编码内核模块、控制寄存器、中断控制器、计时器。系统 CPU 使用 APB 接口控制编码内核模块（配置编码器参数，开始处理，获取状态和结果），编码器通过 AXI4 接口从 Memory 中读写视频数据。
H264/265/JPEG Decoder	1	H264/265/JPEG 解码器支持 H.264, H.265, SVC, MVC 及 JPEG 格式解码。 解码器包括解码器内核、控制寄存器、中断控制器、计时器。系统 CPU 使用 APB 接口控制解码器模块（配置解码器参数，开始处理，获取状态和结果），解码器通过 AXI4 接口从 Memory 中读写视频数据。 该解码器执行像素级/低级处理，控制软件处理高于切片数据级别的更高级别的解码过程。

模块名称	模块数量	模块功能
JPEG2000 Encoder	1	<p>JPEG2000编码器支持JPEG2000 PART 1有损及无损图像压缩。</p> <p>JPEG2000模块能够高速、高质量地对JPEG 2000图像和视频进行编码。该模块执行以下视频编码压缩操作：</p> <ul style="list-style-type: none"> ◆无损或有损压缩； ◆先进比特率控制引擎； ◆单或多质量层编码； ◆CPRL进展顺序； ◆LRCP进展顺序（仅灰度级）； ◆错误复原编码特性； ◆标准兼容码流（JPC）文件（JP2）输出；
DDR Controller	1	<p>DDR 控制器兼容 JEDEC 标准 DDR4/DDR3L/LPDDR3 SDRAM。其中，DDR4 支持最高 2666Mbps，DDR3L 支持最高 1600Mbps，LPDDR3 支持最高 1866Mbps。</p> <p>该 DDR 控制器支持单 rank 模式，最大支持 3GB 内存容量，支持 64bit 数据位宽，同时支持 8bit ECC。</p> <p>该 DDR 控制器支持命令重排序、低功耗模式等功能，以提高系统性能。</p>
On Chip Memory	1	<p>芯片集成 1MB 的片内 SRAM。该 SRAM 允许被片内所有主设备访问，可用作高带宽缓存。</p>
DMA	3	<p>芯片提供了 3 个 DMA 控制器，每个 DMA 控制器拥有 8 个 DMA 通道。</p> <p>该控制器为基于列表项（Linked Lists）的分散/聚集型 DMA，支持地址递增/递减或无变化的传输方式。</p>
RapidIO	1	<p>芯片包含1路Rapid IO 控制器（内置PHY）。该控制器符合Rapid IO Gen2协议，最大支持4个Lane，支持最高5Gbps（BRC1）速率。</p> <p>该模块具有以下技术特征：</p> <ul style="list-style-type: none"> ◆兼容RapidIO标准2.2版本； ◆支持1.25Gbaud，2.5Gbaud，3.125Gbaud及5Gbaud BRC1速率； ◆支持最高256 Byte数据负载； ◆支持34bit及50bitRIO寻址； ◆支持消息传送：数据及门铃信息； ◆支持DMA模式读写；
PCIe	1	<p>芯片包含1路PCIe控制器（内置PHY），以进行PCI Express RC及EP应用。该控制器支持PCIe-Gen2 4通道通信，具有如下技术特征：</p> <ul style="list-style-type: none"> ◆支持PCI Express Gen1及Gen2协议；

模块名称	模块数量	模块功能
		<ul style="list-style-type: none"> ◆支持Gen2 (5.0 Gbps x 4 lanes); ◆支持128-bit内部数据深度, 125MHz内部工作频率; ◆支持ECRC生成及校验; ◆支持RAS DES (Debug, Error injection, statistics); ◆支持RAS DP (Data Protection), 以对数据路径及RAM进行校验; ◆支持MSI (Message Signaled interrupt); ◆支持高级功耗及时钟管理 <ul style="list-style-type: none"> - 不支持D3 cold; - 不支持L1 sub; ◆可配置的BAR滤波器, I/O滤波器; ◆嵌入式DMA (4读+4写通道) ◆内置地址转换模块;
CameraLink	1	<p>该接口遵守 Camera Link v2.0 规范, 实现数据接收功能。</p> <ul style="list-style-type: none"> ◆ 支持 Camera Link lite/base/medium/full/模式; ◆ 支持 bit 分配; ◆ 数据格式: <ul style="list-style-type: none"> - Mono 8/10/12/14/16; - RAW 8/10/12/14/16; - RGB 24/30/36; ◆ Camera 控制信号: <ul style="list-style-type: none"> - CC1: 脉冲或静态0/1信号; - CC2: 脉冲或静态0/1信号; - CC3: 脉冲或静态0/1信号; - CC4: 脉冲或静态0/1信号; ◆ 通信信号: <ul style="list-style-type: none"> - SerTFG: 连接到UART RX; - SerTC: 连接到UART TX; ◆ 通信波特率支持: 300bps 到 1500Kbps; ◆ 像素时钟范围: 20MHz 至 297MHz; ◆ 图像最大支持范围: 8192*8192; ◆ Full 模式下支持 45MHz 频率运行, 不支持 85MHz 频率运行;
MIPI CSI-2	1	<p>芯片集成 1 路 MIPI CSI-2 主控制器。该控制器用于接收 CSI-2 接口的摄像头传感器数据。同时芯片集成 MIPI-D PHY 模块。</p> <ul style="list-style-type: none"> ◆ 支持 MIPI 相关标准;

模块名称	模块数量	模块功能
		<ul style="list-style-type: none"> - MIPI Alliance Specification for Camera Serial Interface 2 (CSI-2), Version 1.2, January 2014 - MIPI Alliance Specification for D-PHY, Version 1.2, September 2014 - MIPI Alliance Specification for C-PHY, Version 1.0, October 2014 ◆ 高达 8 个 D-PHY RX 数据通道; ◆ 每个 D-PHY 通道最高支持 2.5Gbps 通信速率; ◆ 每个 C-PHY 通道最高支持 2.5Gbps 通信速率; ◆ 模块信号为输入;
LVDS	1	<p>芯片集成 1 路 LVDS 显示接口。该接口包含 LVDS 视频输出控制器及 LVDS TX 发送器。LVDS 视频输出控制器接收 DC810 的视频输出数据，根据 VESA (Video Electronics Standards Association) 标准及 JEIDA (Japanese Electronic Industry Development Association) 标准进行 LVDS 像素映射，并最终从 LVDS 发送器输出重映射后的并行数据。该 LVDS 控制器仅支持 FPD-Link 标准，不支持 FPD-Link II、FPD-Link III 及 V-By-One 标准。</p> <ul style="list-style-type: none"> ◆ 支持 LVDS 单通道输出 (4 lanes)，最大并行数据宽度为 28 bit; ◆ 支持最大 150MHz 像素时钟及 LVDS 时钟; ◆ 支持以下典型分辨率: <ul style="list-style-type: none"> - VGA(640x480)@60fps - SVGA(800x600)@60fps - XGA(1024x768)@60fps - SXGA(1280x1024)@60fps - UXGA(1600x1200)@60fps - FHD(1920x1080)@60fps ◆ 模块信号为输出;
SDIO	1	<p>芯片集成 1 路 SDIO3.0 接口，该接口包括 SDIO3.0 控制器及 PHY 模块，支持安全数字存储器 (SD Mem)，安全数字 I/O (SDIO) 及多媒体卡 (MMC) 标准。</p>
Ethernet	1	<p>芯片包含 1 路千兆以太网控制器 GMAC，与片外以太网 PHY 配合使用。</p> <p>该模块具有以下特征:</p> <ul style="list-style-type: none"> ◆ 支持 MII/GMII/RGMII 接口; ◆ 支持 10, 100 及 1000Mbps 数据传输率; ◆ GMAC 支持全双工及半全双工操作;

模块名称	模块数量	模块功能
		<ul style="list-style-type: none"> ◆ GMAC支持帧滤波操作; ◆ 支持硬件校验核计算及纠错;
EMI Controller	1	<p>芯片集成 1 路外部存储器接口控制器, 用以读写片外异步 SRAM 或并行 NOR flash。</p> <p>该控制器具有以下特征:</p> <ul style="list-style-type: none"> ◆ 支持8bit及16bit数据位宽; ◆ 支持 4 个地址片选信号, 每个分配 32MB 地址空间; ◆ 支持 CPU 模式及 DMA 模式; ◆ 可编程异步读写时间; ◆ 支持地址/数据复用及页模式;
Nand Flash Controller	1	<p>NAND FLASH控制器模块包含控制器和PHY。该模块提供丰富的功能, 以最大化系统级性能, 并提供功能最丰富和最灵活的NAND闪存解决方案, 支持企业级存储和嵌入式内存应用程序。</p> <ul style="list-style-type: none"> ◆ 支持4个片选信号, 支持1~8个地址周期, 无最大容量限制; ◆ 支持8/16 bit Flash IO总线位宽; ◆ 支持512B, 2KB, 4KB, 8KB页尺寸, SLC/MLC NAND flash设备; ◆ 支持大部分主流flash器件命令; 提供Up模式以用于特殊命令的flash接口操作; ◆ 支持双平面操作; ◆ 自动在线、片内缓存错误纠正; 内部ECC电路能够纠正每512B数据中最多8或15比特随机错误, 或每1024B数据中最多24或40或60比特随机错误。 ◆ 支持DMA操作; ◆ 支持数据保护模式; ◆ 可编程R/W脉冲时序;
USB2.0	2	<p>芯片具有2路USB2.0接口。其中一路支持主机和从机功能, 完全兼容USB2.0协议。另一路接口支持非OTG主模式。该模块主要性能特征如下:</p> <ul style="list-style-type: none"> ◆ 软件可配置为OTG1.3或OTG2.0操作模式; ◆ 支持以下速度: <ul style="list-style-type: none"> 高速 (HS, 480-Mbps); 全速 (FS, 12-Mbps); 低速 (LS, 1.5-Mbps) 模式; ◆ 支持多达7个双向端点, 包括控制端点0; ◆ 支持多达14个主通道; ◆ 支持SRP协议及HNP协议; ◆ 集成内部DMA;
QSPI Nor Flash	1	QSPI Nor Flash模块可做为串行主设备使用。该模

模块名称	模块数量	模块功能
		<p>块主要性能特征如下：</p> <ul style="list-style-type: none"> ◆ 支持DMA传输模式； ◆ 支持最高50MHz速率； ◆ 支持4种SPI操作模式； ◆ 支持全双工模式； ◆ 可编程MSB或LSB； ◆ 支持最多2个外部从设备；
SPI	2	<p>芯片提供了2路SPI（SPI0-SPI1）接口，2个SPI控制器的结构和功能完全相同。可以配置为spi主控设备（master）或者配置为spi从设备（slave）。发送字长、位顺序、等都可以配置。模块主要由发送/接收FIFO、主控制器、从设备控制器、时钟产生模块及同步逻辑组成。该模块最高支持50MHz传输速率。</p>
UART	4	<p>芯片提供了4路UART接口，其中一个支持流量控制功能。</p> <p>该模块具备如下性能特征：</p> <ul style="list-style-type: none"> ◆ 收发FIFO深度为16； ◆ 可编程的帧长度，奇偶校验及停止位长度可配置； ◆ 波特率可配置；
Timer	4	<p>芯片内部集成4路32位定时器。该定时器具有如下性能特征：</p> <ul style="list-style-type: none"> ◆ 三种计数模式：自由运行，周期计数，单次计数； ◆ 4个独立32bit递减计数器； ◆ 4个独立中断信号； ◆ 4组输入时钟捕捉管脚；
Count	1	<p>Count可用于提供基本计数器使用,不具有唤醒SOC功能。该模块具有以下技术特征：</p> <ul style="list-style-type: none"> ◆ 支持年/日/小时/分/秒/毫秒； ◆ 支持时间精度补偿； ◆ 支持定时值初始化； ◆ 25℃下日时间偏差为1s； ◆ 支持时间报警功能；
I ² C	4	<p>芯片提供了4个I²C（I²C0- I²C3）接口，4个I²C控制器的结构和功能完全相同。提供标准模式，快速模式，高速模式三种不同的工作模式，支持7位或10位寻址，支持主从模式。</p>
I ² S	1	<p>芯片内集成了I²S音频数据传输处理模块。该模块是4线接口（WS, SCLK, SD_IN, SD_OUT），支持标准I²S协议。该芯片的I²S最大支持24位数据位宽的数据传输且只能作为主模式使用。</p>

模块名称	模块数量	模块功能
1553B	1	芯片内部集成一通道的1553B总线控制器，支持BC、RT和BM三种工作模式，支持完整的MIL-STD-1553B协议，数据传输速率1Mbps和10Mbps可配置，存储器布局 and 寄存器设置同BU-61580兼容。
GPIO	1	GPIO模块特性如下： <ul style="list-style-type: none"> ◆ 包含64个独立可配置GPIO信号； ◆ 每个信号分别由数据寄存器和数据方向寄存器对应位控制； ◆ GPIO[31:0]支持外部中断触发； ◆ 中断支持上升沿/下降沿/高电平/低电平四种触发模式。
CAN	2	芯片包含2路CAN总线控制器。该控制器兼容CAN 2.0B协议，支持BasicCAN和PeliCAN模式，这两种模式可以通过时钟分频寄存器选择。在BasicCAN和PeliCAN两种模式下寄存器的映射有所不同。
SM4	1	芯片集成SM4硬件加密模块，具有以下技术特征： <ul style="list-style-type: none"> ◆ 支持SM4加、解密功能； ◆ 支持以下几种模式： <ul style="list-style-type: none"> - ECB (Electronic codebook); - CBC (Cipher-block chaining); - CFG (Cipher feedback); - OFB (Output feedback); - CTR (Counter mode)。
SAR ADC	1	芯片集成逐次逼近式模数转换器（SAR ADC）。该ADC为12位采样精度，支持1MSPS的低速模式或5MSPS的高速模式。 <ul style="list-style-type: none"> ◆ DNL: +/-1.5 LSB, INL: +/-3 LSB; ◆ 数据率: 1MSPS/5MSPS; ◆ 模拟输入范围: VREFH到VREFL; ◆ 2通道单端或差分模拟输入。
Bootrom	1	该模块存储片内固化的Bootloader程序。
Watchdog	1	芯片内部集成看门狗模块，看门狗模块由一个16位向下计数器组成，具有可编程超时间隔，能够在超时时产生中断和复位信号，可以用于在系统出现故障时，对芯片进行复位。
PVT sensor	1	芯片集成电压、温度传感器，用以采集芯片电压、温度信息。
RTC	1	实时时钟

2. 封装和信号定义

2.1 封装信息

- 封装形式为 HFCBGA896, Package size 为 25mm*25mm, Ball pitch 为 0.8 mm;
- 其外形如图 2-1, 2-2 所示;
- 表 2-1 为封装尺寸说明。

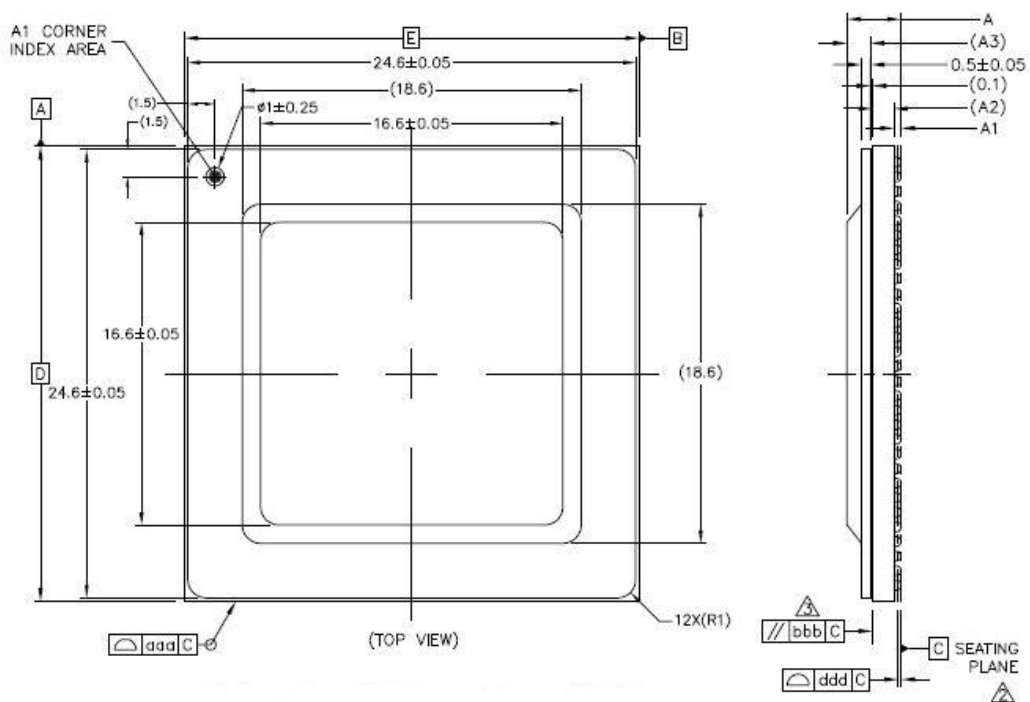


图 2-1TT810A 芯片 HFCBGA896 封装外形图

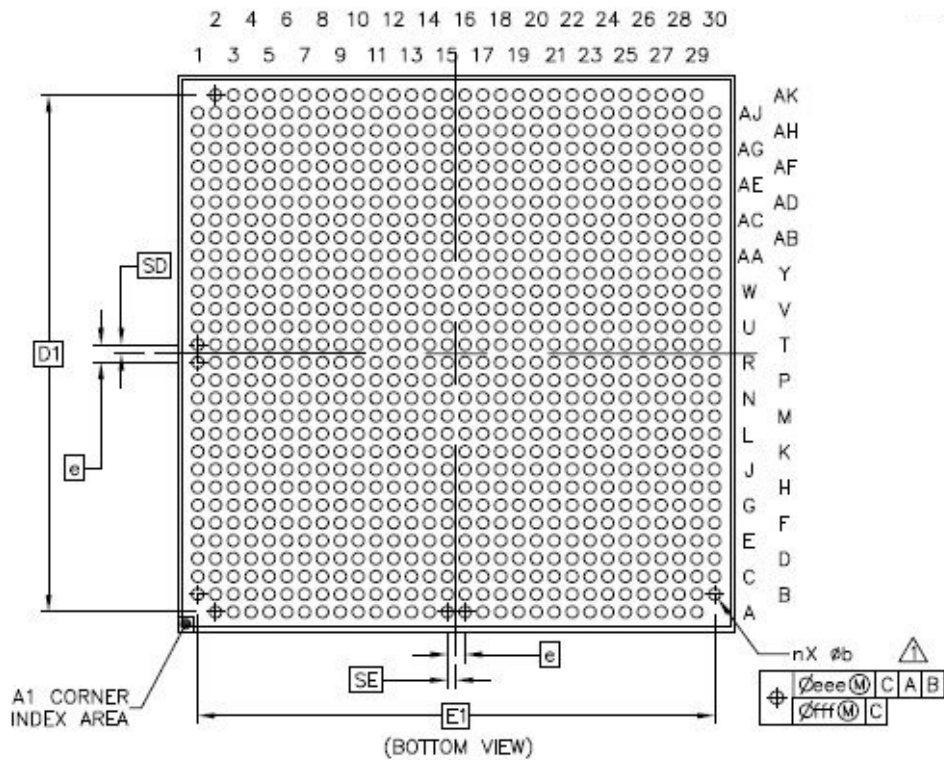


图 2-2 FCBGA896 封装外形图

表 2-1 FCBGA896 封装尺寸说明

符号	最小值	典型值	最大值
A			3.18
A1	0.36		0.46
A2		1.17	REF
A3		1.3	REF
D		25	BSC
E		25	BSC
b	0.44	—	0.64
e		0.8	BSC
n		896	
D1		23.2	BSC
E1		23.2	BSC

符号	最小值	典型值	最大值
SD		0.4	BSC
SE		0.4	BSC
aaa		0.15	
bbb		0.25	
ddd		0.2	
eee		0.25	
fff		0.1	

注：尺寸数据单位：毫米

2.2 封装信号引脚定义

表 2-2 芯片引脚信号表

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
Global (5)	D26	TEST_MODE	测试模式，要求应用中接地	I	0	D	-
	F25	BOOT_SEL0	0: ARM 使能, 1: ARM 不使能	I	3.3/1.8	D	-
	E24	BOOT_SEL1	0: SPARC 使能, 0: SPARC 不使能	I	3.3/1.8	D	-
	D25	BOOT_SEL2	0: ARM ROM boot 1: ARM EMI boot	I	3.3/1.8	D	-
	AD6	SPARC_REMAP	0: SPARC ROM boot, 1: SPARC EMI boot	I	3.3/1.8	D	-
	D24	RESETN	芯片复位，低有效	I	3.3/1.8		-
UART-0 (2)	F24	UART0_RXD*	UART0 接收	I	3.3/1.8		
		I2C3_SCL	I2C 3 时钟	I/O			8
		2ND_GPIO33	第 2 组 GPIO33	I/O			8
	F23	UART0_TXD*	UART0 发送	O	3.3/1.8		8
		I2C3_SDA	I ² C 3 数据	I/O			8
		2ND_GPIO34	第 2 组 GPIO34	I/O			8
UART-1 (2)	E23	UART1_RXD*	UART1 接收	I	3.3/1.8		
		CAN1_RXD	CAN1 接收	I			
		2ND_GPIO35	第 2 组 GPIO35	I/O			8

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
	D23	UART1_TXD*	UART1 发送	O	3.3/1.8		8
		CAN1_TXD	CAN1 发送	O			8
		2ND_GPIO36	第 2 组 GPIO36	I/O			8
UART-2 (2)	E22	UART2_RXD*	UART2 接收	I	3.3/1.8		
		SPI1_SCLK	SPI1 时钟	I/O			8
		2ND_GPIO37	第 2 组 GPIO37	I/O			8
	D22	UART2_TXD*	UART2 发送	O	3.3/1.8		8
		SPI1_CSN0	SPI1 片选	I/O			8
		2ND_GPIO38	第 2 组 GPIO38	I/O			8
UART-3 (2)	F22	UART3_RXD*	UART3 接收	I	3.3/1.8		
		SPI1_MISO	SPI1 主入从出	I/O			8
		2ND_GPIO39	第 2 组 GPIO39	I/O			8
	F21	UART3_TXD*	UART3 发送	O	3.3/1.8		8
		SPI1_MOSI	SPI1 主出从入	I/O			8
		2ND_GPIO40	第 2 组 GPIO40	I/O			8
I2C-0 (2)	A12	I2C0_SCL*	I ² C0 时钟	I/O	3.3/1.8		8
		2ND_GPIO41	第 2 组 GPIO41	I/O			8
		TIMER_IN0	定时器 0 输入信号	I			
	A13	I2C0_SDA*	I ² C0 数据	I/O	3.3/1.8		8
		2ND_GPIO42	第 2 组 GPIO42	I/O			8
		TIMER_IN1	定时器 1 输入信号	I			
I2C-1 (2)	A11	I2C1_SCL*	I ² C1 时钟	I/O	3.3/1.8		8
		UART0_CTSn	UART0 发送允许	I			
		TRACECLK	A9 trace clk 调试信号	O			8
	B11	I2C1_SDA*	I ² C1 数据	I/O	3.3/1.8		8
		UART0_RTSn	UART 发送请求	O			8
		TRACECTL	A9 trace ctl 调试信号	O			8
SPI-0 (4)	D20	SPI0_SCLK*	SPI0 时钟	I/O	3.3/1.8		4
		2ND_GPIO43	第 2 组 GPIO43	I/O			4
	D21	SPI0_CSN0*	SPI0 片选 0	I/O	3.3/1.8		4
		2ND_GPIO44	第 2 组 GPIO44	I/O			4
	E20	SPI0_MISO*	SPI0 主入从出	I/O	3.3/1.8		4
		2ND_GPIO45	第 2 组 GPIO45	I/O			4
	F19	SPI0_MOSI*	SPI0 主出从入	I/O	3.3/1.8		4
		2ND_GPIO46	第 2 组 GPIO46	I/O			4
QXHW (11)	F20	QXHW_CLK*	1553B 时钟	I	3.3/1.8		
		2ND_GPIO47	第 2 组 GPIO47	I/O			4
	E19	QXHW_RXA*	1553B 通道 A 接收	I		3.3/1.8	

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
	D19	2ND_GPIO48	第 2 组 GPIO48	I/O	3.3/1.8		4
		QXHW_RXA_N*	1553B 通道 A 接收	I			4
	E18	2ND_GPIO49	第 2 组 GPIO49	I/O	3.3/1.8		4
		QXHW_RXB*	1553B 通道 B 接收	I			4
	D18	2ND_GPIO50	第 2 组 GPIO50	I/O	3.3/1.8		4
		QXHW_RXB_N*	1553B 通道 B 接收	I			4
	F18	2ND_GPIO51	第 2 组 GPIO51	I/O	3.3/1.8		4
		QXHW_TXA*	1553B 通道 A 发送	O			4
	E17	2ND_GPIO52	第 2 组 GPIO52	I/O	3.3/1.8		4
		QXHW_TXA_N*	1553B 通道 A 发送	O			4
	D17	2ND_GPIO53	第 2 组 GPIO53	I/O	3.3/1.8		4
		QXHW_TXA_INH*	1553B 通道 A 发送禁止	O			4
	E16	2ND_GPIO54	第 2 组 GPIO54	I/O	3.3/1.8		4
		QXHW_TXB*	1553B 通道 B 发送	O			4
	D16	2ND_GPIO55	第 2 组 GPIO55	I/O	3.3/1.8		4
		QXHW_TXB_N*	1553B 通道 B 发送	O			4
	F16	2ND_GPIO56	第 2 组 GPIO56	I/O	3.3/1.8		4
		QXHW_TXB_INH*	1553B 通道 B 发送禁止	O			4
QSPI (6)	E12	2ND_GPIO57	第 2 组 GPIO57	I/O	3.3/1.8		4
		QSPI_SCLK*	QSPI 时钟	O			8
	F10	2ND_GPIO58	第 2 组 GPIO58	I/O	3.3/1.8		4
		QSPI_CSN0*	QSPI 片选 0	O			4
	D12	2ND_GPIO59	第 2 组 GPIO59	I/O	3.3/1.8		4
		QSPI_MOSI*	QSPI 主出从入信号	I/O			4
	F12	2ND_GPIO60	第 2 组 GPIO60	I/O	3.3/1.8		4
		QSPI_MISO*	QSPI 主入从出信号	I/O			4
	D11	2ND_GPIO61	第 2 组 GPIO61	I/O	3.3/1.8		4
		QSPI_WPN*	QSPI 写保护	I/O			4
	E11	2ND_GPIO62	第 2 组 GPIO62	I/O	3.3/1.8		4
		QSPI_HOLDN*	QSPI 保持信号	I/O			4
I2S (4)	C15	2ND_GPIO63	第 2 组 GPIO63	I/O	3.3/1.8		4
		I2S_SCLK*	I2S 位时钟输出	O			8
	A15	I2C2_SCL	I ² C2 时钟	I/O	3.3/1.8		4
		I2S_LRCK*	I2S 帧时钟输出	O			4
	B14	I2C2_SDA	I ² C2 数据	I/O	3.3/1.8		4
		I2S_SDI*	I2S 输入信号	I			4
	A14	PWM_OUT0	PWM 信号输出 0	O	3.3/1.8		4
	I2S_SDO*	I2S 输出信号	O	3.3/1.8		4	

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
		PWM_OUT1	PWM 信号输出 1	O			4
CAN-0 (2)	B13	CAN0_RXD*	CAN0 总线接收	I	3.3/1.8		
		NF_CEN2	NAND FLASH 片选 2	O			8
		EMI_UBN	外部存储器高字节控制 (低有效)	O			4
	C13	CAN0_TXD*	CAN0 总线发送	O	3.3/1.8		8
		NF_CEN3	NAND FLASH 片选 3				8
		EMI_LBN	外部存储器低字节控制 (低有效)				8
GPIO (8)	E15	GPIO_PIN0*	第一组 GPIO0	I/O	3.3/1.8		4
		EXT_IRQ0	外部中断 0	I			
		BOOT_2ND[0]	2nd Boot 配置: 0x0: UART; 0x1: SD Card; 0x2: eMMC Card; 0x3: QSPI Nor Flash; 0x4: Nand Flash; 0x5-0xFF: 保留;	I			
	D15	GPIO_PIN1*	第一组 GPIO1	I/O			4
		EXT_IRQ1	外部中断 1	I			
		BOOT_2ND[1]	参考 BOOT_2ND[0]	I			
	C14	GPIO_PIN2*	第一组 GPIO2	I/O			4
		EXT_IRQ2	外部中断 2	I			
		BOOT_2ND[2]	参考 BOOT_2ND[0]	I			
	D14	GPIO_PIN3*	第一组 GPIO3	I/O			4
		EXT_IRQ3	外部中断 3	I			
		BOOT_2ND[3]	参考 BOOT_2ND[0]	I			
	E14	GPIO_PIN4*	第一组 GPIO4	I/O			4
		WDT_OUT	芯片看门狗复位输出信号	O			4
		BOOT_2ND[4]	参考 BOOT_2ND[0]	I			
	F14	GPIO_PIN5*	第一组 GPIO5	I/O			4
		QSPI_CSN1	QSPI 片选 1	O			
		BOOT_2ND[5]	参考 BOOT_2ND[0]	I			
	E13	GPIO_PIN6*	第一组 GPIO6	I/O			4
		SPI0_CSN1	SPI0 片选 1	I/O			4
		BOOT_2ND[6]	参考 BOOT_2ND[0]	I			
	D13	GPIO_PIN7*	第一组 GPIO7	I/O			4
		SPI1_CSN1	SPI1 片选 1	I/O			4
		BOOT_2ND[7]	参考 BOOT_2ND[0]	I			

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
NAND FLASH (16)	B10	NF_CEN0*	Nand flash 片选信号 0	O	3.3/1.8		4
		GPIO_PIN8	第一组 GPIO8	I/O			4
		TRACE0	A9 trace 调试信号 0	O			4
	C10	NF_CEN1*	Nand flash 片选信号 1	O	3.3/1.8		4
		GPIO_PIN9	第一组 GPIO9	I/O			4
		TRACE1	A9 trace 调试信号 1	O			4
	A10	NF_ALE*	Nand flash 地址锁存使能信号	O	3.3/1.8		4
		GPIO_PIN10	第一组 GPIO10	I/O			4
		TRACE2	A9 trace 调试信号 2	O			4
	D10	NF_CLE*	Nand flash 命令锁存使能信号	O	3.3/1.8		4
		GPIO_PIN11	第一组 GPIO11	I/O			4
		TRACE3	A9 trace 调试信号 3	O			4
	E10	NF_REN*	Nand flash 读信号	O	3.3/1.8		4
		GPIO_PIN12	第一组 GPIO12	I/O			4
		TRACE4	A9 trace 调试信号 4	O			4
	C11	NF_WEN*	Nand flash 写信号	O	3.3/1.8		4
		GPIO_PIN13	第一组 GPIO13	I/O			4
		TRACE5	A9 trace 调试信号 5	O			4
	A9	NF_WPN*	Nand flash 写保护信号	O	3.3/1.8		4
		GPIO_PIN14	第一组 GPIO14	I/O			4
		TRACE6	A9 trace 调试信号 6	O			4
	E9	NF_RBN*	Nand flash 忙状态信号	I	3.3/1.8		
		GPIO_PIN15	第一组 GPIO15	I/O			4
		TRACE7	A9 trace 调试信号 7	O			4
	C9	NF_IO0*	Nand flash 数据信号 0	I/O	3.3/1.8		4
		GPIO_PIN16	第一组 GPIO16	I/O			4
		TRACE8	A9 trace 调试信号 8	O			4
	D9	NF_IO1*	Nand flash 数据信号 1	I/O	3.3/1.8		4
		GPIO_PIN17	第一组 GPIO17	I/O			4
		TRACE9	A9 trace 调试信号 9	O			4
	F8	NF_IO2*	Nand flash 数据信号 2	I/O	3.3/1.8		4
		GPIO_PIN18	第一组 GPIO18	I/O			4
TRACE10		A9 trace 调试信号 10	O			4	
F7	NF_IO3*	Nand flash 数据信号 3	I/O	3.3/1.8		4	
	GPIO_PIN19	第一组 GPIO19	I/O			4	
	TRACE11	A9 trace 调试信号 11	O			4	
E8	NF_IO4*	Nand flash 数据信号 4	I/O	3.3/1.8		4	
	GPIO_PIN20	第一组 GPIO20	I/O			4	

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
	D8	TRACE12	A9 trace 调试信号 12	O	3.3/1.8		4
		NF_IO5*	Nand flash 数据信号 5	I/O			4
		GPIO_PIN21	第一组 GPIO21	I/O			4
	C8	TRACE13	A9 trace 调试信号 13	O	3.3/1.8		4
		NF_IO6*	Nand flash 数据信号 6	I/O			4
		GPIO_PIN22	第一组 GPIO22	I/O			4
	B8	TRACE14	A9 trace 调试信号 14	O	3.3/1.8		4
		NF_IO7*	Nand flash 数据信号 7	I/O			4
		GPIO_PIN23	第一组 GPIO23	I/O			4
USB-0	C12	USB0_VBUS_VLDEN*	驱动 Vbus, 允许驱动 Vbus 到 5V (高有效)	O	3.3/1.8		4
		SDIO_VOLT_EN	外部 SDIO 电压开关, 该信号控制 I/O 单元的外部电压调节器。为高时, 切换电压从 3.3V 到 1.8V 1:1.8V 0:3.3V				4
EMI (51)	G2	EMI_CSN0*	EMI 片选 0	O	3.3/1.8		4
		GPIO_PIN24	第一组 GPIO24	I/O			4
	F5	EMI_CSN1*	EMI 片选 1	O	3.3/1.8		4
		GPIO_PIN25	第一组 GPIO25	I/O			4
	F2	EMI_CSN2*	EMI 片选 2	O	3.3/1.8		4
		GPIO_PIN26	第一组 GPIO26	I/O			4
	F1	EMI_CSN3*	EMI 片选 3	O	3.3/1.8		4
		GPIO_PIN27	第一组 GPIO27	I/O			4
	G4	EMI_OEN*	EMI 输出使能	O	3.3/1.8		4
		GPIO_PIN28	第一组 GPIO28	I/O			4
	G3	EMI_WEN*	EMI 写信号	O	3.3/1.8		4
		GPIO_PIN29	第一组 GPIO29	I/O			4
	H6	EMI_WAIT0*	外部存储器 CS0 访问周期拓展	I	3.3/1.8		4
		GPIO_PIN30	第一组 GPIO30	I/O			4
	H5	EMI_WAIT1*	外部存储器 CS1 访问周期拓展	I	3.3/1.8		4
		GPIO_PIN31	第一组 GPIO31	I/O			4
	G6	EMI_WAIT2*	外部存储器 CS2 访问周期拓展	I	3.3/1.8		4
		GPIO_PIN32	第一组 GPIO32	I/O			4
G5	EMI_WAIT3*	外部存储器 CS3 访问周期拓展	I	3.3/1.8		4	
	GPIO_PIN33	第一组 GPIO33	I/O			4	
G1		EMI_DQ0*	EMI 数据 0	I/O	3.3/1.8		4

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
		GPIO_PIN34	第一组 GPIO34	I/O			4
	H1	EMI_DQ1*	EMI 数据 1	I/O	3.3/1.8		4
		GPIO_PIN35	第一组 GPIO35	I/O			4
	H2	EMI_DQ2*	EMI 数据 2	I/O	3.3/1.8		4
		GPIO_PIN36	第一组 GPIO36	I/O			4
	H3	EMI_DQ3*	EMI 数据 3	I/O	3.3/1.8		4
		GPIO_PIN37	第一组 GPIO37	I/O			4
	H4	EMI_DQ4*	EMI 数据 4	I/O	3.3/1.8		4
		GPIO_PIN38	第一组 GPIO38	I/O			4
	J6	EMI_DQ5*	EMI 数据 5	I/O	3.3/1.8		4
		GPIO_PIN39	第一组 GPIO39	I/O			4
	J5	EMI_DQ6*	EMI 数据 6	I/O	3.3/1.8		4
		GPIO_PIN40	第一组 GPIO40	I/O			4
	J2	EMI_DQ7*	EMI 数据 7	I/O	3.3/1.8		4
		GPIO_PIN41	第一组 GPIO41	I/O			4
	J1	EMI_DQ8*	EMI 数据 8	I/O	3.3/1.8		4
		NF_IO[8]	Nand flash 数据信号 8	I/O			4
	K1	EMI_DQ9*	EMI 数据 9	I/O	3.3/1.8		4
		NF_IO[9]	Nand flash 数据信号 9	I/O			4
	K2	EMI_DQ10*	EMI 数据 10	I/O	3.3/1.8		4
		NF_IO[10]	Nand flash 数据信号 10	I/O			4
	K3	EMI_DQ11*	EMI 数据 11	I/O	3.3/1.8		4
		NF_IO[11]	Nand flash 数据信号 11	I/O			4
	K4	EMI_DQ12*	EMI 数据 12	I/O	3.3/1.8		4
		NF_IO[12]	Nand flash 数据信号 12	I/O			4
	K5	EMI_DQ13*	EMI 数据 13	I/O	3.3/1.8		4
		NF_IO[13]	Nand flash 数据信号 13	I/O			4
	K6	EMI_DQ14*	EMI 数据 14	I/O	3.3/1.8		4
		NF_IO[14]	Nand flash 数据信号 14	I/O			4
	L6	EMI_DQ15*	EMI 数据 15	I/O	3.3/1.8		4
		NF_IO[15]	Nand flash 数据信号 15	I/O			4
	L5	EMI_A0*	EMI 地址 0	O	3.3/1.8		4
		GPIO_PIN42	第一组 GPIO42	I/O			4
		BT1120_CLK	BT1120 时钟	I			
	L4	EMI_A1*	EMI 地址 1	O	3.3/1.8		4
		GPIO_PIN43	第一组 GPIO43	I/O			4
		BT1120_D15	BT1120 数据 15	I			
	L3	EMI_A2*	EMI 地址 2	O	3.3/1.8		4

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)	
		GPIO_PIN44	第一组 GPIO44	I/O	3.3/1.8		4	
		BT1120_D14	BT1120 数据 14	I				
	L2	EMI_A3*	EMI 地址 3	O			4	
		GPIO_PIN45	第一组 GPIO45	I/O			4	
	M2	BT1120_D13	BT1120 数据 13	I				
		EMI_A4*	EMI 地址 4	O			4	
		GPIO_PIN46	第一组 GPIO46	I/O			4	
	M3	BT1120_D12	BT1120 数据 12	I				
		EMI_A5*	EMI 地址 5	O			4	
		GPIO_PIN47	第一组 GPIO47	I/O			4	
	M4	BT1120_D11	BT1120 数据 11	I				
		EMI_A6*	EMI 地址 6	O			4	
		GPIO_PIN48	第一组 GPIO48	I/O			4	
	M5	BT1120_D10	BT1120 数据 10	I				
		EMI_A7*	EMI 地址 7	O			4	
		GPIO_PIN49	第一组 GPIO49	I/O			4	
	M6	BT1120_D9	BT1120 数据 9	I				
		EMI_A8*	EMI 地址 8	O			4	
		GPIO_PIN50	第一组 GPIO50	I/O			4	
	N5	BT1120_D8	BT1120 数据 8	I				
		EMI_A9*	EMI 地址 9	O			4	
		GPIO_PIN51	第一组 GPIO51	I/O			4	
	N4	BT1120_D7	BT1120 数据 7	I				
		EMI_A10*	EMI 地址 10	O			4	
		GPIO_PIN52	第一组 GPIO52	I/O			4	
	N3	BT1120_D6	BT1120 数据 6	I				
		EMI_A11*	EMI 地址 11	O			4	
		GPIO_PIN53	第一组 GPIO53	I/O			4	
	P4	BT1120_D5	BT1120 数据 5	I				
		EMI_A12*	EMI 地址 12	O			4	
		GPIO_PIN54	第一组 GPIO54	I/O			4	
	P5	BT1120_D4	BT1120 数据 4	I				
		EMI_A13*	EMI 地址 13	O			4	
		GPIO_PIN55	第一组 GPIO55	I/O			4	
	P6	BT1120_D3	BT1120 数据 3	I				
		EMI_A14*	EMI 地址 14	O			4	
		GPIO_PIN56	第一组 GPIO56	I/O			4	
			BT1120_D2	BT1120 数据 2		I		

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
	R5	EMI_A15*	EMI 地址 15	O	3.3/1.8		4
		GPIO_PIN57	第一组 GPIO57	I/O			4
		BT1120_D1	BT1120 数据 1	I			
	R4	EMI_A16*	EMI 地址 16	O	3.3/1.8		4
		GPIO_PIN58	第一组 GPIO58	I/O			4
		BT1120_D0	BT1120 数据 0	I			
	T4	EMI_A17*	EMI 地址 17	O	3.3/1.8		4
		GPIO_PIN59	第一组 GPIO59	I/O			4
	T5	EMI_A18*	EMI 地址 18	O	3.3/1.8		4
		GPIO_PIN60	第一组 GPIO60	I/O			4
	T6	EMI_A19*	EMI 地址 19	O	3.3/1.8		4
		GPIO_PIN61	第一组 GPIO61	I/O			4
	V6	EMI_A20*	EMI 地址 20	O	3.3/1.8		4
		GPIO_PIN62	第一组 GPIO62	I/O			4
		TIMER_IN2	定时器输入 2	I			
	U5	EMI_A21*	EMI 地址 21	O	3.3/1.8		4
		GPIO_PIN63	第一组 GPIO63	I/O			4
		TIMER_IN3	定时器输入 3	I			
	U4	EMI_A22*	EMI 地址 22	I/O	3.3/1.8		
		2ND_GPIO32	第 2 组 GPIO32				
		USB0_VBUSVLD	USB Vbus 有效, 表明电压 Vbus 是否对 A/B 设备/外设操作有效, 比较阈值为: 0: Vbus<4.4V 1: Vbus>4.75V				4
	V4	EMI_A23*	EMI 地址 23	O	3.3/1.8		4
		SEN_MCLK	传感器主时钟				4
V3	EMI_A24*	EMI 地址 24	O	3.3/1.8		4	
	I2S_MCLK	I2S 主时钟输出				4	
	EMI_ADV	ADM 模式下外部存储器地址有效信号				4	
ARM JTAG (5)	Y4	JTAG0_TCK	A9 JTAG clk 信号	I	3.3/1.8		
	W5	JTAG0_TMS	A9 JTAG tms 信号	I	3.3/1.8		
	W4	JTAG0_TDI	A9 JTAG tdi 信号	I	3.3/1.8		
	V5	JTAG0_TDO	A9 JTAG tdo 信号	O	3.3/1.8		8
	AA4	JTAG0_TRSTN	A9 JTAG 复位信号	I	3.3/1.8	U	
SPARC JTAG (5)	Y5	JTAG1_TCK	SPARC JTAG clk 信号	I	3.3/1.8		
	AA6	JTAG1_TMS	SPARC JTAG tms 信号	I	3.3/1.8		

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
	AA5	JTAG1_TDI	SPARC JTAG tdi 信号	I	3.3/1.8		
	Y6	JTAG1_TDO	SPARC JTAG tdo 信号	O	3.3/1.8		8
	AB4	JTAG1_TRSTN	SPARC JTAG 复位信号	I	3.3/1.8		
SPARC CONFIG (9)	AB6	SPARC_DSUACT	SPARC DSU 活动状态指示	O	3.3/1.8		4
	AC5	SPARC_DSUBRE	SPARC DSU Break 输入信号: 当此信号由 0 变为 1 时, 将使得处理器进入调试模式; 平时情况下, 需将此信号需保持低电平。	I	3.3/1.8	D	
	AC6	SPARC_DSUEN	SPARC DSU 使能, Debug 模式下为高, Normal 模式下为低。	I	3.3/1.8		
	AB5	SPARC_DSUTX	SPARC DSU 发送	O	3.3/1.8		4
	AC4	SPARC_DSURX	SPARC DSU 接收	I	3.3/1.8		
	AD4	SPARC_UARTTX	SPARC UART 发送	O	3.3/1.8		4
	AD3	SPARC_UARTRX	SPARC UART 接收	I	3.3/1.8	U	
	AE4	SPARC_ERRORN	SPARC 内部处理错误状态信号	O	3.3/1.8		4
	OSC (2)	L1	XTAL24M_IN	无源主晶振时钟输入或有源单脚晶振输入	I	1.8	
M1		XTAL24M_OUT	主晶振时钟输出	O	-		
ETHNET (27)	AE6	ENET_MII_TXCLK	以太网 MII 发送时钟	I	3.3/1.8		
	AE5	ENET_MDC	以太网管理数据时钟	O	3.3/1.8		4
	AF4	ENET_MDIO	以太网管理数据输入输出	I/O	3.3/1.8		4
	AF5	ENET_RXCLK	以太网接收时钟	I	3.3/1.8		
	AG5	ENET_TXCLK	以太网发送时钟	O	3.3/1.8		4
	AG4	ENET_CRCS	PHY CRS 信号	I	3.3/1.8		
	AF6	ENET_COL	PHY 冲突信号, 高有效	I	3.3/1.8		
	AG6	ENET_RXER	PHY 接收错误, 高有效	I	3.3/1.8		
	AG7	ENET_RXDV	PHY 接收数据有效, 高有效	I	3.3/1.8		
	AE7	ENET_RXD0	以太网接收数据 0	I	3.3/1.8		
	AF8	ENET_RXD1	以太网接收数据 1	I	3.3/1.8		
	AE8	ENET_RXD2	以太网接收数据 2	I	3.3/1.8		
	AH8	ENET_RXD3	以太网接收数据 3	I	3.3/1.8		
	AG9	ENET_RXD4	以太网接收数据 4	I	3.3/1.8		
	AG8	ENET_RXD5	以太网接收数据 5	I	3.3/1.8		
	AE9	ENET_RXD6	以太网接收数据 6	I	3.3/1.8		
	AF9	ENET_RXD7	以太网接收数据 7	I	3.3/1.8		
	AG11	ENET_TXER	PHY 发送错误, 高有效	O	3.3/1.8		4
	AE10	ENET_TXEN	PHY 发送数据使能, 高有效	O	3.3/1.8		4
	AG10	ENET_TXD0	以太网发送数据 0	O	3.3/1.8		4

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
	AF11	ENET_TXD1	以太网发送数据 1	O	3.3/1.8		4
	AF12	ENET_TXD2	以太网发送数据 2	O	3.3/1.8		4
	AE12	ENET_TXD3	以太网发送数据 3	O	3.3/1.8		4
	AE11	ENET_TXD4	以太网发送数据 4	O	3.3/1.8		4
	AF13	ENET_TXD5	以太网发送数据 5	O	3.3/1.8		4
	AG13	ENET_TXD6	以太网发送数据 6	O	3.3/1.8		4
	AG12	ENET_TXD7	以太网发送数据 7	O	3.3/1.8		4
RTC (6)	B1	XTAL32K_IN	RTC 32.768K 时钟输入	I	3.3		
	C1	XTAL32K_OUT	RTC 32K 时钟输出	O	-		
	D1	RTC_RESETN	RTC 复位	I	3.3		
	E1	RTC_BUTTON	RTC 之外的 SOC 上/下电请求	I	3.3		
	C2	SOC_ISO_EN	电源隔离控制, 1 时 RTC 带电, 芯片其他模块掉电	I	3.3		
	D2	SOC_PMIC_EN	上电请求信号	O	3.3		
SDIO (14)	A6	SDIO_CCLK_OUT	SDIO 时钟输出	O	3.3		
	C7	SDIO_CCMD	SDIO 命令输出, 高有效	O	3.3		
	C5	SDIO_CDATA0	SDIO 数据 0	I/O	3.3		
	D5	SDIO_CDATA1	SDIO 数据 1	I/O	3.3		
	F6	SDIO_CDATA2	SDIO 数据 2	I/O	3.3		
	E6	SDIO_CDATA3	SDIO 数据 3	I/O	3.3		
	D6	SDIO_CDATA4	SDIO 数据 4	I/O	3.3		
	C6	SDIO_CDATA5	SDIO 数据 5	I/O	3.3		
	D7	SDIO_CDATA6	SDIO 数据 6	I/O	3.3		
	E7	SDIO_CDATA7	SDIO 数据 7	I/O	3.3		
	B6	SDIO_DATA_STROBE	SDIO 数据选通信号	I	3.3		
	A7	SDIO_RESET_N*	设备复位信号输出	O	3.3		
	A8	SDIO_CARD_DETECT_N	卡发现信号, 低为与卡连接	I	3.3		
	B7	SDIO_CARD_WRITE_PROT	写保护信号, 低为写保护	I	3.3		
MIPI CSI2 (11)	AK11	MIPI_CK_N	MIPI 差分时钟 N	I/O			
	AJ11	MIPI_CK_P	MIPI 差分时钟 P	I/O			
	AK9	MIPI_D0_N	MIPI 差分数据 0N	I/O			
	AJ9	MIPI_D0_P	MIPI 差分数据 0P	I/O			
	AK10	MIPI_D1_N	MIPI 差分数据 1N	I/O			
	AJ10	MIPI_D1_P	MIPI 差分数据 1P	I/O			
	AK12	MIPI_D2_N	MIPI 差分数据 2N	I/O			
	AJ12	MIPI_D2_P	MIPI 差分数据 2P	I/O			
	AK13	MIPI_D3_N	MIPI 差分数据 3N	I/O			

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
	AJ13	MIPI_D3_P	MIPI 差分数据 3P	I/O			
	AH9	MIPI_REXT	连接到 REXT 和地之间的外部 100 欧姆电阻起进行校准	I/O			
Camera Link (43)	AK19	CMLINK_RX_X0_N	Cameralink X 轴接收差分数据 0N	I			
	AJ19	CMLINK_RX_X0_P	Cameralink X 轴接收差分数据 0P	I			
	AK18	CMLINK_RX_X1_N	Cameralink X 轴接收差分数据 1N	I			
	AJ18	CMLINK_RX_X1_P	Cameralink X 轴接收差分数据 1P	I			
	AK16	CMLINK_RX_XCLK_N	Cameralink X 轴接收差分时钟 N	I			
	AJ16	CMLINK_RX_XCLK_P	Cameralink X 轴接收差分时钟 P	I			
	AK17	CMLINK_RX_X2_N	Cameralink X 轴接收差分数据 2N	I			
	AJ17	CMLINK_RX_X2_P	Cameralink X 轴接收差分数据 2P	I			
	AK15	CMLINK_RX_X3_N	Cameralink X 轴接收差分数据 3N	I			
	AJ15	CMLINK_RX_X3_P	Cameralink X 轴接收差分数据 3P	I			
	AF18	CMLINK_SerTC_OUT_P	Cameralink 发送至数字相机的差分串行通信 P	O			
	AG18	CMLINK_SerTC_OUT_N	Cameralink 发送至数字相机的差分串行通信 N	O			
	AG19	CMLINK_SerTFG_INM	数字相机发送至 Cameralink 的差分串行通信 M	I			
	AF19	CMLINK_SerTFG_INP	数字相机发送至 Cameralink 的差分串行通信 P	I			
	AE15	CMLINK_RTUNE	偏置电流调谐输入 (24 千欧接地)	I			
	AG17	CMLINK_CC1_OUT_N	Cameralink 差分控制信号 1N	O			
	AF17	CMLINK_CC1_OUT_P	Cameralink 差分控制信号 1P	O			
	AG16	CMLINK_CC2_OUT_N	Cameralink 差分控制信号 2N	O			
	AF16	CMLINK_CC2_OUT_P	Cameralink 差分控制信号 2P	O			
	AG15	CMLINK_CC3_OUT_N	Cameralink 差分控制信号 3N	O			
AF15	CMLINK_CC3_OUT_P	Cameralink 差分控制信号 3P	O				
AG14	CMLINK_CC4_OUT_N	Cameralink 差分控制信号 4N	O				
AF14	CMLINK_CC4_OUT_P	Cameralink 差分控制信号 4P	O				

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
	AG25	CMLINK_RX_Y0_N	Cameralink Y 轴接收差分数据 0N	I			
	AF25	CMLINK_RX_Y0_P	Cameralink Y 轴接收差分数据 0P	I			
	AG24	CMLINK_RX_Y1_N	Cameralink Y 轴接收差分数据 1N	I			
	AF24	CMLINK_RX_Y1_P	Cameralink Y 轴接收差分数据 1P	I			
	AG23	CMLINK_RX_YCLK_N	Cameralink Y 轴接收差分时钟 N	I			
	AF23	CMLINK_RX_YCLK_P	Cameralink Y 轴接收差分时钟 P	I			
	AG22	CMLINK_RX_Y2_N	Cameralink Y 轴接收差分数据 2N	I			
	AF22	CMLINK_RX_Y2_P	Cameralink Y 轴接收差分数据 2P	I			
	AG21	CMLINK_RX_Y3_N	Cameralink Y 轴接收差分数据 3N	I			
	AF21	CMLINK_RX_Y3_P	Cameralink Y 轴接收差分数据 3P	I			
	AK25	CMLINK_RX_Z0_N	Cameralink Z 轴接收差分数据 0N	I			
	AJ25	CMLINK_RX_Z0_P	Cameralink Z 轴接收差分数据 0P	I			
	AK24	CMLINK_RX_Z1_N	Cameralink Z 轴接收差分数据 1N	I			
	AJ24	CMLINK_RX_Z1_P	Cameralink Z 轴接收差分数据 1P	I			
	AK23	CMLINK_RX_ZCLK_N	Cameralink Z 轴接收差分时钟 N	I			
	AJ23	CMLINK_RX_ZCLK_P	Cameralink Z 轴接收差分时钟 P	I			
	AK22	CMLINK_RX_Z2_N	Cameralink Z 轴接收差分数据 2N	I			
	AJ22	CMLINK_RX_Z2_P	Cameralink Z 轴接收差分数据 2P	I			
	AK21	CMLINK_RX_Z3_N	Cameralink Z 轴接收差分数据 3N	I			
	AJ21	CMLINK_RX_Z3_P	Cameralink Z 轴接收差分数据 3P	I			
USB-0 (5)	C4	USB0_ID	USB0 OTG ID 检测信号	I/O			
	A3	USB0_VBUS	USB0 电源线	I			
	B4	USB0_DP	USB0 差分数据信号正端	I/O			
	A4	USB0_DM	USB0 差分数据信号负端	I/O			
	A5	USB0_REXT	连接额外的 300 欧姆电阻到地	I/O			
USB-1 (3)	B2	USB1_DP	USB1 差分数据信号正端	I/O			
	A2	USB1_DM	USB1 差分数据信号负端	I/O			
	C3	USB1_REXT	连接额外的 300 欧姆电阻到地	I/O			
PCIe (18)	AJ5	PCIE_REF_CLK_P	PCIE 差分参考时钟输入 P	I			
	AK5	PCIE_REF_CLK_M	PCIE 差分参考时钟输入 M	I			
	AE2	PCIE_TX0_P	PCIE 差分数据发送 0P	O			

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
	AE1	PCIE_TX0_M	PCIE 差分数据发送 0M	O			
	AJ3	PCIE_RX0_P	PCIE 差分数据接收 0P	I			
	AK3	PCIE_RX0_M	PCIE 差分数据接收 0M	I			
	AF2	PCIE_TX1_P	PCIE 差分数据发送 1P	O			
	AF1	PCIE_TX1_M	PCIE 差分数据发送 1M	O			
	AJ4	PCIE_RX1_P	PCIE 差分数据接收 1P	I			
	AK4	PCIE_RX1_M	PCIE 差分数据接收 2M	I			
	AG2	PCIE_TX2_P	PCIE 差分数据发送 2P	O			
	AG1	PCIE_TX2_M	PCIE 差分数据发送 2M	O			
	AJ6	PCIE_RX2_P	PCIE 差分数据接收 2P	I			
	AK6	PCIE_RX2_M	PCIE 差分数据接收 2M	I			
	AH2	PCIE_TX3_P	PCIE 差分数据发送 3P	O			
	AH1	PCIE_TX3_M	PCIE 差分数据发送 3M	O			
	AJ7	PCIE_RX3_P	PCIE 差分数据接收 3P	I			
	AK7	PCIE_RX3_M	PCIE 差分数据接收 3M	I			
RapidIO (19)	P2	SRIO_RX0_P	RapidIO 差分数据接收 0P	I			
	P1	SRIO_RX0_M	RapidIO 差分数据接收 0M	I			
	W2	SRIO_TX0_P	RapidIO 差分数据发送 0P	O			
	W1	SRIO_TX0_M	RapidIO 差分数据发送 0M	O			
	R2	SRIO_RX1_P	RapidIO 差分数据接收 1P	I			
	R1	SRIO_RX1_M	RapidIO 差分数据接收 1M	I			
	Y2	SRIO_TX1_P	RapidIO 差分数据发送 1P	O			
	Y1	SRIO_TX1_M	RapidIO 差分数据发送 1M	O			
	T2	SRIO_RX2_P	RapidIO 差分数据接收 2P	I			
	T1	SRIO_RX2_M	RapidIO 差分数据接收 2M	I			
	AB2	SRIO_TX2_P	RapidIO 差分数据发送 2P	O			
	AB1	SRIO_TX2_M	RapidIO 差分数据发送 2M	O			
	U2	SRIO_RX3_P	RapidIO 差分数据接收 3P	I			
	U1	SRIO_RX3_M	RapidIO 差分数据接收 3M	I			
	AC2	SRIO_TX3_P	RapidIO 差分数据发送 3P	O			
	AC1	SRIO_TX3_M	RapidIO 差分数据发送 3M	O			
	AA2	SRIO_REF_CLK_P	RapidIO 差分参考时钟输入 P	I			
	AA1	SRIO_REF_CLK_M	RapidIO 差分参考时钟输入 M	I			
	AE13	HISS_ATEST	模拟测试总线感测	I/O			
Display (20)	A26	LVDS_TX_TA0N	LVDS 差分数据通道 0N	O			
	B26	LVDS_TX_TA0P	LVDS 差分数据通道 0P	O			
	A25	LVDS_TX_TA1N	LVDS 差分数据通道 1N	O			
	B25	LVDS_TX_TA1P	LVDS 差分数据通道 1P	O			

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/ 下拉 (D)	驱动电流 (Ma)
	A23	LVDS_TX_TA2N	LVDS 差分数据通道 2N	O			
	B23	LVDS_TX_TA2P	LVDS 差分数据通道 2P	O			
	A22	LVDS_TX_TA3N	LVDS 差分数据通道 3N	O			
	B22	LVDS_TX_TA3P	LVDS 差分数据通道 3P	O			
	A24	LVDS_TX_TAACLKN	LVDS 差分时钟通道 AAN	O			
	B24	LVDS_TX_TAACLKP	LVDS 差分时钟通道 AAP	O			
	A19	LVDS_TX_TABCLKN	LVDS 差分时钟通道 ABN	O			
	B19	LVDS_TX_TABCLKP	LVDS 差分时钟通道 ABP	O			
	A21	LVDS_TX_TA4N	LVDS 差分数据通道 4N	O			
	B21	LVDS_TX_TA4P	LVDS 差分数据通道 4P	O			
	A20	LVDS_TX_TA5N	LVDS 差分数据通道 5N	O			
	B20	LVDS_TX_TA5P	LVDS 差分数据通道 5P	O			
	A18	LVDS_TX_TA6N	LVDS 差分数据通道 6N	O			
	B18	LVDS_TX_TA6P	LVDS 差分数据通道 6P	O			
	A17	LVDS_TX_TA7N	LVDS 差分数据通道 7N	O			
	B17	LVDS_TX_TA7P	LVDS 差分数据通道 7P	O			
		C22	LVDS_TX_RTUNE	偏置电流调谐输入 (24 千欧接地)	I/O		
DDR (172)	A28	PAD_MEM_DATA[0]	DDR 数据信号 0	I/O	1.5/1.3 5/1.2		
	A29	PAD_MEM_DATA[1]	DDR 数据信号 1	I/O	1.5/1.3 5/1.2		
	G26	PAD_MEM_DATA[10]	DDR 数据信号 10	I/O	1.5/1.3 5/1.2		
	E27	PAD_MEM_DATA[11]	DDR 数据信号 11	I/O	1.5/1.3 5/1.2		
	G28	PAD_MEM_DATA[12]	DDR 数据信号 12	I/O	1.5/1.3 5/1.2		
	D27	PAD_MEM_DATA[13]	DDR 数据信号 13	I/O	1.5/1.3 5/1.2		
	D28	PAD_MEM_DATA[14]	DDR 数据信号 14	I/O	1.5/1.3 5/1.2		
	G27	PAD_MEM_DATA[15]	DDR 数据信号 15	I/O	1.5/1.3 5/1.2		
	H25	PAD_MEM_DATA[16]	DDR 数据信号 16	I/O	1.5/1.3 5/1.2		
	H27	PAD_MEM_DATA[17]	DDR 数据信号 17	I/O	1.5/1.3 5/1.2		
	H28	PAD_MEM_DATA[18]	DDR 数据信号 18	I/O	1.5/1.3		

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
					5/1.2		
	J25	PAD_MEM_DATA[19]	DDR 数据信号 19	I/O	1.5/1.3 5/1.2		
	B28	PAD_MEM_DATA[2]	DDR 数据信号 2	I/O	1.5/1.3 5/1.2		
	K25	PAD_MEM_DATA[20]	DDR 数据信号 20	I/O	1.5/1.3 5/1.2		
	K26	PAD_MEM_DATA[21]	DDR 数据信号 21	I/O	1.5/1.3 5/1.2		
	K28	PAD_MEM_DATA[22]	DDR 数据信号 22	I/O	1.5/1.3 5/1.2		
	K27	PAD_MEM_DATA[23]	DDR 数据信号 23	I/O	1.5/1.3 5/1.2		
	F29	PAD_MEM_DATA[24]	DDR 数据信号 24	I/O	1.5/1.3 5/1.2		
	G29	PAD_MEM_DATA[25]	DDR 数据信号 25	I/O	1.5/1.3 5/1.2		
	G30	PAD_MEM_DATA[26]	DDR 数据信号 26	I/O	1.5/1.3 5/1.2		
	J29	PAD_MEM_DATA[27]	DDR 数据信号 27	I/O	1.5/1.3 5/1.2		
	K30	PAD_MEM_DATA[28]	DDR 数据信号 28	I/O	1.5/1.3 5/1.2		
	K29	PAD_MEM_DATA[29]	DDR 数据信号 29	I/O	1.5/1.3 5/1.2		
	C29	PAD_MEM_DATA[3]	DDR 数据信号 3	I/O	1.5/1.3 5/1.2		
	M30	PAD_MEM_DATA[30]	DDR 数据信号 30	I/O	1.5/1.3 5/1.2		
	M29	PAD_MEM_DATA[31]	DDR 数据信号 31	I/O	1.5/1.3 5/1.2		
	W29	PAD_MEM_DATA[32]	DDR 数据信号 32	I/O	1.5/1.3 5/1.2		
	V30	PAD_MEM_DATA[33]	DDR 数据信号 33	I/O	1.5/1.3 5/1.2		
	U30	PAD_MEM_DATA[34]	DDR 数据信号 34	I/O	1.5/1.3 5/1.2		
	V29	PAD_MEM_DATA[35]	DDR 数据信号 35	I/O	1.5/1.3 5/1.2		

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/ 下拉 (D)	驱动电流 (Ma)
	T29	PAD_MEM_DATA[36]	DDR 数据信号 36	I/O	1.5/1.3 5/1.2		
	P30	PAD_MEM_DATA[37]	DDR 数据信号 37	I/O	1.5/1.3 5/1.2		
	N30	PAD_MEM_DATA[38]	DDR 数据信号 38	I/O	1.5/1.3 5/1.2		
	N29	PAD_MEM_DATA[39]	DDR 数据信号 39	I/O	1.5/1.3 5/1.2		
	D29	PAD_MEM_DATA[4]	DDR 数据信号 4	I/O	1.5/1.3 5/1.2		
	AD28	PAD_MEM_DATA[40]	DDR 数据信号 40	I/O	1.5/1.3 5/1.2		
	AC27	PAD_MEM_DATA[41]	DDR 数据信号 41	I/O	1.5/1.3 5/1.2		
	AC28	PAD_MEM_DATA[42]	DDR 数据信号 42	I/O	1.5/1.3 5/1.2		
	AC25	PAD_MEM_DATA[43]	DDR 数据信号 43	I/O	1.5/1.3 5/1.2		
	AB25	PAD_MEM_DATA[44]	DDR 数据信号 44	I/O	1.5/1.3 5/1.2		
	AA26	PAD_MEM_DATA[45]	DDR 数据信号 45	I/O	1.5/1.3 5/1.2		
	AA27	PAD_MEM_DATA[46]	DDR 数据信号 46	I/O	1.5/1.3 5/1.2		
	AA28	PAD_MEM_DATA[47]	DDR 数据信号 47	I/O	1.5/1.3 5/1.2		
	AE29	PAD_MEM_DATA[48]	DDR 数据信号 48	I/O	1.5/1.3 5/1.2		
	AD29	PAD_MEM_DATA[49]	DDR 数据信号 49	I/O	1.5/1.3 5/1.2		
	C30	PAD_MEM_DATA[5]	DDR 数据信号 5	I/O	1.5/1.3 5/1.2		
	AD30	PAD_MEM_DATA[50]	DDR 数据信号 50	I/O	1.5/1.3 5/1.2		
	AE30	PAD_MEM_DATA[51]	DDR 数据信号 51	I/O	1.5/1.3 5/1.2		
	AA29	PAD_MEM_DATA[52]	DDR 数据信号 52	I/O	1.5/1.3 5/1.2		
	AA30	PAD_MEM_DATA[53]	DDR 数据信号 53	I/O	1.5/1.3		

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
					5/1.2		
	Y30	PAD_MEM_DATA[54]	DDR 数据信号 54	I/O	1.5/1.3 5/1.2		
	W30	PAD_MEM_DATA[55]	DDR 数据信号 55	I/O	1.5/1.3 5/1.2		
	AH27	PAD_MEM_DATA[56]	DDR 数据信号 56	I/O	1.5/1.3 5/1.2		
	AG28	PAD_MEM_DATA[57]	DDR 数据信号 57	I/O	1.5/1.3 5/1.2		
	AG27	PAD_MEM_DATA[58]	DDR 数据信号 58	I/O	1.5/1.3 5/1.2		
	AH28	PAD_MEM_DATA[59]	DDR 数据信号 59	I/O	1.5/1.3 5/1.2		
	F30	PAD_MEM_DATA[6]	DDR 数据信号 6	I/O	1.5/1.3 5/1.2		
	AE28	PAD_MEM_DATA[60]	DDR 数据信号 60	I/O	1.5/1.3 5/1.2		
	AD26	PAD_MEM_DATA[61]	DDR 数据信号 61	I/O	1.5/1.3 5/1.2		
	AD25	PAD_MEM_DATA[62]	DDR 数据信号 62	I/O	1.5/1.3 5/1.2		
	AD27	PAD_MEM_DATA[63]	DDR 数据信号 63	I/O	1.5/1.3 5/1.2		
	AK29	PAD_MEM_DATA[64]	DDR 数据信号 64	I/O	1.5/1.3 5/1.2		
	AJ27	PAD_MEM_DATA[65]	DDR 数据信号 65	I/O	1.5/1.3 5/1.2		
	AK27	PAD_MEM_DATA[66]	DDR 数据信号 66	I/O	1.5/1.3 5/1.2		
	AK28	PAD_MEM_DATA[67]	DDR 数据信号 67	I/O	1.5/1.3 5/1.2		
	AH30	PAD_MEM_DATA[68]	DDR 数据信号 68	I/O	1.5/1.3 5/1.2		
	AG29	PAD_MEM_DATA[69]	DDR 数据信号 69	I/O	1.5/1.3 5/1.2		
	E30	PAD_MEM_DATA[7]	DDR 数据信号 7	I/O	1.5/1.3 5/1.2		
	AG30	PAD_MEM_DATA[70]	DDR 数据信号 70	I/O	1.5/1.3 5/1.2		

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/ 下拉 (D)	驱动电流 (Ma)
	AF30	PAD_MEM_DATA[71]	DDR 数据信号 71	I/O	1.5/1.3 5/1.2		
	G25	PAD_MEM_DATA[8]	DDR 数据信号 8	I/O	1.5/1.3 5/1.2		
	F26	PAD_MEM_DATA[9]	DDR 数据信号 9	I/O	1.5/1.3 5/1.2		
	B29	PAD_MEM_DQS_N[0]	DDR 数据采用信号 0N	I/O	1.5/1.3 5/1.2		
	F28	PAD_MEM_DQS_N[1]	DDR 数据采用信号 1N	I/O	1.5/1.3 5/1.2		
	J27	PAD_MEM_DQS_N[2]	DDR 数据采用信号 2N	I/O	1.5/1.3 5/1.2		
	H30	PAD_MEM_DQS_N[3]	DDR 数据采用信号 3N	I/O	1.5/1.3 5/1.2		
	R29	PAD_MEM_DQS_N[4]	DDR 数据采用信号 4N	I/O	1.5/1.3 5/1.2		
	AB28	PAD_MEM_DQS_N[5]	DDR 数据采用信号 5N	I/O	1.5/1.3 5/1.2		
	AB30	PAD_MEM_DQS_N[6]	DDR 数据采用信号 6N	I/O	1.5/1.3 5/1.2		
	AF27	PAD_MEM_DQS_N[7]	DDR 数据采用信号 7N	I/O	1.5/1.3 5/1.2		
	AJ29	PAD_MEM_DQS_N[8]	DDR 数据采用信号 8N	I/O	1.5/1.3 5/1.2		
	B30	PAD_MEM_DQS_P[0]	DDR 数据采用信号 0P	I/O	1.5/1.3 5/1.2		
	F27	PAD_MEM_DQS_P[1]	DDR 数据采用信号 1P	I/O	1.5/1.3 5/1.2		
	J28	PAD_MEM_DQS_P[2]	DDR 数据采用信号 2P	I/O	1.5/1.3 5/1.2		
	J30	PAD_MEM_DQS_P[3]	DDR 数据采用信号 3P	I/O	1.5/1.3 5/1.2		
	R30	PAD_MEM_DQS_P[4]	DDR 数据采用信号 4P	I/O	1.5/1.3 5/1.2		
	AB27	PAD_MEM_DQS_P[5]	DDR 数据采用信号 5P	I/O	1.5/1.3 5/1.2		
	AB29	PAD_MEM_DQS_P[6]	DDR 数据采用信号 6P	I/O	1.5/1.3 5/1.2		
	AF28	PAD_MEM_DQS_P[7]	DDR 数据采用信号 7P	I/O	1.5/1.3		

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/下拉 (D)	驱动电流 (Ma)
					5/1.2		
	AJ30	PAD_MEM_DQS_P[8]	DDR 数据采用信号 8P	I/O	1.5/1.3 5/1.2		
	D30	PAD_MEM_DM[0]	DDR 输入数据屏蔽信号 0	O	1.5/1.3 5/1.2		
	E28	PAD_MEM_DM[1]	DDR 输入数据屏蔽信号 1	O	1.5/1.3 5/1.2		
	J26	PAD_MEM_DM[2]	DDR 输入数据屏蔽信号 2	O	1.5/1.3 5/1.2		
	L30	PAD_MEM_DM[3]	DDR 输入数据屏蔽信号 3	O	1.5/1.3 5/1.2		
	T30	PAD_MEM_DM[4]	DDR 输入数据屏蔽信号 4	O	1.5/1.3 5/1.2		
	AB26	PAD_MEM_DM[5]	DDR 输入数据屏蔽信号 5	O	1.5/1.3 5/1.2		
	AC30	PAD_MEM_DM[6]	DDR 输入数据屏蔽信号 6	O	1.5/1.3 5/1.2		
	AE27	PAD_MEM_DM[7]	DDR 输入数据屏蔽信号 7	O	1.5/1.3 5/1.2		
	AH29	PAD_MEM_DM[8]	DDR 输入数据屏蔽信号 8	O	1.5/1.3 5/1.2		
	AA25	PAD_MEM_CAL	应连接至外部 240 欧姆电阻，用于 IOs 的驱动和终端阻抗校准	O	1.5/1.3 5/1.2		
	W27	PAD_MEM_ADDRESS[0]	DDR 地址信号 0	O	1.5/1.3 5/1.2		
	N26	PAD_MEM_ADDRESS[1]	DDR 地址信号 1	O	1.5/1.3 5/1.2		
	V26	PAD_MEM_ADDRESS[10]	DDR 地址信号 10	O	1.5/1.3 5/1.2		
	Y28	PAD_MEM_ADDRESS[11]	DDR 地址信号 11	O	1.5/1.3 5/1.2		
	R26	PAD_MEM_ADDRESS[12]	DDR 地址信号 12	O	1.5/1.3 5/1.2		
	M25	PAD_MEM_ADDRESS[13]	DDR 地址信号 13	O	1.5/1.3 5/1.2		
	V25	PAD_MEM_ADDRESS[14]	DDR 地址信号 14	O	1.5/1.3 5/1.2		
	P25	PAD_MEM_ADDRESS[15]	DDR 地址信号 15	O	1.5/1.3 5/1.2		

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/ 下拉 (D)	驱动电流 (Ma)
	M26	PAD_MEM_ADDRESS[16]	DDR 地址信号 16	O	1.5/1.3 5/1.2		
	W28	PAD_MEM_ADDRESS[2]	DDR 地址信号 2	O	1.5/1.3 5/1.2		
	N25	PAD_MEM_ADDRESS[3]	DDR 地址信号 3	O	1.5/1.3 5/1.2		
	W25	PAD_MEM_ADDRESS[4]	DDR 地址信号 4	O	1.5/1.3 5/1.2		
	M28	PAD_MEM_ADDRESS[5]	DDR 地址信号 5	O	1.5/1.3 5/1.2		
	Y25	PAD_MEM_ADDRESS[6]	DDR 地址信号 6	O	1.5/1.3 5/1.2		
	L28	PAD_MEM_ADDRESS[7]	DDR 地址信号 7	O	1.5/1.3 5/1.2		
	Y27	PAD_MEM_ADDRESS[8]	DDR 地址信号 8	O	1.5/1.3 5/1.2		
	M27	PAD_MEM_ADDRESS[9]	DDR 地址信号 9	O	1.5/1.3 5/1.2		
	U27	PAD_MEM_CLK_N[0]	DDR 差分时钟信号 0N	O	1.5/1.3 5/1.2		
	T27	PAD_MEM_CLK_N[1]	DDR 差分时钟信号 1N	O	1.5/1.3 5/1.2		
	R27	PAD_MEM_CLK_N[2]	DDR 差分时钟信号 2N	O	1.5/1.3 5/1.2		
	P27	PAD_MEM_CLK_N[3]	DDR 差分时钟信号 3N	O	1.5/1.3 5/1.2		
	U28	PAD_MEM_CLK_P[0]	DDR 差分时钟信号 0P	O	1.5/1.3 5/1.2		
	T28	PAD_MEM_CLK_P[1]	DDR 差分时钟信号 1P	O	1.5/1.3 5/1.2		
	R28	PAD_MEM_CLK_P[2]	DDR 差分时钟信号 2P	O	1.5/1.3 5/1.2		
	P28	PAD_MEM_CLK_P[3]	DDR 差分时钟信号 3P	O	1.5/1.3 5/1.2		
	T26	PAD_MEM_ODT	DDR 片上终端使能信号, 高有效	O	1.5/1.3 5/1.2		
	V28	PAD_MEM_WE_N	DDR 写使能信号, 低有效	O	1.5/1.3 5/1.2		
	R25	PAD_MEM_CS_N	DDR 片选信号, 低有效	O	1.5/1.3		

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平 (V)	上拉 (U)/ 下拉 (D)	驱动电流 (Ma)
					5/1.2		
	N27	PAD_MEM_CAS_N	DDR 列地址有效信号, 低有效	O	1.5/1.3 5/1.2		
	T25	PAD_MEM_RAS_N	DDR 行地址有效信号, 低有效	O	1.5/1.3 5/1.2		
	W26	PAD_MEM_BANK[0]	DDR BANK 地址 0	O	1.5/1.3 5/1.2		
	N28	PAD_MEM_BANK[1]	DDR BANK 地址 1	O	1.5/1.3 5/1.2		
	V27	PAD_MEM_BANK[2]	DDR BANK 地址 2	O	1.5/1.3 5/1.2		
	U25	PAD_MEM_CKE	DDR 时钟使能, 高有效	O	1.5/1.3 5/1.2		
	L27	PAD_MEM_RST_N	DDR 复位, 低有效	O	1.5/1.3 5/1.2		
	L25	PAD_MEM_RETEN_N	用于启用保留模式, 在该模式下, DRAM 进入自刷新后, 可以关闭核心电源	I	1.5/1.3 5/1.2		
ADC (2)	E3	ADC_A0	ADC 模拟差分输入 A	I/O			
	E4	ADC_B0	ADC 模拟差分输入 B	I/O			
Tsensor	E2	TS_VCM	温度传感器内部参考电压输出	I/O	1.8		

注: 带*号标识的为复用引脚的默认功能。

2.3 封装电源引脚定义

封装电源引脚定义如表 2-3 所示。

表 2-3 封装电源引脚定义表

#	符号	引脚号	供电模块	原理图建议分组符号 (典型供电电压)
1	VDD08_CPU	P9,P11, R8,R10, T9, U8,U10, V9,V11, W8,W10,W12	ARM/SPARC 内 核电源	810A0_VDD08_CPU (0.8V)
2	VDD08_SOC	H13,H15,H17,H23, J10,J12,J14,J16,J18,J20,J22, K9,K11,K19,K21,	DDR/LVDS/复位 /PLL 等模块内核 电源	810A0_VDD08_SOC (0.8V)

#	符号	引脚号	供电模块	原理图建议分组符号 (典型供电电压)
		L10,L12,L20, M9,M11, N8,N12, R12, T13,T15,T17, U14,U16,U18, V13,V15,V17,V19, W14,W16,W18,W20, Y9,Y11,Y13,Y15,Y17,Y19, AA10,AA12,AA14,AA16,AA18,AA20, AB13,AB17,AB19		
3	VDD08_TT810	K13,K15,K17, L14,L16,L18, M13,M15,M17,M19, N14,N16,N18,N20, P13,P15,P17,P19, R14,R16,R18,R20	AI 模块内核电源	810A0_VDD08_AI (0.8V 或 0.9V(高速模式))
4	VDDIO_SOC	F4,F15,F17 G12,G14,G16, J4, M7, N6, P7, R6, U6, V7, W6	SOC IO 电源	810A0_VDDIO1833 (该电源可接 1.8V 或 3.3V, 用于 TEST_MODE, BOOT_SEL0, BOOT_SEL1, BOOT_SEL2, RESETN 引 脚电平支持 1.8V 或 3.3V, 用于 UART,SPI,QXHW(1553B), I2S,CAN,GPIO, EMI, Ethernet,JTAG,SPARC 模块 的引脚电平支持 1.8V 或 3.3V。
5	PLL_AVDD	H19, N10, R19, AC13	PLL 模拟电源 1	810A0_VDD18_PHY (1.8V)
6	PLL_AVDD_CPU	T12	PLL 模拟电源 1	
7	PLL_AVDD_DDR	U20	PLL 模拟电源 1	
8	PLL_AVDD2_CPU0	T11	ARM PLL 电源 2	PLL_AVDD2 (0.8V)
9	PLL_AVDD2_CPU1	U12	SPARC PLL 电源 2	
10	PLL_AVDD2_SOC	N11	SOC 组模块 PLL	

#	符号	引脚号	供电模块	原理图建议分组符号 (典型供电电压)
			电源 2	
11	PLL_AVDD2_TT810	T18	TT810 PLL 电源 2	
12	PLL_AVDD2_VPU	T19	VPU PLL 电源 2	
13	PLL_AVDD2_DISPLAY	G18	DISPLAY PLL 电源 2	
14	PLL_AVDD2_HSIO	AD12	HISS PLL 电源 2	
15	PLL_AVDD2_TSEN	AD13	MIPI PLL 电源 2	
16	PLL_AVDD2_AUD	N9	AUD PLL 电源 2	
17	PLL_AVDD2_DDR	U21	DDR PLL 电源 2	
18	VDD08_DDR	L22, M21, N22, P21, R22, T21, U22, V21, W22, Y21, AA22, AB21,AB23	DDR 内核电源	810A0_VDD08_SOC (0.8V)
19	VDDIO_DDR	E26, G24, H26, J24, K23, L26, M23, P23,P26, R24, T23, U26, V23, Y23,Y26, AC24,AC26	DDR IO 电源	810A0_VDDQ1v5_1v35_1v 2(该电源可接 1.5V 或 1.35V 或 1.2V, 用于 DDR 模块 IO 电平支持 1.5V 或 1.35V 或 1.2V)
20	VSSIO_DDR	C28, E29, H24,H29,	DDR IO 地	

#	符号	引脚号	供电模块	原理图建议分组符号 (典型供电电压)
		L23,L29, N23, P29, R23, T24, U23,U29, W23, Y29, AA23, AB24, AC29, AD24, AE26, AF29, AJ28		
21	PAD_MEM_VREF[0]	K24	DDR 参考电压	810A0_VTTREF (0.5*VDDQ)
22	PAD_MEM_VREF[1]	L24	DDR 参考电压	810A0_VTTREF (0.5*VDDQ)
23	PAD_MEM_VREF[2]	M24	DDR 参考电压	810A0_VTTREF (0.5*VDDQ)
24	PAD_MEM_VREF[3]	N24	DDR 参考电压	810A0_VTTREF (0.5*VDDQ)
25	PAD_MEM_VREF[4]	P24	DDR 参考电压	810A0_VTTREF (0.5*VDDQ)
26	PAD_MEM_VREF[5]	U24	DDR 参考电压	810A0_VTTREF (0.5*VDDQ)
27	PAD_MEM_VREF[6]	V24	DDR 参考电压	810A0_VTTREF (0.5*VDDQ)
28	PAD_MEM_VREF[7]	W24	DDR 参考电压	810A0_VTTREF (0.5*VDDQ)
29	PAD_MEM_VREF[8]	Y24	DDR 参考电压	810A0_VTTREF (0.5*VDDQ)
30	PAD_MEM_VREF[9]	AA24	DDR 参考电压	810A0_VTTREF (0.5*VDDQ)
31	AVDD08_PCIE	AB11	PCIE 电源	VDD08_PCIE (0.8V)
32	AVDD08_PCIE_TX0	AD8	PCIE VPTX0 电源	
33	AVDD08_PCIE_TX1	AD9	PCIE VPTX1 电源	
34	AVDD08_PCIE_TX2	AD10	PCIE VPTX2 电源	
35	AVDD08_PCIE_TX3	AD11	PCIE VPTX3 电源	
36	AVDD18_PCIE	AB10	PCIE PHY 电源	810A0_VDD18_PHY

#	符号	引脚号	供电模块	原理图建议分组符号 (典型供电电压)
				(1.8V, 0.09A)
37	PCIE_RESREF	AH5	PCIE 参考电压	PCIE 参考电压, 建议接 200 欧电阻到地
38	AVDD08_SRIO	AA9	SRIO 内核电源	VDD08_SRIO
39	AVDD08_SRIO_AVTT0	Y7	SRIO 内核电源	
40	AVDD08_SRIO_AVTT1	AA7	SRIO 内核电源	
41	AVDD08_SRIO_AVTT2	AB7	SRIO 内核电源	
42	AVDD08_SRIO_AVTT3	AC7	SRIO 内核电源	
43	AVDD18_SRIO	AB9	SRIO PHY 电源	810A0_VDD18_PHY (1.8V)
44	SRIO_RESREF	AA3	RapidIO 参考电压	RapidIO 参考电压, 建议接 200 欧电阻到地
45	VDD08_LVDS	H21	LVDS 内核电源	810A0_VDD08_SOC (0.8V)
46	AVDD18_LVDS	G20	LVDS PHY 电源	810A0_VDD18_PHY (1.8V)
47	AVDD25_LVDS	G22	LVDS PHY 电 源 2.5V	810A0_VDD25_PHY(2.5V)
48	AVSS_LVDS	A16,A27, B16,B27, C16,C17,C18,C19,C20,C21,C23,C24,C 25,C26,C27	LVDS C/IO 地	
49	VDD08_MIPI	AB15, AC14	MIPI 内核电源	VDD08_MIPI (0.8V)
50	AVDD18_MIPI	AD14,AD15	MIPI PHY 电源	810A0_VDD18_PHY (1.8V)
51	AVSS_MIPI	AH10,AH11,AH12,AH13, AJ8, AK14	MIPI 地	
52	AVDD18_USB0	H11	USB0 PHY 电源	810A0_VDD18_PHY (1.8V)
53	AVDD18_USB1	H9	USB1 PHY 电源	
54	AVDD33_USB0	G10	USB0 PHY 电源 3.3V	810A0_VDD33 (3.3V)
55	AVDD33_USB1	G8	USB1 PHY 电源 3.3V	
56	VDD08_CMLK	AC17,AC19,AC20,AC22	Camera link 内核 电源	VDD08_CMLK (0.8V)
57	AVDD18_CMLK_BASE	AD18	camera link BASE 电源	810A0_VDD18_PHY (1.8V,0.065A)
58	AVDD18_CMLK_MEDI	AD21	camera link MEDI 电源	

#	符号	引脚号	供电模块	原理图建议分组符号 (典型供电电压)
59	AVDD18_CMLK_FULL	AE23	camera link FULL 电源	
60	AVDD18_CMLK_BUF_BA SE	AD17	camera link VCCBUF BASE 电源	
61	AVDD18_CMLK_BUF_ME DI	AD20	camera link VCCBUF MEDI 电源	
62	AVDD18_CMLK_BUF_FU LL	AD23	camera link VCCBUF FULL 电源	
63	AVDD18_CMLK_TX	AE16	1.8V camera link TX 电源	
64	AVDD25_CMLK_BASE	AD19	2.5V camera link BASE 电源	810A0_VDD25_PHY (2.5V, 0.14A)
65	AVDD25_CMLK_MEDI	AD22	2.5V camera link MEDI 电源	
66	AVDD25_CMLK_FULL	AE24	2.5V camera link FULL 电源	
67	AVDD25_CMLK_TX	AD16	2.5V camera link TX 电源	
68	AVSS_CMLK	AE14,AE17,AE18,AE19,AE20,AE21,A E22,AE25, AF20,AF26, AG20,AG26, AH14,AH15,AH16,AH17,AH18,AH19, AH20,AH21,AH22,AH23,AH24,AH25, AH26, AJ14,AJ20,AJ26, AK20,AK26	Camera link BASE/MEDI/FUL L/TX 地	
69	VDD08_RTC	J8	RTC 0.8V 电源	810A0_VDD08_RTC (0.8V)
70	AVDDH33	H7	RTC 3.3V 电源	810A0_VDD33_RTC (3.3V)
71	AVDD18	L8	PVTSSENSOR/AD C/POR 模拟电源	810A0_VDD18_PHY (1.8V)
72	ADC_VREFH	D3	ADC 参考电压高	ADC 正偏置电压, 建议接 BLM18PG330SN1 磁珠后接 1.8V 电源 (可以合并到 810A0_VDD18_PHY)
73	ADC_VREFL	D4	ADC 参考电压低	ADC 负偏置电压, 建议接

#	符号	引脚号	供电模块	原理图建议分组符号 (典型供电电压)
				BLM18PG330SN1 磁珠后接地
74	VDDIO18_OSC	T7	OSC 电源	810A0_VDD18_PHY (1.8V)
75	VDD33_SDIO	F9	SDIO 电源	810SDIO_VDD33 (3.3V) VDD33_SDIO 供电 3.3V, 内部 LDO 会根据应用输出 1.8V 或 3.3V 给 PAD, 外部 eMMC 存储芯片的 VCCQ 供电需为 1.8V。
76	VDDIO_NF	F11	NF IO 电源	810A0_VDDIOA1833 (该电源可接 1.8V 或 3.3V, 用于 NANDFLASH 模块 IO 电平支持 1.8V 或 3.3V)
77	VDDIO_PERI	F13	IO 电源	810A0_VDDIOB1833 (该电源可接 1.8V 或 3.3V, 用于 I2C0, I2C1, QSPI 模 块 IO 电平支持 1.8V 或 3.3V)
78	LDO_VIP80	J11	1.8V/3.3V 输出	810A0_LDO_VIP80 (输出 1.8V 电压(110mA)或 3.3V 电压(130mA)(根据 SD 卡进行自动适配)。, 可以提 供给 SD 卡用, 可以参考我 们开发版图)
79	VSS	B9,B12,B15, E21,E25 F3, G13,G15,G17,G19,G21,G23, H12,H14,H16,H20,H22, J3,J9,J13,J15,J17,J19,J21,J23, K7,K8,K10,K12,K14,K16,K18,K20,K2 2, L9,L11,L13,L15,L17,L19,L21, M8,M10,M12,M14,M16,M18,M20,M2 2, N1,N2,N7,N13,N15,N17,N19,N21, P3,P8,P12,P14,P16,P18,P20,P22, R3,R7,R9,R11,R13,R15,R17,R21 T3,T8,T10,T14,T16,T22,	数字地	

#	符号	引脚号	供电模块	原理图建议分组符号 (典型供电电压)
		U3,U7,U9,U13,U15,U17, V1,V2,V8,V10,V12,V14,V16,V18,V20, V22, W3,W7,W9,W11,W13,W15,W17,W19, W21, Y3,Y8,Y10,Y12,Y14,Y16,Y18,Y20,Y2 2, AA8,AA11,AA13,AA15,AA17,AA19, AA21, AB3,AB8,AB12,AB14,AB16,AB18,AB 20,AB22, AC3,AC8,AC9,AC10,AC11,AC15,AC1 6,AC18,AC21,AC23, AD1,AD2,AD5,AD7 AE3, AF3,AF7,AF10, AG3, AH3,AH4,AH6,AH7, AJ1,AJ2, AK2,AK8		
80	PLL_AVSS	H18,P10,T20,U11,U19,AC12	PLL 地	
81	AVSS	B3,B5, E5, G7,G9,G11, H8,H10 J7, L7	电源地	

注：相关电源电压范围参考值，详见 4.3.2 章节

3. 工作条件及电气特性

3.1 极限工作条件

绝对最大额定值如表3-1:

表 3-1 极限工作条件说明表

类别	值
CPU电源电压(VDD08_CPU)	-0.5V ~ +0.92V
AI电源电压(VDD08_AI)	-0.5V ~ +0.95V
IO电源电压(VDDIO_SOC)	-0.5V ~ +3.63V
PLL电源电压(VPLL_AVDD)	-0.5V ~ +2.08V
DDR电源电压(VDD08_DDR)	-0.5V ~ +0.92V
PLL电源电压(VPLL_AVDD2)	-0.5V ~ +0.92V
SOC电源电压(VDD08_SOC)	-0.5V ~ +0.92V
DDR IO电源电压(VDDIO_DDR)	-0.5V ~ +1.65V
PCIE电源电压(VAVDD08_PCIE)	-0.5V ~ +0.92V
PCIE电源电压(VAVDD18_PCIE)	-0.5V ~ +2.08V
SRIO电源电压(VAVDD08_SRIO)	-0.5V ~ +0.92V
SRIO电源电压(VAVDD18_SRIO)	-0.5V ~ +2.08V
LVDS电源电压(VDD08_LVDS)	-0.5V ~ +0.92V
LVDS电源电压(VAVDD18_LVDS)	-0.5V ~ +2.08V
LVDS电源电压(VAVDD25_LVDS)	-0.5V ~ +2.85V
MIPI电源电压(VDD08_MIPI)	-0.5V ~ +0.92V
MIPI电源电压(VAVDD18_MIPI)	-0.5V ~ +2.08V
USB电源电压(VAVDD33_USB)	-0.5V ~ +3.63V
SDIO电源电压 (VDD33_SDIO)	-0.5V ~ +3.63V
USB电源电压(VAVDD18_USB)	-0.5V ~ +2.08V
CMLK电源电压(VDD08_CMLK)	-0.5V ~ +0.92V
CMLK电源电压(VAVDD18_CMLK)	-0.5V ~ +2.08V
CMLK电源电压(VAVDD25_CMLK)	-0.5V ~ +2.75V
ESD等级	2000VHM
最高结点温度 (T _J)	135℃
储存环境温度 (T _S)	-65℃ ~ +150℃

3.2 推荐工作条件

表 3-2 推荐工作条件说明表

类别	值
CPU电源电压(VDD08_CPU)	0.8±10%V
AI电源电压(VDD08_AI)	0.9V±5%
IO电源电压(VDDIO_SOC)	3.3±5%V
PLL电源电压(VPLL_AVDD)	1.8±10%V
DDR电源电压(VDD08_DDR)	0.8±10%V
PLL电源电压(VPLL_AVDD2)	0.8±10%V
SOC电源电压(VDD08_SOC)	0.8±10%V
DDR IO电源电压(VDDIO_DDR)	1.1~1.6V
PCIE电源电压(VAVDD08_PCIE)	0.8±10%V
PCIE电源电压(VAVDD18_PCIE)	1.8±10%V
SRIO电源电压(VAVDD08_SRIO)	0.8±10%V
SRIO电源电压(VAVDD18_SRIO)	1.8±10%V
LVDS电源电压(VDD08_LVDS)	0.8±10%V
LVDS电源电压(VAVDD18_LVDS)	1.8±10%V
LVDS电源电压(VAVDD25_LVDS)	2.5±10%V
MIPI电源电压(VDD08_MIPI)	0.9±5%V
MIPI电源电压(VAVDD18_MIPI)	1.8±10%V
USB电源电压(VAVDD33_USB)	3.3±10%V
SDIO电源电压 (VDD33_SDIO)	3.3±10%V
USB电源电压(VAVDD18_USB)	1.8±10%V
CMLK电源电压(VDD08_CMLK)	0.8±10%V
CMLK电源电压(VAVDD18_CMLK)	1.8±10%V
CMLK电源电压(VAVDD25_CMLK)	2.5±10%V
CPU工作频率	最高支持1000 MHz
AI工作频率	最高支持800 MHz
VPU工作频率	最高支持750 MHz
图像传感器工作频率	最高支持700 MHz
高速接口工作频率	最高支持750 MHz

类别	值
SOC顶层工作频率	最高支持800 MHz
DDR3工作频率	最高支持1600 MHz
DDR4工作频率	最高支持2400 MHz
显示工作频率	最高支持900 MHz
音频I2S I/F工作频率	最高支持300 MHz
工作温度	-55°C ~ +125°C

3.3 温度与功耗热阻关系

表 3-3 温度与功耗热阻关系说明表

类别	值
耗散功率 (PD)	6.0W (TA=25°C, F _{CPU} =900MHz, F _{AI} =700MHz)
热阻 (R _{th} (J-C))	0.22°C/W (TA=125°C, 加散热片)
	0.38°C/W (TA=105°C, 加散热片)
	0.61°C/W (TA=85°C, 加散热片)
	1.27°C/W (TA=25°C, 加散热片)

3.4 电气特性

表 3-4 电气特性表

特性	符号	测试条件	极限值		单位
			最小	最大	
动态CPU电源电流	I _{dd_VDD08_CPU}		-	2	A
动态AI电源电流	I _{dd_VDD08_AI}		-	10	A
动态SOC电源电流	I _{dd_VDDIO_SOC}		-	150	mA
动态1.8V PLL电源电流	I _{dd_PLL_AVDD}		-	0.2	mA
动态DDR电源电流	I _{dd_VDD08_DDR}		-	1	A
动态0.8V PLL电源电流	I _{dd_PLL_AVDD2}		-	1	mA

动态SOC电源 电流	Idd_VDD08_SOC		-	5	A
动态DDR IO 电源电流	Idd_VDDIO_DDR		-	10	mA
动态0.8V PCIE电源电流	Idd_AVDD08_PCIE		-	100	mA
动态1.8V PCIE 电源电 流	Idd_AVDD18_PCIE		-	50	mA
动态0.8V SRIO电源电 流	Idd_AVDD08_SRIO		-	100	mA
动态1.8V SRIO 电源电 流	Idd_AVDD18_SRIO		-	2	mA
动态0.8V LVDS电源电 流	Idd_VDD08_LVDS		-	1	mA
动态1.8V LVDS电源电 流	Idd_AVDD18_LVDS		-	0.1	mA
动态2.5V LVDS电源电 流	Idd_AVDD25_LVDS		-	0.1	mA
动态0.8V MIPI电源电流	Idd_VDD08_MIPI		-	10	mA
动态1.8V MIPI 电源电 流	Idd_AVDD18_MIPI		-	0.1	mA
动态3.3V USB 电源电流	Idd_AVDD33_USB		-	10	mA
动态SDIO电 源电流	Idd_VDD33_SDIO		-	0.1	mA
动态1.8V USB 电源电流	Idd_AVDD18_USB		-	10	mA
动态0.8V CMLK电源电 流	Idd_VDD08_CMLK		-	10	mA
动态1.8V CMLK 电源电 流	Idd_AVDD18_CMLK		-	0.2	mA

动态2.5V CMLK 电源 电流	Idd_AVDD25_CMLK		-	0.2	mA
输入高电平电 压	VIH2	VDDIO_SOC =3.3V	2.4	-	V
		VDDIO_SOC =1.8V	1.2	-	V
输入低电平电 压	VIL2	VDDIO_SOC =3.3V	-	0.8	V
		VDDIO_SOC =1.8V	-	0.4	V
输入高电平漏 电流	IIH	VDDIO_SOC =3.3V, VIN3 = VDDIO_SOC	-	10	μA
		VDD33_SDIO =2.5V, VIN4 = VDD33_SDIO			
		VAVDD18_MIPI =1.98V, VIN5 = VAVDD18_MIPI			
		VDDIO_DDR =1.32V, VIN6 = VDDIO_DDR			
输入低电平漏 电流	IIL7	VIN =0V	-10	-	μA
输出高电平电 压	VOH8	IOH = -8mA, VDDIO_SOC =3.3V	2.4	-	V
		IOH = -8mA, VDDIO_SOC =1.8V	1.2	-	V
输出低电平电 压	VOL8	IOL = 8 mA, VDDIO_SOC =3.3V	-	0.8	V
		IOL = 8 mA, VDDIO_SOC =1.8V	-	0.4	V

4. 复位时钟电源说明

4.1 复位

芯片复位信号控制结构如图 4-1 所示。

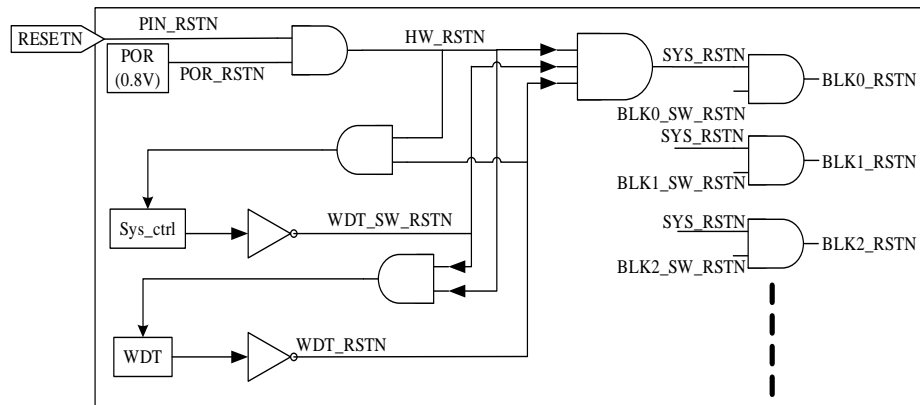


图 4-1 芯片复位信号控制图

上图信号说明：

- POR 芯片内部上电复位（Power-On-Reset）模块
- RESETN 片外复位信号，要求全部上电完成后，至少保持 1ms 的低电平时间
- WDT_SW_RSTN 软件看门狗复位信号 RST
- BLK_SW_RSTN 软件控制子模块复位信号

复位信号分类如表 4-1 所示。

表 4-1 复位信号分类表

复位信号类型	产生方式	用途
全局硬复位	外部复位和内部上电复位 POR 模块	对 SOC 子系统进行全局复位
芯片看门狗模块复位	芯片看门狗模块	对除看门狗自身外的 SOC 子系统进行全局复位
软件控制子模块复位	软件配置子模块复位控制位	SOC 子系统各子模块的单独复位。

4.2 时钟

TT810有以下时钟输入源：

1) 一个24MHz振荡器，它将用作PLL的主要时钟源，为CPU、TT810、VPU、DDR、总线 and 高速接口生成时钟。对于所有的锁相环，振荡器的24MHz时钟可以直接用作锁相环的参考时钟；

2) 一个62.5MHz用于RapidIO参考时钟；

4) 一个100MHz用于PCIe参考时钟；

5) 一个16MHz用于1553B模块时钟输入；

6) 来自调试器的JTAG TCK时钟输入。

表 4-2 芯片时钟信号表

序号	时钟引脚名称	说明	Accuracy/jitter 要求	用途
1	XTAL24M_IN XTAL24M_OUT	1.8V/24M/LVCMOS 单脚输入或者无源 晶振输入	Period Jitter <100ps	提供PLL 的ref 时 钟
2	PCIE_REF_CLK_M PCIE_REF_CLK_P	1.8V/100M/LVPECL	100M+/-300ppm,	PLL 100M reference 时钟
3	SRIO_REF_CLK_P SRIO_REF_CLK_P	1.8V/62.5M/LVDS	62.5M+/-300ppm	RapidIO 62.5MHz ref 时钟
4	QXHW_CLK	1.8V 或 3.3V 与 VDDIO_SOC 电压 有关	16M+/-300ppm	1553 16MHz 时 钟

4.2.1 PLL 配置流程

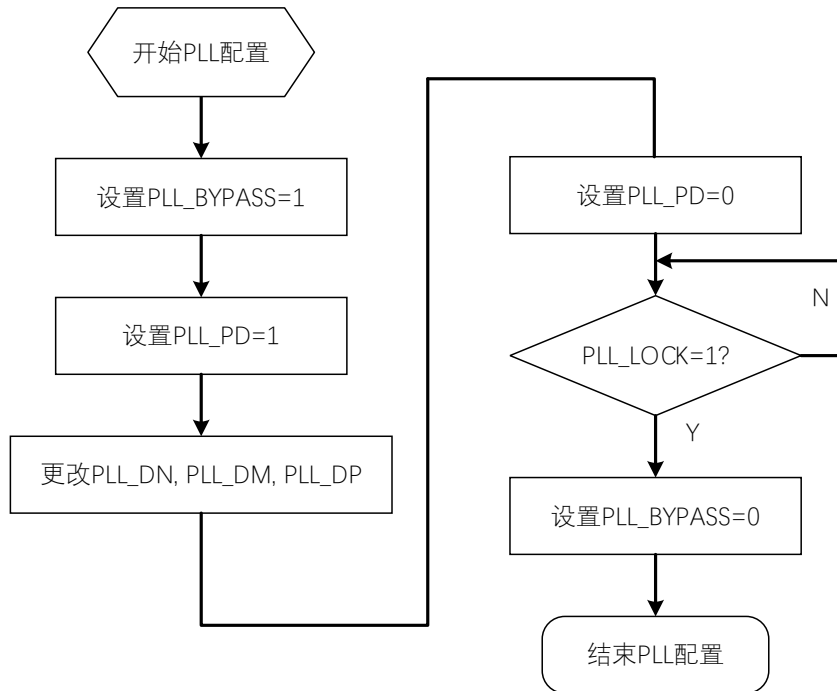


图 4-2 PLL 配置流程图

4.3 工作模式与芯片上下电时序

4.3.1 工作模式

4.3.1.1 工作模式定义

芯片支持以下工作模式：

- 工作（RUN）模式：在这种模式下，四个ARM CPU和四个SPARC CPU都处于工作模式，可以关闭部分CPU，从而实现降低芯片功耗。
- 待机（IDLE）模式：此模式定义为当没有线程运行时CPU可以自动进入该模式。所有高速设备都没有激活，DRAM和总线时钟减少，大部分内部逻辑是时钟门控的，但仍然保持供电。与RUN模式相比，所有外部电源保持不变，并且大多数模块保持其状态，因此这种模式下的中断响应延迟非常小。
- 休眠（SUSPEND）模式：此模式被定义为最省电的模式，所有时钟和，所有不必要的电源会被关闭。此时的CA9 CPU平台为最低功耗模式，所有可以断电的内部数字逻辑和模拟电路都将关闭，所有物理单元都是电源选通的（注：模拟

和PHY需要外部电源选通)。退出该模式的时间将比待机模式下时间长得多，但休眠模式的功耗会低很多。

- 关机（OFF）模式：此模式关闭所有电源轨。

4.3.1.2 各种工作模式下的电源状态

IDLE和SUSPEND是基于linux kenal应用的两种典型的低功耗模式。下表列举了芯片在不同的工作模式下外部电源供电状态。

表 4-3 低功耗模式定义表

电源轨	关机OFF	休眠SUSPEND	待机IDLE	运行RUN
VDD_CPU	OFF	OFF	ON	ON
VDD_TT810	OFF	OFF	ON	ON
VDD_DDR	OFF	OFF	ON	ON
VDD_SOC	OFF	ON	ON	ON
VDD_RTC	OFF	ON	ON	ON
VDDA_1P8_CA9	OFF	OFF	ON	ON
VDDA_1P8_SPARC	OFF	OFF	ON	ON
VDDA_1P8_DDR	OFF	OFF	ON	ON
VDDA_1P8_PCIE_PHY	OFF	OFF	ON	ON
VDDA_1P8_GRIO_PHY	OFF	OFF	ON	ON
VDDA_0P8_DPHY	OFF	OFF	ON	ON
VDDA_1P8_DPHY	OFF	OFF	ON	ON
VDDA_0P8_CMLK_PHY	OFF	OFF	ON	ON
VDDA_1P8_CMLK_PHY	OFF	OFF	ON	ON
VDDA_2P5_CMLK_PHY	OFF	OFF	ON	ON
VDDA_0P8_LVDS_PHY	OFF	OFF	ON	ON
VDDA_1P8_LVDS_PHY	OFF	OFF	ON	ON
VDDA_2P5_LVDS_PHY	OFF	OFF	ON	ON
VDDA_1P8_SOC	OFF	ON	ON	ON
VDDA_3P3_SOC	OFF	ON	ON	ON
VDDA_3P3_RTC	OFF	ON	ON	ON
VDDIO_1P8	OFF	ON	ON	ON
VDDIO_3P3	OFF	ON	ON	ON
VDDIO_3P3_RTC	OFF	ON	ON	ON
VDDIO_DRAM	OFF	ON	ON	ON

4.3.2 上下电时序

4.3.2.1 上电顺序

芯片在复位信号完成前，按以下顺序完成上电，详见图4-3上电时序图。

- 1) VDD08_SOC、AVDD08_XX
- 2) VDD08_CPU, VDD08_DDR
- 3) AVDD18_XX、AVDD25_XX、AVDD33_XX
- 4) VDD18_XX、VDD33_XX、VDDIO_XX

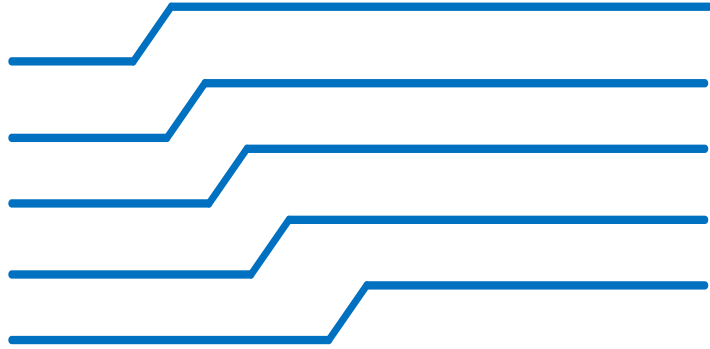


图 4-3 芯片上电时序图

表 4-4 芯片上电时序说明表

NO	间隔时间	最小	典型值	最大	单位
1	T1	1	5	-	mS
2	T2	1	5	-	mS
3	T3	1	5	-	mS
4	T4	1	10	-	mS

注意：

- 1、芯片在上电时，为减轻电源的电流冲击，建议 VDD08_AI 处于关闭状态，之后通过软件来启动它。VDD08_AI 同样可以在任何时刻上电。
- 2、在使用 RTC 时，需优先给 RTC 电源上电。
- 3、在芯片上电期间，PCIe PHY, GRIO PHY, MIPI PHY, Camera Link PHY 和 LVDS 的电源需要处于关闭状态。在芯片完成上电后，PHY 的上电时序要符合其规范。

4.3.2.2 下电时序

按图4-4下电时序图完成电源断电操作。

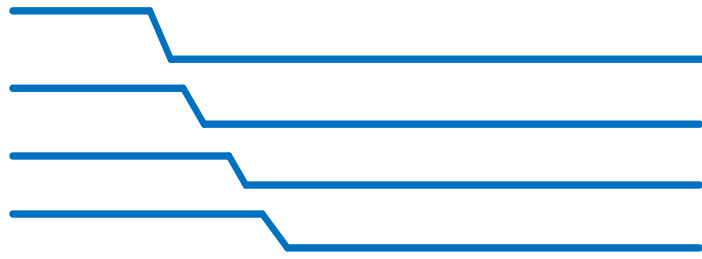


图 4-4 芯片下电时序图

5. 启动

TT810芯片的 ARM、SPARC 处理器可以选择使用外部的 16Bit 位宽 NOR FLASH 或内部 BOOTROM 启动。使用哪种方式由芯片上电时 SPARC_REMAP 配置管脚电平决定,电平 1 使用外部 NOR FLASH,电平 0 使用内部 BOOTROM。SPARC 受控于 SPARC_REMAP 管脚, ARM 受控于 BOOT_SEL2 管脚。

SPARC 支持 QSPI/NOR/NAND FLASH 存储启动应用程序, ARM 支持 QSPI/NOR/NAND FLASH, EMMC/SD CARD 存储启动应用程序或是使用串口 KERMIT 协议下载启动应用程序, 上述选择方式由 BOOT_2ND[0-6]配置管脚电平决定。

BOOT 支持 DEBUG 模式, 对应 DEBUG 模式管脚 BOOT_2ND[7]被设置为 1 时, BOOT 将运行状态以英文字符串方式从串口输出(ARM 使用 UART-0, SPARC 使用 SPARC UART)。

内部 BOOT 程序主要有以下功能:

1. FLASH 存储数据支持校验检查, 可识别和跳过无效错误数据。
2. 支持 FLASH 中存储多个备份数据。
3. 根据 FLASH 设置可以进行一些简单处理器读写控制。
4. 可拷贝 FLASH 存储数据到指定内存、处理器跳转到指定地址运行功能。

内部 BOOTROM 程序拷贝启动 FLASH 的内容有特定格式要求。欧比特提供相关 FLASH 存储格式转换软件, 软件可方便的生成 FLASH 的二进制烧写文件。

外部输入 24M 晶振频率下, 串口通信频率为 115200 Baud, EMI 接口存储设置的访问速度为 1MHz。其他的接口速率可根据 BOOT_2ND[5:3]的设置选择频率。

表 5-1 SPARC 处理器内部 BOOT 和外部 EMI 启动方式选择列表

SPARC_REMAP 管脚	BOOT_2ND[0: 7]管脚	说明
0	控制内部BOOT程序工作模式	SPARC 处理器对应从内部 BOOTROM 取指令运行内部 BOOT 程序，内部 BOOT 程序将根据 BOOT2ND 管脚配置选择进入 FLASH 引导模式、串口模式或调试模式。
1	管脚功能忽略。	处理器从 EMI 接口的 16 位并行接口存储器 0 地址取指令运行。

表 5-2 ARM 处理器内部 BOOT 和外部 EMI 启动方式选择列表

BOOT_SEL2 管脚	BOOT_2ND[0: 7]管脚	说明
0	控制内部BOOT程序工作模式	ARM 处理器对应从内部 BOOTROM 取指令运行内部 BOOT 程序，内部 BOOT 程序将根据 BOOT2ND 管脚配置选择进入 FLASH 引导模式、串口模式或调试模式。
1	管脚功能忽略。	处理器从 EMI 接口的 16 位并行接口存储器 0 地址取指令运行。

表 5-3 内部 BOOT 启动方式选择表

BOOT_2ND[7]	BOOT_2ND[6]	BOOT_2ND[5:3]	BOOT_2ND[2:0]
该位为 1 时 DEBUG 模式开启，BOOTROM 程序会将当前 BOOTROM 运行状态以字符串形式输出。 该位为 0 时 DEBUG 模式关闭，	该位为 1 系统设置为：NANDFLASH 启动。	NANDFLASH 块大小配置： 000 : 每块 32 页 001 : 每块 64 页 010 : 每块 128 页 011 : 每块 256 页 100 : 每块 512 页 101 : 每块 1024 页 110 : 每块 2048 页 111 : 每块 4096 页	NANDFLASH 页大小配置： 001 : 每页 2048 字节 010 : 每页 4096 字节 011 : 每页 8192 字节 其他值 : 不支持其他页大小 FLASH 启动方式。

BOOT_2ND[7]	BOOT_2ND[6]	BOOT_2ND[5:3]	BOOT_2ND[2:0]
BOOTROM 程序无输出状态信息。	该位为 0 系统设置：非 NANDFL ASH 启动模式。	<p>000：设置为低速模式（QSPI 速率：6M，SD/MMC 速率：300K/3M）；</p> <p>001：设置为高速模式（QSPI 速率：12M，SD 速率：400K/4M）；</p> <p>其他值：保留。</p>	<p>000：QSPI Nor Flash 启动</p> <p>001：ARM SD 启动</p> <p>010：ARM EMMC 卡启动</p> <p>011：串口命令下载启动</p> <p>100：EMI 接口 16 位并行接口启动</p> <p>101：EMI 接口 8 位并行接口启动</p> <p>其他值：进入等待模式处理器进入一个 while 循环，等待仿真器连接。非本模式下存储空间有错误处理器会通过看门狗复位，容易导致仿真器连接不上的问题。</p>