



深圳市雅创芯瀚电子科技有限公司  
SHENZHEN ASTRONG-TECH CO., LTD

# AST51200C型DDR终端稳压器 数据手册

服务电话：13691641629 15012885381

## 产品概述

AST51200C是一款应用于小尺寸中的低输入电压灌/拉电流双倍速率（DDR）终端稳压器。AST51200C具有快速的动态响应，并且仅需要20uF的输出电容就能满足DDR, DDR2,DDR3,DDR3L, 低功耗DDR3和DDR4 VTT总线终端的电源要求。此外AST51200C还提供了漏极开路的PGOOD信号，用于监控输出状态；和EN信号，用于DDR在S3期间为VVT放电。

AST51200C可以原位替代TPS51200。

## 主要功能

- ☞ 输入电压：支持2.5V轨电压和3.3V轨电压
- ☞ VNSOIN电压范围： 1.1V到3.5V
- ☞ 仅需要20uF的最小输出电容
- ☞ 用于监控输出状态的PGOOD信号
- ☞ 使能功能选项
- ☞ REFIN输入可以通过电阻分压对输入进行灵活的跟踪
- ☞ 遥感（VOSNS）
- ☞ 内置软启动，欠压保护
- ☞ 热保护
- ☞ 支持DDR, DDR2, DDR3, DDR3L, 低功率DDR3, DDR4 VVT应用

## 典型电路

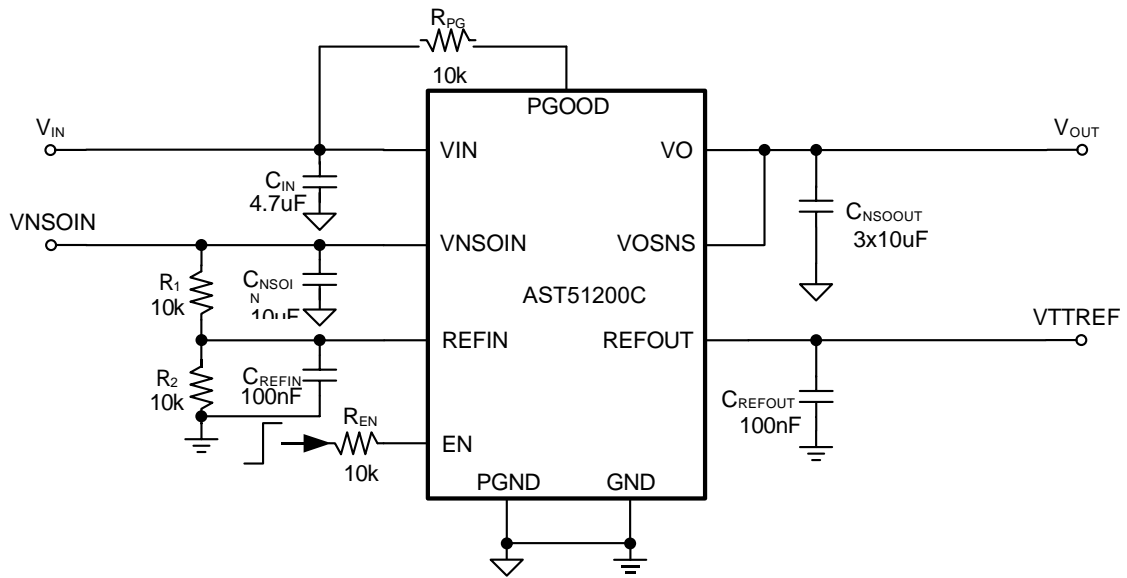
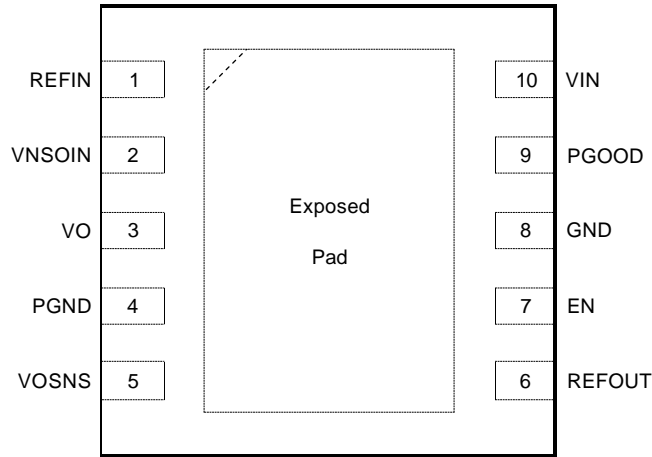


图1 典型应用电路

## 脚位图（俯视图）



(DFN3x3-10)

图2 脚位示意图

脚位名称	脚位编号	功能描述
REFIN	1	基准电压输入脚，与GND之间加0.1uF的陶瓷电容
VNSOIN	2	NSO的供电脚，与PGND之间至少加10uF以上的陶瓷电容
VO	3	NSO的功率输出脚，与PGND之间至少加20uF以上的陶瓷电容
PGND	4	NSO的功率地
VOSNS	5	NSO的电压采样脚，将该脚连接到输出电容或负载的正端
REFOUT	6	基准电压输出脚，和GND之间加0.1uF的陶瓷电容
EN	7	外部使能控制，当置高时芯片工作，置低时关闭。在DDR VVT应用中，将该脚连接到SLP_S3。切勿悬空
GND	8	信号地
PGOOD	9	漏极开路power good信号，当输出在±20%REFOUT范围内时拉高
VIN	10	输入电源脚，和GND之间至少加1uF以上的陶瓷电容
Exposed Pad		内部接地脚，通常会将其和PCB连接，以获得较好的散热性能

## 最大耐受值

REFIN, REFOUT, VIN, VO, VNSOIN, VOSNS	-----	-0.3 to 3.6V
EN, PGOOD	-----	-0.3 to 6.5V
耗散功率:		
$P_D @ T_A=25^{\circ}\text{C}$	-----	2W
热阻(Note):		
$\theta_{JC}$	-----	10°C/W
$\theta_{JA}$	-----	50°C/W
最大结温	-----	1050°
C 最大引脚温度(焊接时, 10秒)	-----	260°C
存储温度范围	-----	-65°C to 150°C

Note: 热阻参数是在自然对流条件下, 将芯片直接焊接在一块60mmx 60mm, 2oz铜厚, FR4材质的四层PCB上测试得到的。需要注意的是, 在实际设计与应用中, PCB布局, 敷铜厚度, PCB层数及尺寸, 导热过孔数量等因素都将直接影响到热阻的大小。

## 推荐工作条件

VIN	-----	2.375V to 3.5V
EN, VNSOIN, VOSNS	-----	0 to 3.5V
REFIN	-----	0.5 to 1.8V
PGOOD, VO	-----	0 to 3.5V
REFOUT	-----	0 to 1.8V
工作温度范围	-----	-40°C to 85°C

## 电气参数

(测试条件  $V_{IN}=3.3V$ ,  $V_{NSOIN}=1.8V$ ,  $V_{REFIN}=0.9V$ ,  $V_{VOSNS}=0.9V$ ,  $V_{EN}=V_{VIN}$ ,  $C_{OUT}=3 \times 10\mu F$ ,  $T_A=25^\circ C$ , •标识代表全工作温度范围内规格)

参数	符号	测试条件	最小值	典型值	最大值	单位	
<b>工作电流</b>							
工作电流	$I_{IN}$	$V_{EN}=3.3V$ , 空载	•	0.7		mA	
					2	mA	
关机电流	$I_{IN(SDN)}$	$V_{EN}=0V$ , $V_{REFIN}=0V$ , 空载	•	65		$\mu A$	
					100	$\mu A$	
		$V_{EN}=0V$ , $V_{REFIN}>0.4V$ , 空载	•	200		$\mu A$	
			•		500	$\mu A$	
VNSOIN输入电流	$I_{LODIN}$	$V_{EN}=3.3V$ , 空载	•	1		$\mu A$	
					50	$\mu A$	
VNSOIN关机电流	$I_{LODIN(SDN)}$	$V_{EN}=0V$ , 空载	•	0.1		$\mu A$	
					50	$\mu A$	
REFIN输入电流	$I_{REFIN}$	$V_{EN}=3.3V$			1	$\mu A$	
<b>输出电压</b>							
VO输出直流电压	$V_{VOSNS}$	$V_{REFOUT}=1.25V(DDR1)$ , $I_O=0A$	•	-15	1.25	15	V
							mV
		$V_{REFOUT}=0.9V(DDR2)$ , $I_O=0A$	•	-15	0.9	15	V
							mV
		$V_{REFOUT}=0.75V(DDR3)$ , $I_O=0A$	•	-15	0.75	15	V
							mV
$V_{REFOUT}=0.675V(DDR3L)$ , $I_O=0A$	•	-15	0.675	15	V		
					mV		
$V_{REFOUT}=0.6V(DDR4)$ , $I_O=0A$	•	-15	0.6	15	V		
					mV		
输出电压公差	$V_{VOTOL}$	$-2A < I_{VO} < 2A$	-25		25	mV	
VO拉电流限制	$I_{VOSRCL}$	$V_{OSNS}=0.9 \times V_{REFOUT}$	3		4.5	A	
VO灌电流限制	$I_{VOSNCL}$	$V_{OSNS}=1.1 \times V_{REFOUT}$	3.5		5.5	A	
输出关机放电电阻	$R_{DSCHRG}$	$V_{REFIN}=0V$ , $V_{VO}=0.3V$ , $V_{EN}=0V$		18	25	$\Omega$	
<b>PGOOD</b>							
PGOOD门槛电压	$V_{TH(PG)}$	PGOOD 窗口低门槛电压 (VOSNS相对REFOUT)		-23.5%	-20%	-17.5%	
		PGOOD窗口高门槛电压		17.5%	20%	23.5%	
		PGOOD迟滞			5%		
PGOOD上升延时	$T_{PGSTUPDLY}$	上升沿		2		ms	
PGOOD输出低电压	$V_{PGOODLOW}$	$I_{SINK}=4mA$			0.4	V	
PGOOD输出低延时	$T_{PBADDLY}$	VOSNS 在 $\pm 20\%$ PGOOD 窗口之外		10		$\mu s$	
PGOOD漏电流	$I_{PGOODLK}$	$V_{OSNS}=V_{REFIN}$ (PGOOD高 阻抗), $V_{PGOOD}=V_{VIN}+0.2V$			1	$\mu A$	
<b>REFIN &amp; REFOUT</b>							

REFIN电压范围	$V_{REFIN}$		•	0.5		1.8	V
REFIN开启电压	$V_{REFIN\_UVLO}$	REFIN上升			390		mV
			•	360		420	mV
REFIN开启电压迟滞	$V_{REFIN-UVHYS}$				20		mV
REFOUT电压	$V_{REFOUT}$				REFIN		V
REFOUT电压公差	$V_{REFOUTTOL}$	$-1mA < I_{REFOUT} < 1mA,$ $V_{REFIN}=1.25V$	•	-12		12	mV
		$-1mA < I_{REFOUT} < 1mA,$ $V_{REFIN}=0.9V$	•	-12		12	mV
		$-1mA < I_{REFOUT} < 1mA,$ $V_{REFIN}=0.75V$	•	-12		12	mV
		$-1mA < I_{REFOUT} < 1mA,$ $V_{REFIN}=0.675V$	•	-12		12	mV
		$-1mA < I_{REFOUT} < 1mA,$ $V_{REFIN}=0.6V$	•	-12		12	mV
REFOUT拉电流限制	$V_{REFOUT-SRCL}$	$V_{REFOUT}=0V$		10	40		mA
REFOUT灌电流限制	$V_{REFOUT-SNCL}$	$V_{REFOUT}=0V$		10	40		mA
<b>VIN &amp; EN</b>							
VIN开启电压	$V_{VIN\_UVLO}$	启动			2.3		V
			•	2.2		2.4	V
VIN开启电压迟滞	$V_{VIN\_UVHYS}$				50		mV
使能“高”电压	$V_{ENIH}$		•	1.7			V
使能“低”电压	$V_{ENIL}$		•			0.3	V
使能迟滞电压	$V_{EN\_HYS}$				0.1		V
使能输入漏电流	$I_{ENLEAK}$			-1		1	$\mu A$
<b>过温保护</b>							
过温保护点	$T_{SD}$				150		$^{\circ}C$
过温保护滞环宽度	$T_{HYS}$				20		$^{\circ}C$

# 控制框图

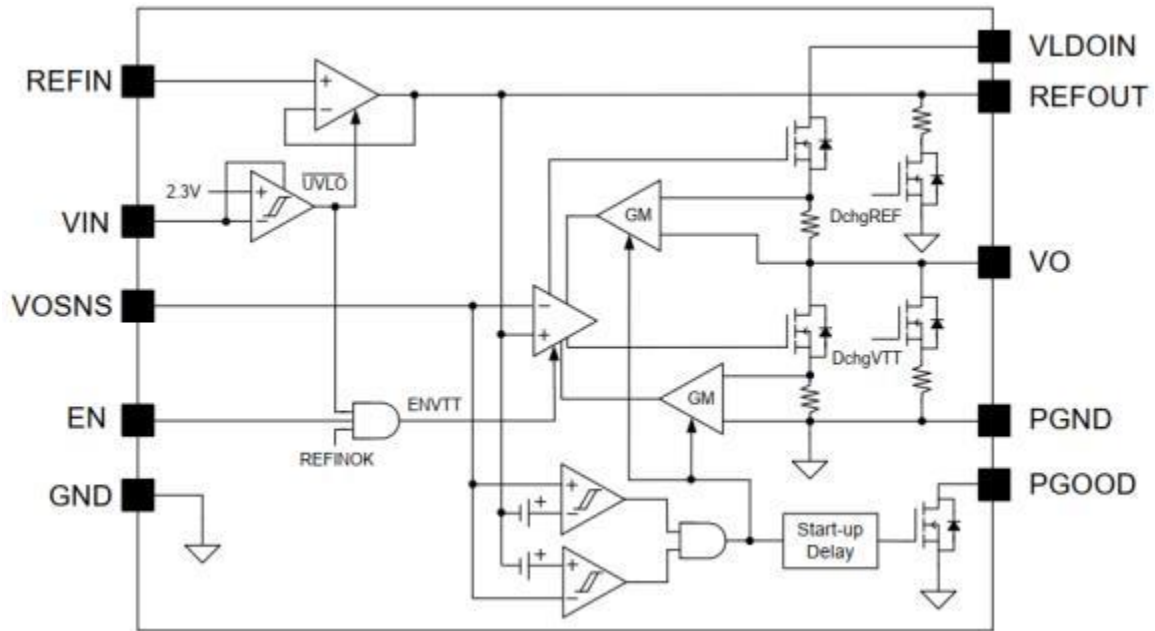
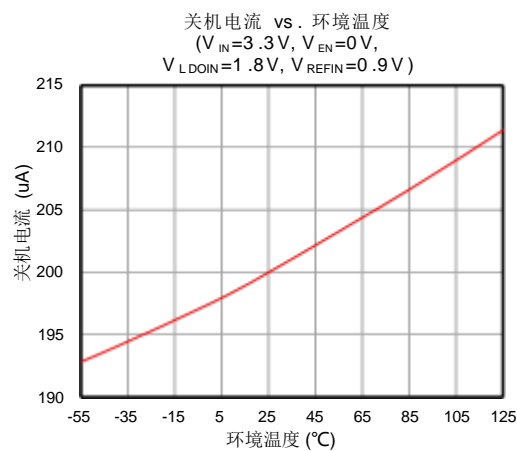
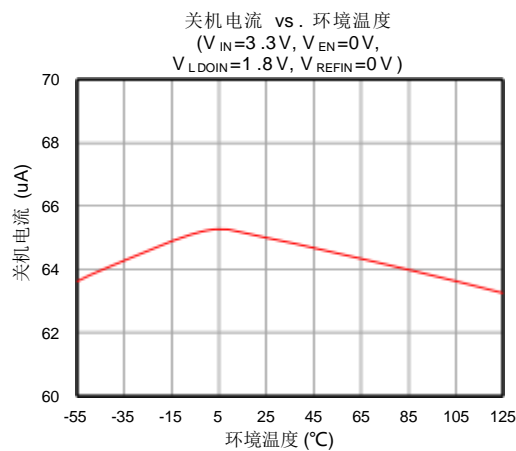
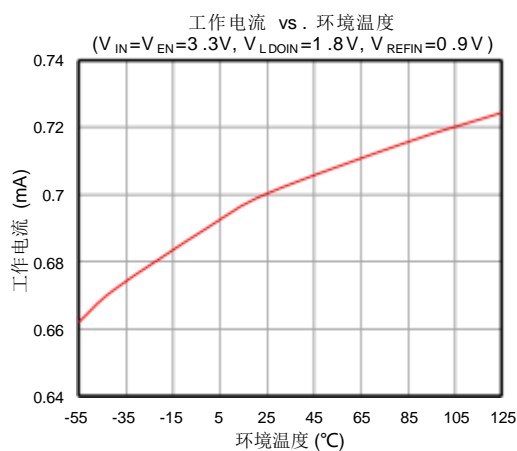
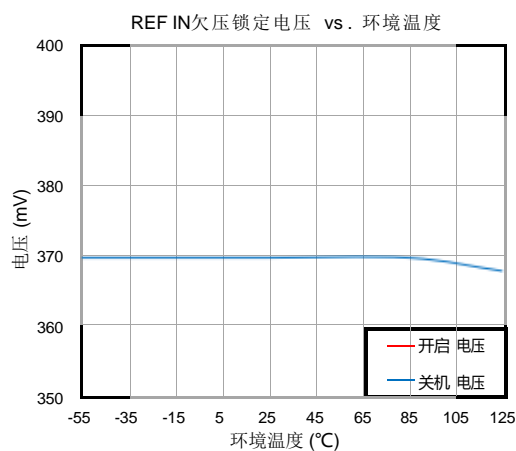
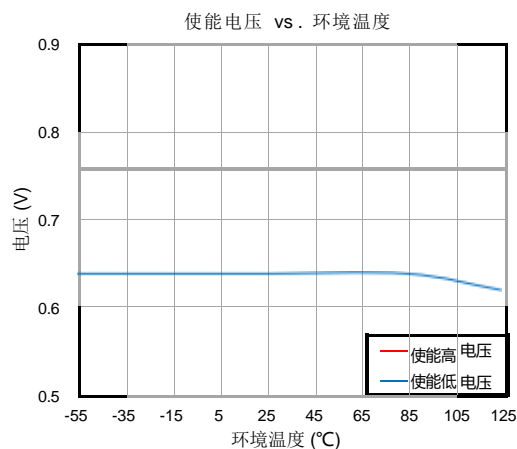
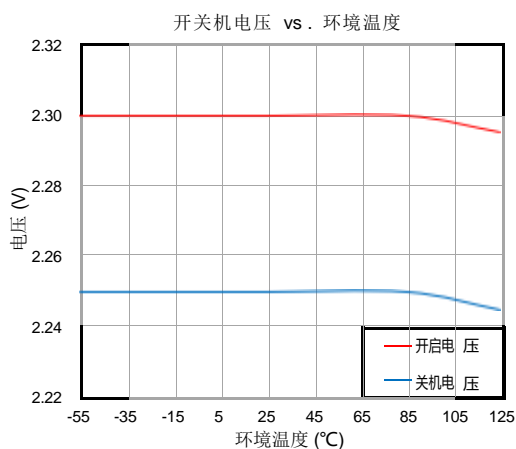
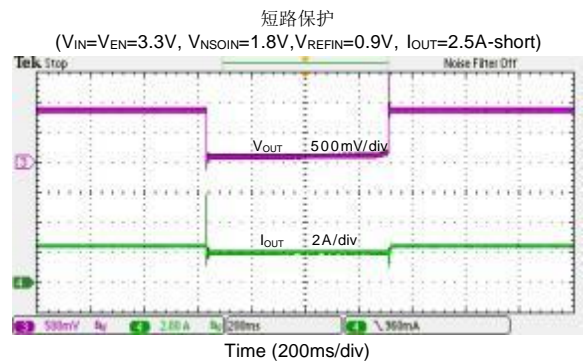
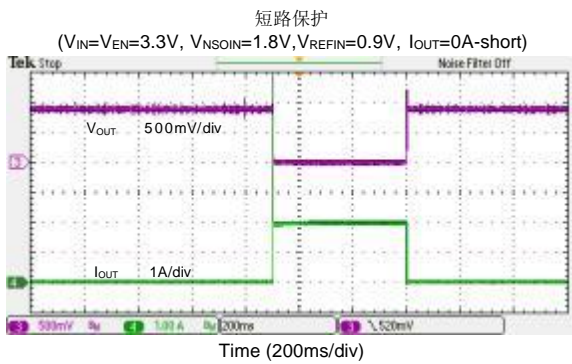
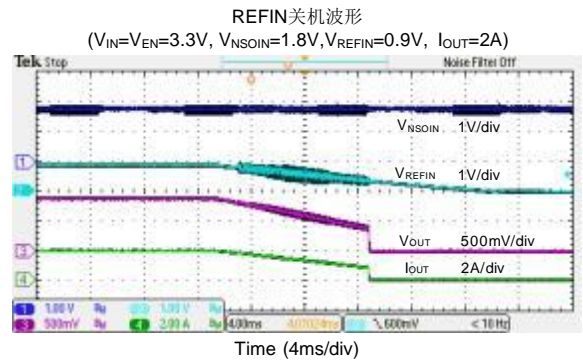
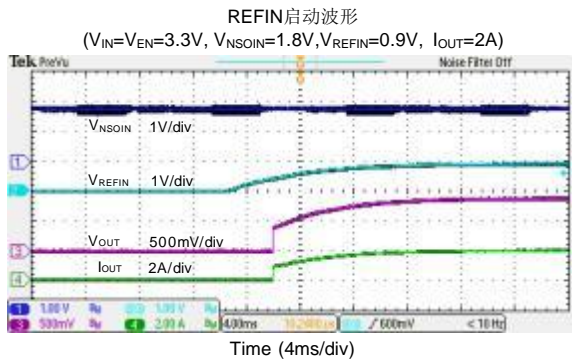
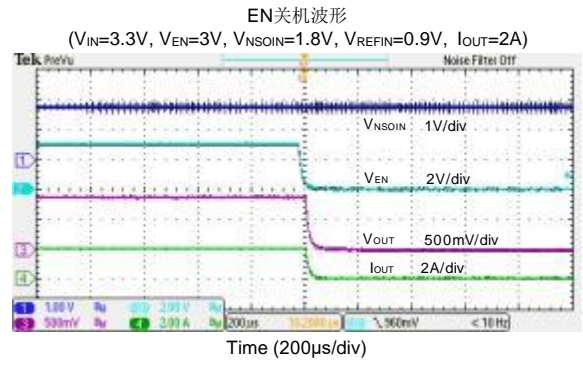
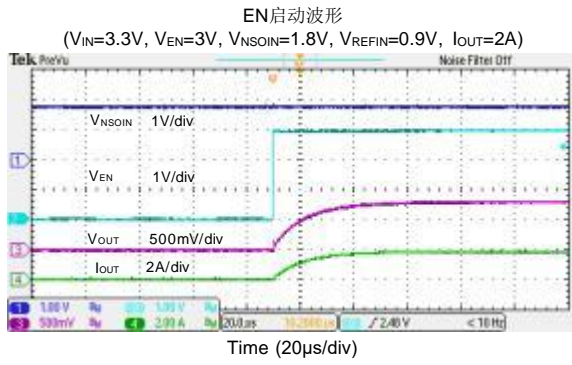


图 3 控制框图



## 典型特性曲线





## 原理描述

AST51200C是一款应用于小尺寸中的低输入电压灌/拉电流双倍速率（DDR）终端稳压器。AST51200C具有快速的动态响应，并且仅需要20 $\mu$ F的输出电容就能满足DDR，DDR2，DDR3，DDR3L，低功耗DDR3和DDR4 VTT总线终端的电源要求。此外AST51200C还提供了漏极开路的PGOOD信号，用于监控输出状态；和EN信号，用于DDR在S3期间为VVT放电。

### 灌/拉电流稳压器(VO Pin)

AST51200C集成了高性能，低压差（NSO）线性稳压器，能够提供灌/拉电流。NSO稳压器具有快速反馈环路，仅需使用小型陶瓷电容就可以实现快速负载的瞬态响应。为保证准确的输出调整率，降低线路电阻的影响，应将远程遥感端子VOSNS通过不走电流的路径连接到输出电容的正端。

### 参考输入(REFIN Pin)

输出电压VO被调节为REFOUT。当REFIN设置为标准DDR终端应用时，REFIN可由连接到存储器电源总线(VDDQ)的外部等效分压器设置。AST51200C支持0.5V到1.8V的REFIN电压，因此可以用于多重功能。

### 参考输出(REFOUT Pin)

当它配置为DDR终端应用时，REFOUT会为内存应用程序生成DDR VTT参考电压。它能够支持10mA的灌/拉电流。当REFIN电压上升至0.390V且VIN高于UVLO阈值时，REFOUT变为有效。当REFOUT小于0.375V时，它被禁用，然后通过内部10k $\Omega$  MOSFET放电至GND。REFOUT与EN引脚状态无关。

### 使能控制 (EN Pin)

当EN被拉到高电平时，VO稳压器开始正常工作。当EN被拉到低电平时，VO通过内部18 $\Omega$  MOS放电至GND。当EN被拉到低电平时，REFOUT保持打开状态。确保EN引脚电压始终保持低于或等于V<sub>VIN</sub>。

### 输出正常信号功能 (PGOOD Pin)

AST51200C器件提供漏极开路PGOOD输出，当VO输出在REFOUT的 $\pm 20\%$ 范围内时，该输出变为高电平。输出超过power good范围后，PGOOD在10 $\mu$ s内被拉低。在初始VO启动期间，PGOOD在VO进入电源正常范围后2ms拉高（典型值）。由于PGOOD是漏极开路输出，因此需要在PGOOD和稳定的电源电压之间放置一个值介于1k $\Omega$ 到100k $\Omega$ 之间的上拉电阻。

### 过流保护 (VO Pin)

NSO具有恒定的过流限制(OCL)。当输出电压不在power good范围内时，OCL减少一半。这种减少是一种非锁存保护。

### 输入欠压保护 (VIN Pin)

对于VIN欠压锁定(UVLO)保护，AST51200C监控VIN电压。当VIN电压低于UVLO阈值电压时，VO和REFOUT稳压器均断电。该关断是非锁存保护。

### 过温保护

AST51200C监控结温。如果器件结温超过阈值，VO和REFOUT稳压器均关断，由内部放电MOSFET放电。该关断是非锁存保护。

## PCB Layout布局要求

AST51200C的布局相对简单，为了获得最佳的性能，建议参考以下的方法：

1) 保证所有功率走线尽可能的短和宽。

2) 为了获得较好的热性能，建议选用两层或四层PCB布板，同时与芯片VNSOIN, VO, PGND连接的PCB敷铜需要尽量增加厚度和面积。芯片底部的散热焊盘需要直接焊接到PCB上，并且通过尽可能多的过孔连接至PCB其它层地平面敷铜，以进一步降低热阻，帮助芯片散热。

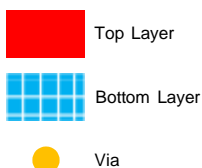
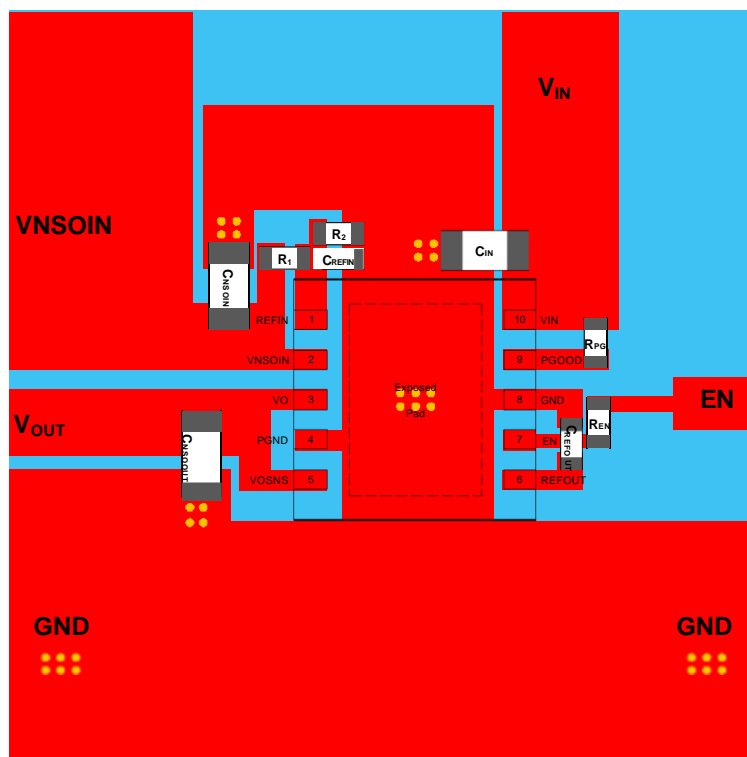
3) NSO输入电容 $C_{NSOIN}$ 需要尽量靠近VNSOIN和PGND，其构成的面积需要尽量小，输入电容两端需要增加尽可能多的过孔以进一步降低寄生阻抗。

4) NSO输出电容 $C_{NSOOUT}$ 需要尽量靠近VO和PGND，其构成的面积需要尽量小，输出电容两端需要增加尽可能多的过孔以进一步降低寄生阻抗。

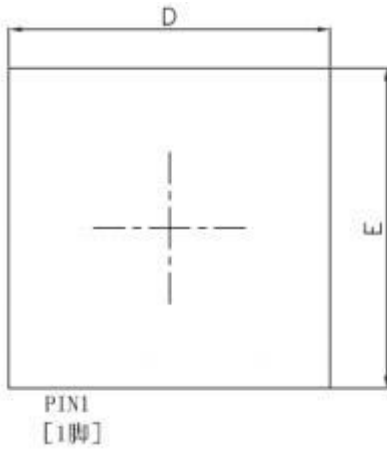
5) 电容 $C_{IN}$ 需要尽量靠近芯片VIN和GND。

6) 电容 $C_{REFIN}$ 需要尽量靠近芯片REFIN和GND。

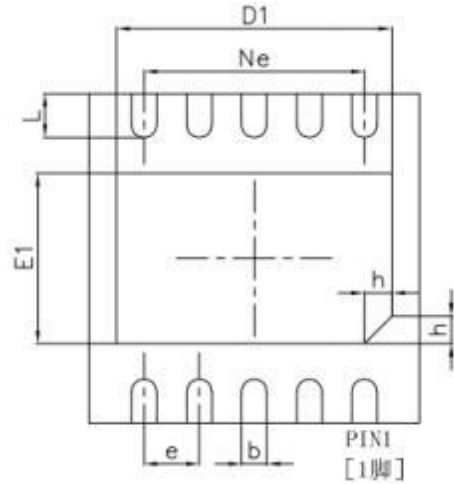
7) 电容 $C_{REFOUT}$ 需要尽量靠近芯片REFOUT和GND。



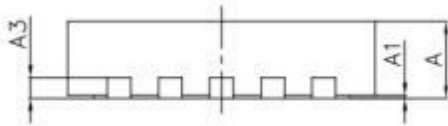
## DFN3x3-10 封装尺寸



俯视图



底视图



侧视图

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.700	0.750	0.800
A1	0.000	0.020	0.050
A3	0.203REF.		
D	2.900	3.000	3.100
E	2.900	3.000	3.100
D1	2.400	2.500	2.600
E1	1.450	1.550	1.650
h	0.200	0.250	0.300
b	0.180	0.230	0.300
e	0.500BSC		
Ne	2.000BSC		
L	0.300	0.400	0.500

封装尺寸表

注：所有尺寸单位为 mm

订货型号:

完整型号	质量等级	工作温度	封装类型
AST51200C	工业级	-40°C to 85°C	塑封DFN3X3-10