

AST32F031x6x 系列 32 位微控制器
数据手册

服务电话：13691641629 13538015750

目录

1 芯片简介	1
1.1 概述.....	1
1.2 主要特点.....	1
2 封装管脚信息	3
2.1 TSSOP20 封装引脚排布图.....	3
2.2 QFN20 封装引脚排布图.....	3
2.3 QFN28 封装引脚排布图.....	4
2.4 QFN32 封装引脚排布图.....	4
2.5 管脚功能描述.....	4
2.6 外设管脚描述.....	12
3 系统框图	14
4 系统描述	15
4.1 ARM CORTEX™-M0 内核.....	15
4.2 内存映射.....	16
4.3 系统时钟控制.....	18
4.4 系统复位.....	18
4.5 嵌套向量中断控制器(NVIC).....	19
4.6 IO 配置.....	20
4.7 TIM1(PWM)模块.....	21
4.8 GPIO.....	21
4.9 ADC 模块.....	21
4.10 UART 接口.....	22
4.11 SPI 接口.....	22
4.12 I2C 接口.....	22
4.13 定时器.....	23
4.14 FLASH/SRAM 存储器和 ISP/IAP 功能.....	23
4.15 看门狗定时器.....	23
4.16 电源及功耗管理.....	23
4.17 SWD 调试端口.....	24
5 电气规范	25
5.1 绝对最大额定值.....	25
5.2 电特性表.....	25
6 封装尺寸	30
6.1 TSSOP20 封装.....	30
6.2 QFN20 封装.....	31
6.3 QFN28 封装.....	33
6.4 QFN32 封装.....	34
7 订货信息	35

表目录

表 2-1 TSSOP20封装管脚功能描述.....	4
表 2-2 QFN20封装管脚功能描述.....	6
表 2-3 QFN28封装管脚功能描述.....	7
表 2-4 QFN32封装管脚功能描述.....	10
表 2-5 外设管脚选择.....	12
表 4-1 中断向量源和向量表.....	19
表 5-1 绝对额定值.....	25
表 5-2 电特性表.....	25
表 5-3 电特性表.....	26
表 5-4 电特性表.....	26
表 5-5 电特性表.....	27
表 5-6 电特性表.....	27
表 5-7 电特性表.....	28
表 7-1 选型列表.....	35

图目录

图 2-1 TSSOP20封装引脚排布图	3
图 2-2 QFN20封装引脚排布图	3
图 2-3 QFN28封装引脚排布图	4
图 2-4 QFN32封装引脚排布图	4
图 4-1 Cortex M0内核功能模块图	15
图 4-2 内存分配图	17
图 4-3 时钟系统框图	18
图 5-1 SPI主机模式	28
图 5-2 SPI从机时序	28
图 5-3 I2C总线时序	29
图 6-1 TSSOP20封装尺寸图	30
图 6-2 QFN20封装尺寸图	32
图 6-3 QFN28封装尺寸图	33
图 6-4 QFN32封装尺寸图	34

1 芯片简介

1.1 概述

AST32F031x6x 系列是我们最新开发的基于 ARM Cortex™ M0 核的 32 位通用处理器。主要应用是智能控制类市场，如电动工具、航模、小家电等。AST32F031x6x 系列控制器具备有常用外设，如 UART 串口、高精度的 12 位 ADC、看门狗定时器 (WDT)、I2C 总线接口、SPI 接口、4 个通用定时器；除此之外，AST32F031x6x 还集成了直流无刷电机控制以及马达控制功能。

1.2 主要特点

- **高性能32位ARM CPU 内核**
 - 速度高达48Mhz的ARM Cortex™-M0处理器
 - 单周期32位硬件乘法器
 - 灵活的NVIC中断
- **Flash内存**
 - 32K容量，32位Flash数据总线，支持高性能应用要求
 - 2K的boot引导程序区
- **SRAM内存**
 - 4K字节高速SRAM
- **16位PWM Timer发生器TIM1**
 - 多达6通道PWM输出自动死区插入
 - 基于硬件的故障保护系统
- **内嵌系统引导程序 (bootloader)**
 - 支持Flash存储器In-System-Program(ISP)和In-Application-Program(IAP)
- **灵活的时钟单元**
 - 内置48MHz精度±5%的内部高速振荡器
 - 内置32KHz看门狗振荡器
- **增强的定时器**
 - 2个基础定时器和2个增强型定时器
 - 基础定时器支持匹配中断功能
 - 增强型定时器支持匹配和捕获中断功能
 - 增强型定时器支持边沿计数，门控计数，AB相正交计数，触发计数，符号计数
- **模拟外设**

- 12位1MHzADC转换器
- 最多8个通道
- 支持软件和硬件AD转换触发模式
- **丰富的通信接口和高速输入/输出端口（GPIO）**
- 2个具备16字节FIFO的串口通信模块，同时支持IrDA协议
- 扩展的SPI接口，支持多种协议
- I²C接口
- 多达27个高速GPIO接口
- **电源管理**
- 三种省电模式：睡眠模式，深度睡眠模式，掉电模式
- 通过配置8个管脚端口将处理器从深度睡眠模式中唤醒
- P支持欠压检测（BOD），两组检测点可分别产生欠压中断和强制复位
- 支持上电复位（POR）
- 集成的电源管理单元（PMU）
- **工作温度范围**
- 军品级(-55℃~105℃)
- **2.7V~5.5V宽压工作范围**
- **封装形式：TSSOP20、QFN20、QFN28、QFN32**

2 封装管脚信息

2.1 TSSOP20 封装引脚排布图

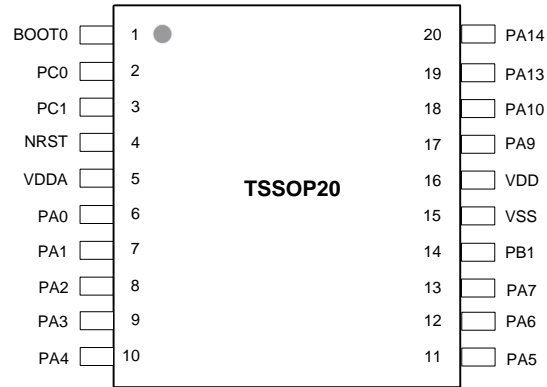


图 2-1 TSSOP20 封装引脚排布图

2.2 QFN20 封装引脚排布图

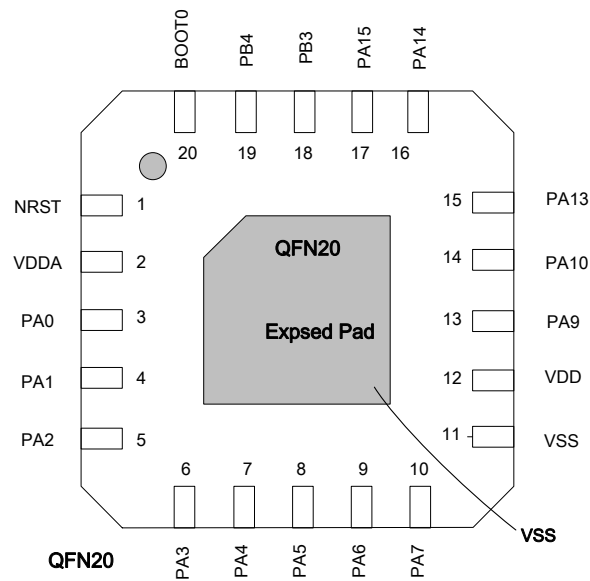


图 2-2 QFN20 封装引脚排布图

2.3 QFN28 封装引脚排布图

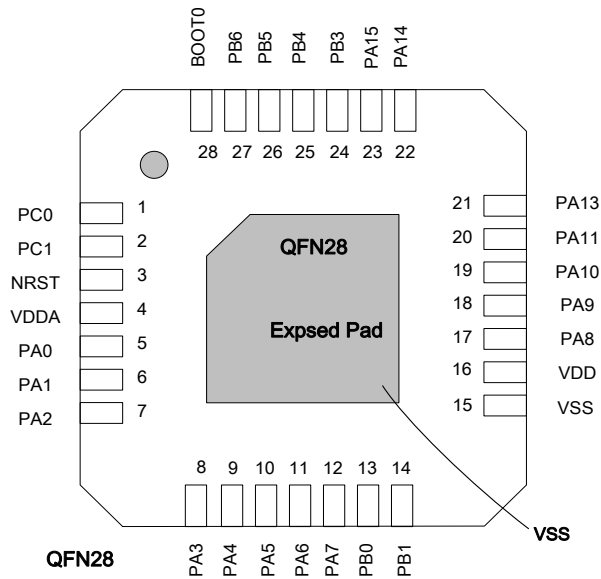


图 2-3 QFN28 封装引脚排布图

2.4 QFN32 封装引脚排布图

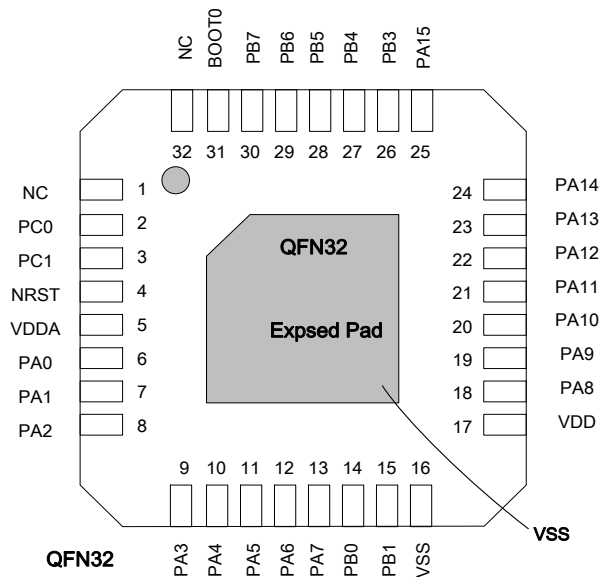


图 2-4 QFN32 封装引脚排布图

2.5 管脚功能描述

表 2-1 TSSOP20 封装管脚功能描述

序号	名称	唤醒输入	管脚类型	描述
1	BOOT0 ⁽¹⁾		I	BOOT0—Boot 启动选择
			I/O	PC3—通用数字 IO 管脚
2	PC0		I/O	PC0—通用数字 IO 管脚
3	PC1		I/O	PC1—通用数字 IO 管脚
4	NRST		I	NRST—RESET 管脚
			I/O	PC2—通用数字 IO 管脚
5	VDDA		S	模拟电源
6	PA0	●	I/O	PA0—通用数字 IO 管脚
			I	ADC_IN0—ADC 输入通道 0
7	PA1	●	I/O	PA1—通用数字 IO 管脚
			I	ADC_IN1—ADC 输入通道 1
8	PA2	●	I/O	PA2—通用数字 IO 管脚
			I	TIM3_CAP0—捕捉输入管脚,通道 0,定时器 3
			O	TIM3_MAT0—匹配输出管脚,通道 0,定时器 3
			O	TXD0—UART0 TX 输出管脚
9	PA3		I	ADC_IN2—ADC 输入通道 2
		●	I/O	PA3—通用数字 IO 管脚
			I	TIM3_CAP1—捕捉输入管脚,通道 1,定时器 3
			O	TIM3_MAT1—匹配输出管脚,通道 1,定时器 3
10	PA4		I	RXD0—UART0 RX 输入管脚
			I	ADC_IN3—ADC 输入通道 3
		●	I/O	PA4—通用数字 IO 管脚
			I	TIM3_CAP2—捕捉输入管脚,通道 2,定时器 3
11	PA5		O	TIM3_MAT2—匹配输出管脚,通道 2,定时器 3
			I/O	SPI_SSEL—SPI 芯片选择信号
			I	ADC_IN4—ADC 输入通道 4
		●	I/O	PA5—通用数字 IO 管脚
12	PA6		I/O	SPI_SCK—SPI 时钟信号
			I	ADC_IN5—ADC 输入通道 5
		●	I/O	PA6—通用数字 IO 管脚
			I	TIM1_FAULT—TIM1 PWM Fault in
13	PA7		I	TIM2_CAP0—捕捉输入管脚,通道 0,定时器 2
			O	TIM2_MAT0—匹配输出管脚,通道 0,定时器 2
			I/O	SPI_MISO—SPI 主机输入从机输出管脚
			I	ADC_IN6—ADC 输入通道 6
		●	I/O	PA7—通用数字 IO 管脚
14	PB1		O	TIM1_OUT1—TIM1 输出管脚通道 1
			I	TIM2_CAP1—捕捉输入管脚,通道 1,定时器 2
			O	TIM2_MAT1—匹配输出管脚,通道 1,定时器 2
			I/O	SPI_MOSI—SPI 主机输出从机输入管脚
15	V _{SS}		I	ADC_IN7—ADC 输入通道 7
			I/O	PB1—通用数字 IO 管脚.
			O	TIM1_OUT5—TIM1 输出管脚通道 5
			I	TIM2_CAP3—捕捉输入管脚,通道 3,定时器 2
	O	TIM2_MAT3—匹配输出管脚,通道 3,定时器 2		
	S		地	

序号	名称	唤醒输入	管脚类型	描述
16	V_{DD}		S	数字电源
17	PA9		I/O	PA9—通用数字 IO 管脚
			O	TIM1_OUT2—TIM1 输出管脚通道 2
			O	TXD0—UART0 TXD 输出管脚
			I/O	I ² C_SCL—I ² C 串行时钟管脚
18	PA10		I/O	PA10—通用数字 IO 管脚
			O	TIM1_OUT4—TIM1 输出管脚通道 4
			I	RXD0—UART0 RXD 输入管脚
			I/O	I ² C_SDA—I ² C 串行数据管脚
19	PA13		I/O	PA13—通用数字 IO 管脚
			I/O	SWD 调试数据管脚
20	PA14		I/O	PA14—通用数字 IO 管脚
			I/O	SWD 调试时钟管脚
			O	TXD1—UART1 TX 输出管脚

注：（1）MCU 正常工作时，保证 Boot 脚上为低电平或者悬空。

表 2-2 QFN20 封装管脚功能描述

序号	QFN20	唤醒输入	管脚类型	描述
1	NRST		I	NRST—RESET 管脚
			I/O	PC2—通用数字 IO 管脚
2	VDDA		S	模拟电源
3	PA0	●	I/O	PA0—通用数字 IO 管脚
			I	ADC_IN0—ADC 输入通道 0
4	PA1	●	I/O	PA1—通用数字 IO 管脚
			I	ADC_IN1—ADC 输入通道 1
5	PA2	●	I/O	PA2—通用数字 IO 管脚
			I	TIM3_CAP0—捕捉输入管脚,通道 0,定时器 3
			O	TIM3_MAT0—匹配输出管脚,通道 0,定时器 3
			O	TXD0—UART0TX 输出管脚
			I	ADC_IN2—ADC 输入通道 2
6	PA3	●	I/O	PA3—通用数字 IO 管脚
			I	TIM3_CAP1—捕捉输入管脚,通道 1,定时器 3
			O	TIM3_MAT1—匹配输出管脚,通道 1,定时器 3
			I	RXD0—UART0 RX 输入管脚
			I	ADC_IN3—ADC 输入通道 3
7	PA4	●	I/O	PA4—通用数字 IO 管脚
			I	TIM3_CAP2—捕捉输入管脚,通道 2,定时器 3
			O	TIM3_MAT2—匹配输出管脚,通道 2,定时器 3
			I/O	SPI_SSEL—SPI 芯片选择信号
			I	ADC_IN4—ADC 输入通道 4
8	PA5	●	I/O	PA5—通用数字 IO 管脚
			I/O	SPI_SCK—SPI 时钟信号
			I	ADC_IN5—ADC 输入通道 5
9	PA6	●	I/O	PA6—通用数字 IO 管脚

序号	QFN20	唤醒输入	管脚类型	描述
			I	TIM1_FAULT—TIM1 PWM Fault in
			I	TIM2_CAP0—捕捉输入管脚,通道 0,定时器 2
			O	TIM2_MAT0—匹配输出管脚,通道 0,定时器 2
			I/O	SPI_MISO—SPI 主机输入从机输出管脚
			I	ADC_IN6—ADC 输入通道 6
10	PA7	•	I/O	PA7—通用数字 IO 管脚
			O	TIM1_OUT1—TIM1 输出管脚通道 1
			I	TIM2_CAP1—捕捉输入管脚,通道 1,定时器 2
			O	TIM2_MAT1—匹配输出管脚,通道 1,定时器 2
			I/O	SPI_MOSI—SPI 主机输出从机输入管脚
			I	ADC_IN7—ADC 输入通道 7
11	VSS		S	地
12	VDD		S	数字电源
13	PA9		I/O	PA9—通用数字 IO 管脚
			O	TIM1_OUT2—TIM1 输出管脚通道 2
			O	TXD0—UART0 TXD 输出管脚
			I/O	I ² C_SCL—I ² C 串行时钟管脚
14	PA10		I/O	PA10—通用数字 IO 管脚
			O	TIM1_OUT4—TIM1 输出管脚通道 4
			I	RXD0—UART0 RXD 输入管脚
			I/O	I ² C_SDA—I ² C 串行数据管脚
15	PA13		I/O	SWD 调试数据管脚
			I/O	PA13—通用数字 IO 管脚
16	PA14		I/O	SWD 调试时钟管脚
			I/O	PA14—通用数字 IO 管脚
			O	TXD1—UART1 TX 输出管脚
17	PA15		I/O	PA15—通用数字 IO 管脚
			I/O	SPI_SSEL—SPI 芯片选择管脚
			I	RXD1—UART1 RX 输入管脚
18	PB3		I/O	PB3—通用数字 IO 管脚
			I/O	SPI_SCK—SPI 串行时钟管脚
19	PB4		I/O	PB4—通用数字 IO 管脚
			I/O	SPI_MISO—SPI 主机输入从机输出管脚
			I	TIM2_CAP0—捕捉输入管脚,通道 0,定时器 2
			O	TIM2_MAT0—匹配输出管脚,通道 0,定时器 2
20	BOOT0 ⁽¹⁾		I	BOOT0—Boot 启动选择
			I/O	PC3—通用数字 IO 管脚

注：（1）MCU 正常工作时，保证 Boot 脚上为低电平或者悬空。

表 2-3 QFN28 封装管脚功能描述

序号	QFN28	唤醒输入	管脚类型	描述
1	PC0		I/O	PC0—通用数字 IO 管脚
2	PCI		I/O	PC1—通用数字 IO 管脚

序号	QFN28	唤醒输入	管脚类型	描述
3	NRST		I	NRST—RESET 管脚
			I/O	PC2—通用数字 IO 管脚
4	VDDA		S	模拟电源
5	PA0	●	I/O	PA0—通用数字 IO 管脚
			I	ADC_IN0—ADC 输入通道 0
6	PA1	●	I/O	PA1—通用数字 IO 管脚
			I	ADC_IN1—ADC 输入通道 1
7	PA2	●	I/O	PA2—通用数字 IO 管脚
			I	TIM3_CAP0—捕捉输入管脚,通道 0,定时器 3
			O	TIM3_MAT0—匹配输出管脚,通道 0,定时器 3
			O	TXD0—UART0 TX 输出管脚
			I	ADC_IN2—ADC 输入通道 2
8	PA3	●	I/O	PA3—通用数字 IO 管脚
			I	TIM3_CAP1—捕捉输入管脚,通道 1,定时器 3
			O	TIM3_MAT1—匹配输出管脚,通道 1,定时器 3
			I	RXD0—UART0 RX 输入管脚
			I	ADC_IN3—ADC 输入通道 3
9	PA4	●	I/O	PA4—通用数字 IO 管脚
			I	TIM3_CAP2—捕捉输入管脚,通道 2,定时器 3
			O	TIM3_MAT2—匹配输出管脚,通道 2,定时器 3
			I/O	SPI_SSEL—SPI 芯片选择信号
			I	ADC_IN4—ADC 输入通道 4
10	PA5	●	I/O	PA5—通用数字 IO 管脚
			I/O	SPI_SCK—SPI 时钟信号
			I	ADC_IN5—ADC 输入通道 5
11	PA6	●	I/O	PA6—通用数字 IO 管脚
			I	TIM1_FAULT—TIM1 PWM Fault in
			I	TIM2_CAP0—捕捉输入管脚,通道 0,定时器 2
			O	TIM2_MAT0—匹配输出管脚,通道 0,定时器 2
			I/O	SPI_MISO—SPI 主机输入从机输出管脚
			I	ADC_IN6—ADC 输入通道 6
12	PA7	●	I/O	PA7—通用数字 IO 管脚
			O	TIM1_OUT1—TIM1 输出管脚通道 1
			I	TIM2_CAP1—捕捉输入管脚,通道 1,定时器 2
			O	TIM2_MAT1—匹配输出管脚,通道 1,定时器 2
			I/O	SPI_MOSI—SPI 主机输出从机输入管脚
			I	ADC_IN7—ADC 输入通道 7
13	PB0		I/O	PB0—通用数字 IO 管脚
			O	TIM1_OUT3—TIM1 输出管脚通道 3
			I	TIM2_CAP2—捕捉输入管脚,通道 2,定时器 2
			O	TIM2_MAT2—匹配输出管脚,通道 2,定时器 2
14	PB1		I/O	PB1—通用数字 IO 管脚.
			O	TIM1_OUT5—TIM1 输出管脚通道 5
			I	TIM2_CAP3—捕捉输入管脚,通道 3,定时器 2
			O	TIM2_MAT3—匹配输出管脚,通道 3,定时器 2
15	VSS		S	地

序号	QFN28	唤醒输入	管脚类型	描述
16	VDD		S	数字电源
17	PA8		I/O	PA8—通用数字 IO 管脚
			O	TIM1_OUT0—TIM1 输出管脚通道 0
			I	TIM3_CAP3—捕捉输入管脚,通道 3,定时器 3
			O	TIM3_MAT3—匹配输出管脚,通道 3,定时器 3
			O	CLKOUT—内部时钟输出
18	PA9		I/O	PA9—通用数字 IO 管脚
			O	TIM1_OUT2—TIM1 输出管脚通道 2
			O	TXD0—UART0 TXD 输出管脚
			I/O	I ² C_SCL—I ² C 串行时钟管脚
19	PA10		I/O	PA10—通用数字 IO 管脚
			O	TIM1_OUT4—TIM1 输出管脚通道 4
			I	RXD0—UART0 RXD 输入管脚
			I/O	I ² C_SDA—I ² C 串行数据管脚
20	PA11		I/O	PA11—通用数字 IO 管脚
			I	TIM2_CAP2—捕捉输入管脚,通道 2,定时器 2
			O	TIM2_MAT2—匹配输出管脚,通道 2,定时器 2
21	PA13		I/O	SWD 调试数据管脚
			I/O	PA13—通用数字 IO 管脚
22	PA14		I/O	SWD 调试时钟管脚
			I/O	PA14—通用数字 IO 管脚
			O	TXD1—UART1 TX 输出管脚
23	PA15		I/O	PA15—通用数字 IO 管脚
			I/O	SPI_SSEL—SPI 芯片选择管脚
			I	RXD1—UART1 RX 输入管脚
24	PB3		I/O	PB3—通用数字 IO 管脚
			I/O	SPI_SCK—SPI 串行时钟管脚
25	PB4		I/O	PB4—通用数字 IO 管脚
			I/O	SPI_MISO—SPI 主机输入从机输出管脚
			I	TIM2_CAP0—捕捉输入管脚,通道 0,定时器 2
			O	TIM2_MAT0—匹配输出管脚,通道 0,定时器 2
26	PB5		I/O	PB5—通用数字 IO 管脚
			I/O	SPI_MOSI—SPI 主机输出从机输入管脚
			I	TIM2_CAP1—捕捉输入管脚,通道 1,定时器 2
			O	TIM2_MAT1—匹配输出管脚,通道 1,定时器 2
27	PB6		I/O	PB6—通用数字 IO 管脚
			I/O	I ² C_SCL—I ² C 串行时钟管脚
			O	TXD1—UART1 TX 输出管脚
			I	TIM3_CAP0—捕捉输入管脚,通道 0,定时器 3
			O	TIM3_MAT0—匹配输出管脚,通道 0,定时器 3
28	BOOT0 ⁽¹⁾		I	BOOT0—Boot 启动选择
			I/O	PC3—通用数字 IO 管脚

注：（1）MCU 正常工作时，保证 Boot 脚上为低电平或者悬空。

表 2-4 QFN32 封装管脚功能描述

序号	QFN32	唤醒输入	管脚类型	描述
1	NC		S	悬空
2	PC0		I/O	PC0—通用数字 IO 管脚
3	PCI		I/O	PC1—通用数字 IO 管脚
4	NRST		I	NRST—RESET 管脚
			I/O	PC2—通用数字 IO 管脚
5	VDDA		S	模拟电源
6	PA0	●	I/O	PA0—通用数字 IO 管脚
			I	ADC_IN0—ADC 输入通道 0
7	PA1	●	I/O	PA1—通用数字 IO 管脚
			I	ADC_IN1—ADC 输入通道 1
8	PA2	●	I/O	PA2—通用数字 IO 管脚
			I	TIM3_CAP0—捕捉输入管脚,通道 0,定时器 3
			O	TIM3_MAT0—匹配输出管脚,通道 0,定时器 3
			O	TXD0—UART0 TX 输出管脚
			I	ADC_IN2—ADC 输入通道 2
9	PA3	●	I/O	PA3—通用数字 IO 管脚
			I	TIM3_CAP1—捕捉输入管脚,通道 1,定时器 3
			O	TIM3_MAT1—匹配输出管脚,通道 1,定时器 3
			I	RXD0—UART0 RX 输入管脚
			I	ADC_IN3—ADC 输入通道 3
10	PA4	●	I/O	PA4—通用数字 IO 管脚
			I	TIM3_CAP2—捕捉输入管脚,通道 2,定时器 3
			O	TIM3_MAT2—匹配输出管脚,通道 2,定时器 3
			I/O	SPI_SSEL—SPI 芯片选择信号
			I	ADC_IN4—ADC 输入通道 4
11	PA5	●	I/O	PA5—通用数字 IO 管脚
			I/O	SPI_SCK—SPI 时钟信号
			I	ADC_IN5—ADC 输入通道 5
12	PA6	●	I/O	PA6—通用数字 IO 管脚
			I	TIM1_FAULT—TIM1 PWM Fault in
			I	TIM2_CAP0—捕捉输入管脚,通道 0,定时器 2
			O	TIM2_MAT0—匹配输出管脚,通道 0,定时器 2
			I/O	SPI_MISO—SPI 主机输入从机输出管脚
			I	ADC_IN6—ADC 输入通道 6
13	PA7	●	I/O	PA7—通用数字 IO 管脚
			O	TIM1_OUT1—TIM1 输出管脚通道 1
			I	TIM2_CAP1—捕捉输入管脚,通道 1,定时器 2
			O	TIM2_MAT1—匹配输出管脚,通道 1,定时器 2
			I/O	SPI_MOSI—SPI 主机输出从机输入管脚
			I	ADC_IN7—ADC 输入通道 7
14	PB0		I/O	PB0—通用数字 IO 管脚
			O	TIM1_OUT3—TIM1 输出管脚通道 3

序号	QFN32	唤醒输入	管脚类型	描述
			I	TIM2_CAP2—捕捉输入管脚,通道 2,定时器 2
			O	TIM2_MAT2—匹配输出管脚,通道 2,定时器 2
15	PB1		I/O	PB1—通用数字 IO 管脚.
			O	TIM1_OUT5—TIM1 输出管脚通道 5
			I	TIM2_CAP3—捕捉输入管脚,通道 3,定时器 2
			O	TIM2_MAT3—匹配输出管脚,通道 3,定时器 2
16	VSS		S	地
17	VDD		S	数字电源
18	PA8		I/O	PA8—通用数字 IO 管脚
			O	TIM1_OUT0—TIM1 输出管脚通道 0
			I	TIM3_CAP3—捕捉输入管脚,通道 3,定时器 3
			O	TIM3_MAT3—匹配输出管脚,通道 3,定时器 3
			O	CLKOUT—内部时钟输出
19	PA9		I/O	PA9—通用数字 IO 管脚
			O	TIM1_OUT2—TIM1 输出管脚通道 2
			O	TXD0—UART0 TXD 输出管脚
			I/O	I ² C_SCL—I ² C 串行时钟管脚
20	PA10		I/O	PA10—通用数字 IO 管脚
			O	TIM1_OUT4—TIM1 输出管脚通道 4
			I	RXD0—UART0 RXD 输入管脚
			I/O	I ² C_SDA—I ² C 串行数据管脚
21	PA11		I/O	PA11—通用数字 IO 管脚
			I	TIM2_CAP2—捕捉输入管脚,通道 2,定时器 2
			O	TIM2_MAT2—匹配输出管脚,通道 2,定时器 2
22	PA12		I/O	PA12—通用数字 IO 管脚
23	PA13		I/O	SWD 调试数据管脚
			I/O	PA13—通用数字 IO 管脚
24	PA14		I/O	SWD 调试时钟管脚
			I/O	PA14—通用数字 IO 管脚
			O	TXD1—UART1 TX 输出管脚
25	PA15		I/O	PA15—通用数字 IO 管脚
			I/O	SPI_SSEL—SPI 芯片选择管脚
			I	RXD1—UART1 RX 输入管脚
26	PB3		I/O	PB3—通用数字 IO 管脚
			I/O	SPI_SCK—SPI 串行时钟管脚
27	PB4		I/O	PB4—通用数字 IO 管脚
			I/O	SPI_MISO—SPI 主机输入从机输出管脚
			I	TIM2_CAP0—捕捉输入管脚,通道 0,定时器 2
			O	TIM2_MAT0—匹配输出管脚,通道 0,定时器 2
28	PB5		I/O	PB5—通用数字 IO 管脚
			I/O	SPI_MOSI—SPI 主机输出从机输入管脚
			I	TIM2_CAP1—捕捉输入管脚,通道 1,定时器 2
			O	TIM2_MAT1—匹配输出管脚,通道 1,定时器 2

序号	QFN32	唤醒输入	管脚类型	描述
29	PB6		I/O	PB6—通用数字 IO 管脚
			I/O	I ² C_SCL—I ² C 串行时钟管脚
			O	TXD1—UART1TX 输出管脚
			I	TIM3_CAP0—捕捉输入管脚,通道 0,定时器 3
			O	TIM3_MAT0—匹配输出管脚,通道 0,定时器 3
30	PB7		I/O	PB7—通用数字 IO 管脚
			I/O	I ² C_SDA—I ² C 串行数据管脚
			I	RXD1—UART1 RX 输入管脚
			I	TIM3_CAP1—捕捉输入管脚,通道 1,定时器 3
			O	TIM3_MAT1—匹配输出管脚,通道 1,定时器 3
31	BOOT0 ⁽¹⁾		I	BOOT0—Boot 启动选择
			I/O	PC3—通用数字 IO 管脚
32	NC		S	悬空

注：（1）MCU 正常工作时，保证 Boot 脚上为低电平或者悬空。

2.6 外设管脚描述

使用 MCU 外设，需找到相应的管脚并通过 IOCONFIG 寄存器设置管脚的功能。系统复位时，主 SWD 调试端口和 RESET 复位功能是默认设置，所有其他的管脚被设定为数字 GPIO。

表 2-5 外设管脚选择

外设	功能名称	TSSOP20	QFN20	QFN28	QFN32	类型	可选管脚		
ADC	AD0	√	√	√	√	I	PA0		
	AD1	√	√	√	√	I	PA1		
	AD2	√	√	√	√	I	PA2		
	AD3	√	√	√	√	I	PA3		
	AD4	√	√	√	√	I	PA4		
	AD5	√	√	√	√	I	PA5		
	AD6	√	√	√	√	I	PA6		
	AD7	√	√	√	√	I	PA7		
TIM2	TIM2_CAP0	√	√	√	√	I	PA6	PB4	
	TIM2_CAP1	√	√			I	PA7	PB5	
	TIM2_CAP2			√	√	I	PB0	PA11	
	TIM2_CAP3					I	PB1		
	TIM2_MAT0	√	√	√	√	O	PA6	PB4	
	TIM2_MAT1	√				O	PA7	PB5	
	TIM2_MAT2			√	√	O	PB0	PA11	

外设	功能名称	TSSOP20	QFN20	QFN28	QFN32	类型	可选管脚		
	TIM2_MAT3					O	PB1		
TIM3	TIM3_CAP0	√	√	√	√	I	PA2	PB6	
	TIM3_CAP1	√	√		√	I	PA3	PB7	
	TIM3_CAP2	√	√			I	PA4	PB8	
	TIM3_CAP3			√	√	I		PA8	
	TIM3_MAT0	√		√	√	O	PA2	PB6	
	TIM3_MAT1	√	√		√	O	PA3	PB7	
	TIM3_MAT2	√	√			O	PA4	PB8	
	TIM3_MAT3			√	√	O		PA8	
PWM	PWM_OUT0			√	√	O	PA8		
	PWM_OUT1	√	√	√	√	O	PA7		
	PWM_OUT2	√		√	√	O	PA9		
	PWM_OUT3			√	√	O	PB0		
	PWM_OUT4	√	√	√	√	O	PA10		
	PWM_OUT5	√		√	√	O	PB1		
	PWM_FAULT	√	√	√	√	I	PA6		
UART0	RXD0	√	√	√	√	I	PA3	PA10	
	TXD0	√	√	√	√	O	PA2	PA9	
UART1	RXD1			√	√	I	PA15	PB7	
	TXD1			√	√	O	PA14	PB6	
SPI	SSEL	√	√	√	√	I/O	PA4	PA15	
	SCK	√	√	√	√	I/O	PA5	PB3	
	MISO	√	√	√	√	I/O	PA6	PB4	
	MOSI	√	√	√	√	I/O	PA7	PB5	
I2C	SCL	√	√	√	√	I/O	PA9	PB6	
	SDA	√	√	√	√	I/O	PA10	PB7	
SWD	SWCLK	√	√	√	√	I	PA14		
	SWDIO	√	√	√	√	I/O	PA13		

3 系统框图

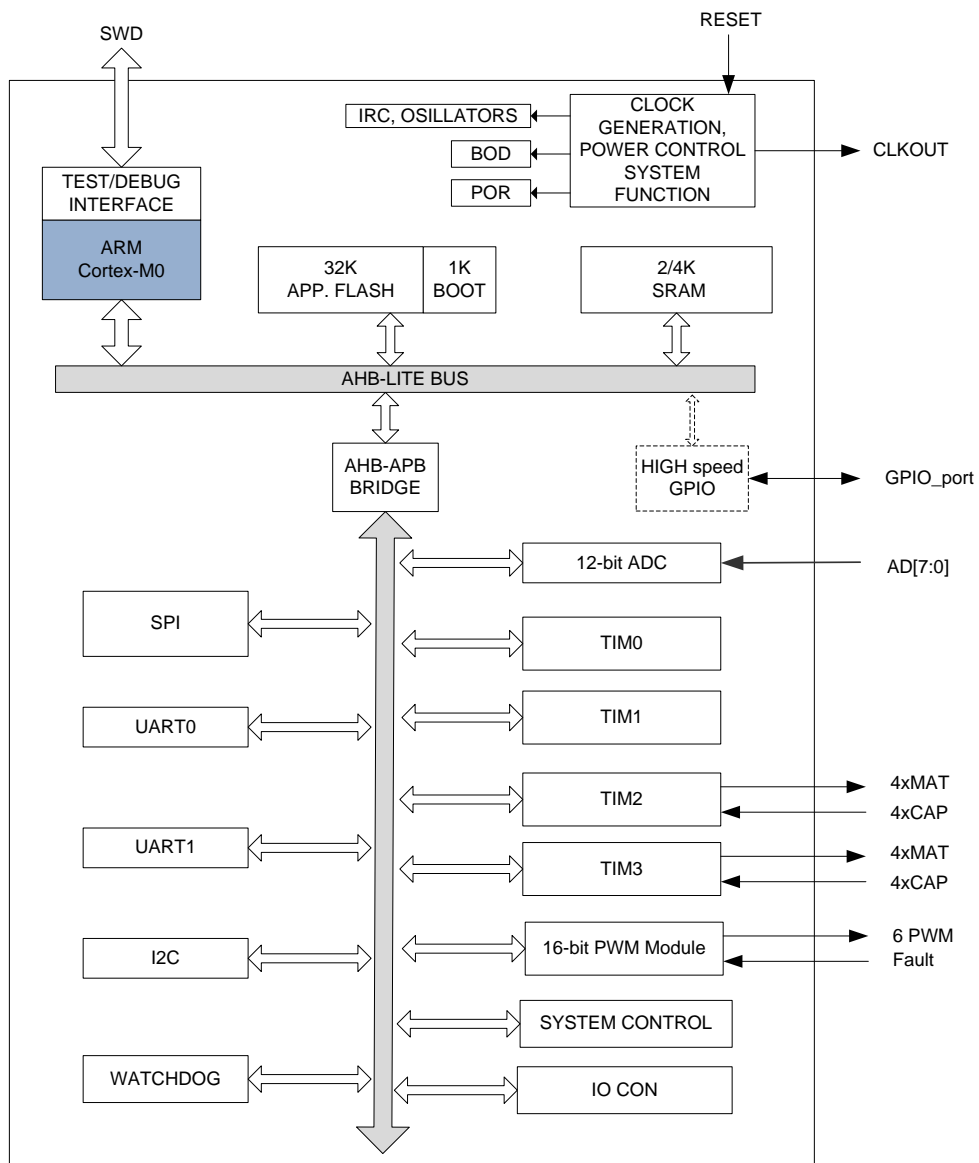


图 3-1 AST32F031x6x block diagram

4 系统描述

4.1 ARM Cortex™-M0 内核

Cortex™ M0 处理器是 32 位可配置的多级流水线 RISC 处理器，内嵌 AMBA-Lite 接口和嵌套向量中断控制器(NVIC)。具有可选的硬件调试功能，可以执行 Thumb 指令，并与其它 Cortex-M 系列兼容。它工作在两种模式：Thread 模式和 Handler 模式。当系统异常发生时，就进入 Handler 模式。从 Handler 模式返回时，执行异常返回。复位时系统进入 Thread 模式。Thread 模式也可由异常返回时进入。

下图为 M0 功能模块图：

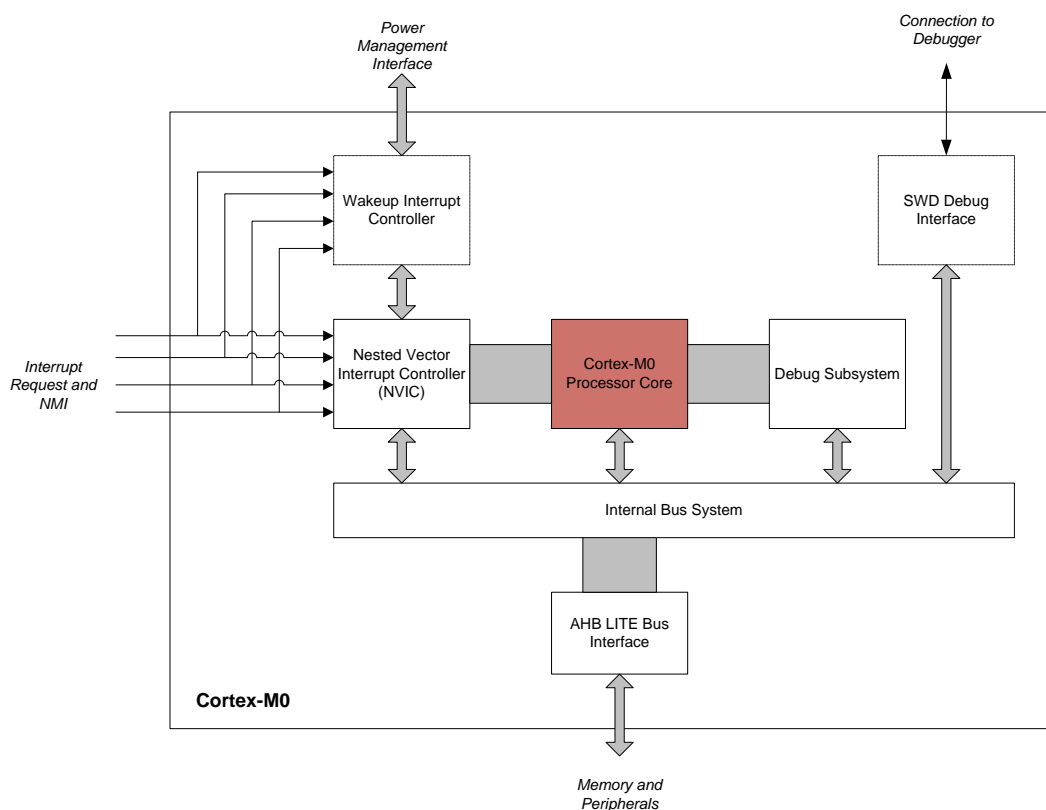


图 4-1 Cortex M0 内核功能模块图

ARM Cortex™-M0 处理器功能特征：

- ARMv6-M Thumb
- Thumb-2技术
- ARMv6-M兼容24-位SysTick定时器
- 32-位硬件乘法器
- 系统接口支持小端（little-endian）数据访问

- 准确而及时的中断处理能力
- 加载、存储多个数据和多周期乘法指令可被终止然后重新开始从而实现快速中断处理
- C应用程序二进制接口的异常兼容模式（C-ABI）。ARMv6-M的模式允许用户使用纯C函数实现中断处理
 - 使用中断唤醒（WFI）与事件唤醒（WFE）指令进入低功耗的休眠模式，或者从中断退出休眠模式
 - NVIC特征:
 - 32个外部中断，每个中断具有4级优先级
 - 专用的不可屏蔽中断（NMI）
 - 同时支持电平和脉冲中断触发
 - 中断唤醒控制器(WIC),支持极低功耗休眠模式
 - 调试支持
 - 四个硬件断点
 - 两个观察点
 - 用于非侵入式代码分析的程序计数采样寄存器（PCSR）
 - 单步和向量捕获能力
 - 总线接口:
 - 提供简单的集成到所有系统外设和存储器的单一32位AMBA-3 ABH-Lite系统接口.
 - 支持DAP(Debug Access Port)的单一32位的从机端口

4.2 内存映射

AST32F031x6x 内存地址空间支持 4GB 大小。分为：引导区，Flash 存储器区，SRAM 区，系统自有外设区，APB 外设区和 AHB 外设区。系统自有外设区保留为 M0 内核所用。

AHB 外设区占据 2M 大小空间，可以支持到 128 个外设。其中，GPIO 端口和 CRC 都属 AHB 外设。APB 外设区是一片 512K 大小空间。每一个 APB 外设都分配 16K 空间。所有外设控制寄存器读写都采用字（word）地址寻址，用户不可以单独访问寄存器高位字节或低位字节。引导区有 2KB 大小空间用于存储引导程序，ISP 和 IAP 函数。AST32F031x6x 允许的用户Flash 空间可多达 32KB，SRAM 空间达 4KB。Flash 和 SRAM 数据总线都采用 32 位操作方式。下图是 AST32F031x6x 内存地址空间分配图：

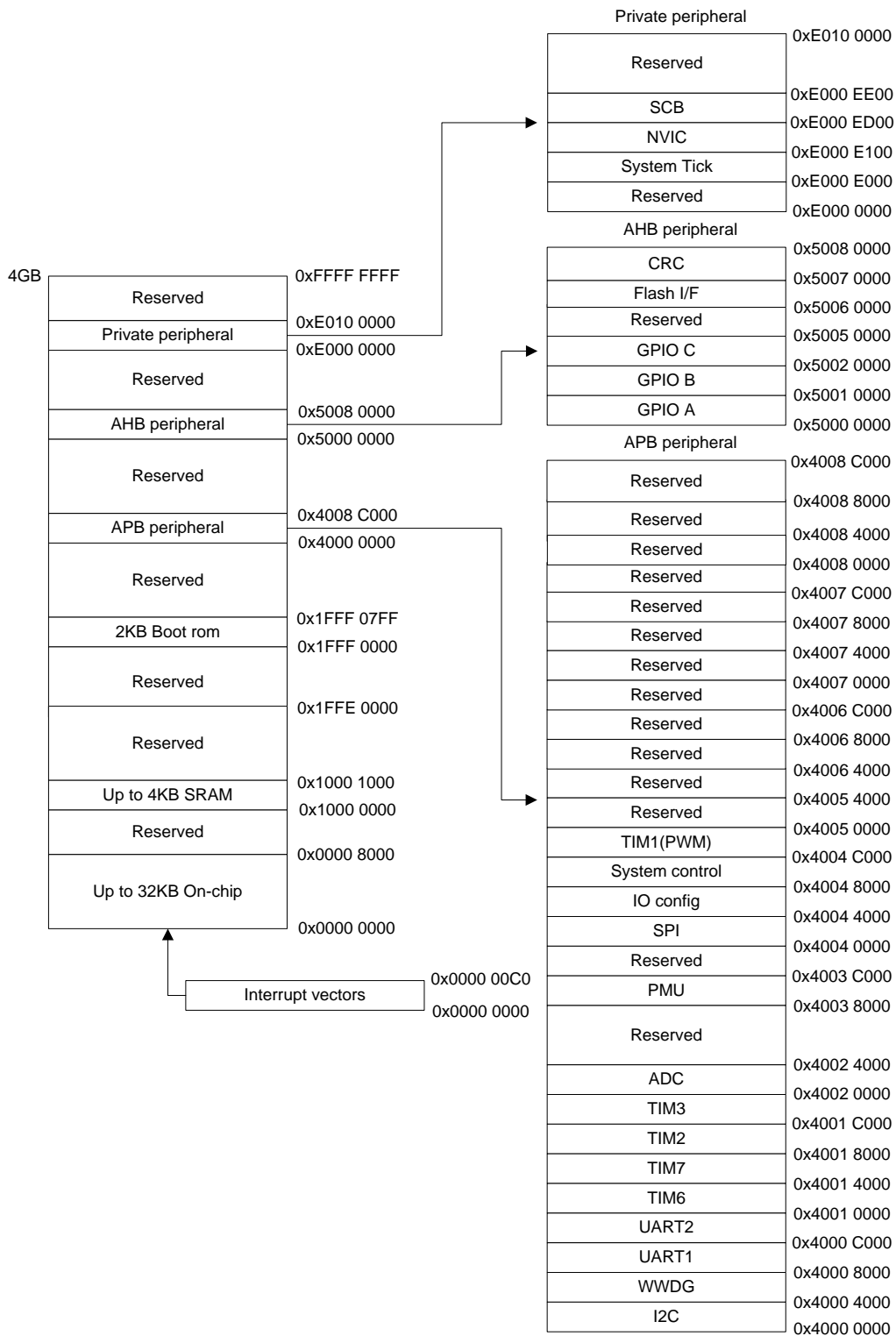


图 4-2 内存分配图

4.3 系统时钟控制

与其它 MCU 比较, AST32F031x6x 具有非常灵活的时钟控制系统。用户可根据不同应用要求来配置时钟从而取得最高的性能及优化的能耗管理。下图为 AST32F031x6x 的时钟系统概要图。

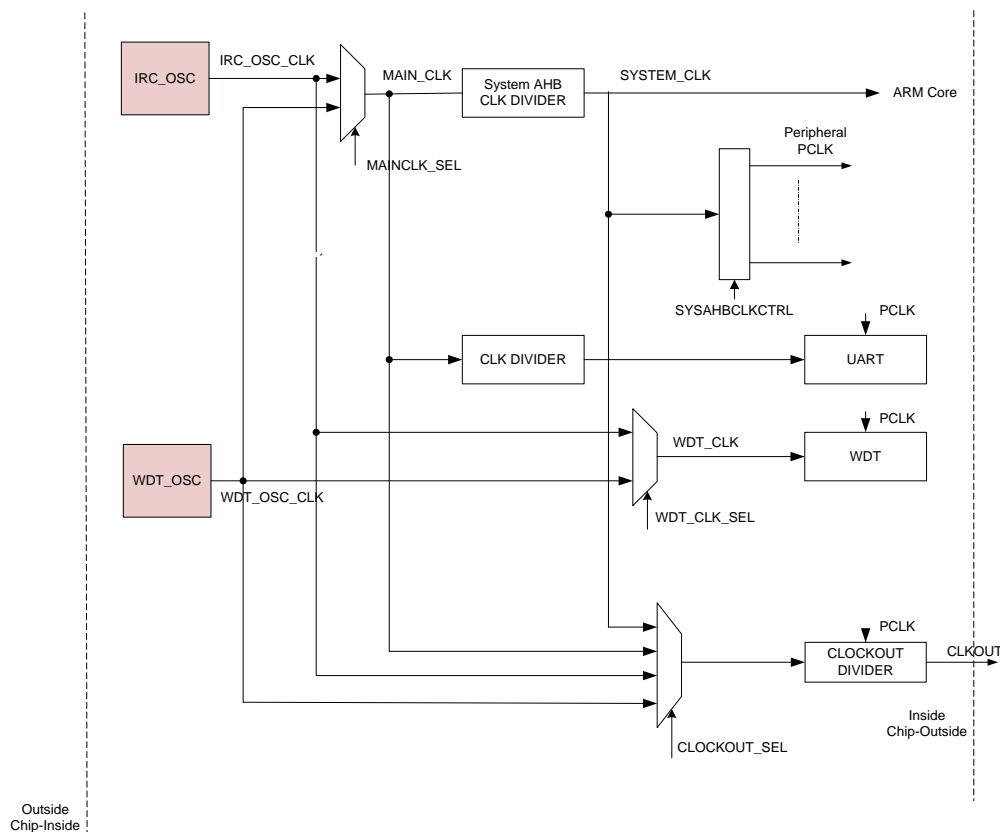


图 4-3 时钟系统框图

系统复位后, AST32F031x6x 会一直采用 IRC 时钟直到用户使用软件切换到其它的时钟源。这样, 系统可以在没有外部晶振时以已知的频率执行引导程序。

SYSAHBCLKCTRL 寄存器用于内存及外设时钟供给控制。UART1/2 有自己独立的时钟分频器从主时钟(main clock)取得操作时钟。看门狗操作时钟可来自于 WDT 振荡器或主时钟(main clock)。主时钟(main clock), IRC, 内部晶振及看门狗振荡器时钟都可从 CLKOUT 管脚输出。

4.4 系统复位

下列事件可以触发系统复位:

- 上电复位(POR)

- RESET#管脚复位信号（低电平）
- 看门狗超时复位
- 掉电检测复位(BOD)
- 软件复位
- 掉电模式唤醒复位

RESET#管脚是施密特触发(Schmitt trigger)输入管脚。一个有效的复位信号要求不低于 15us 的信号宽度。

复位可以由任意一个复位源引起,只要工作电压处于可用电平,就会启动 IRC 并保持有效。当外部复位无效后,此时振荡器运行,同时闪存控制器完成初始化。

当 POR, BOD 复位,外部复位和看门狗复位发生后,下列初始化会被执行:

- 启动IRC。经过IRC启动时间,IRC提供系统稳定时钟输出。
- 执行在ROM区的引导程序。引导程序会对系统初始化然后跳入用户程序。

当外部复位无效后,处理器执行映射到地址 0 的引导区程序,同时所有的处理器和外设寄存器都赋予初始值。

4.5 嵌套向量中断控制器(NVIC)

嵌套向量中断控制器(NVIC)是 Cortex™-M0 内核的一部分。它可以让 CPU 以最短的时间对中断作出反应。主要的特征有:

- 较短的中断响应延迟.
- 处理系统异常和外设中断.
- 支持32个中断向量.
- 四种可编程的中断响应优先级别.
- 产生软件中断.
- 可配置的不可屏蔽中断源(NMI).

下表列出所有系统和外设中断源。每一个外设可产生 1 到多个中断到中断向量控制器。每一个中断可能有多个中断源。

表 4-1 中断向量源和向量表

异常代码	IRQ 号	偏移地址	异常类型	优先级	描述
		0x00	SP 值		
1		0x04	Reset	-3 最高级	
2	-14	0x08	NMI	-2	
3	-13	0x0C	HardFault	-1	
10~4		0x10~0x28	保留		

异常代码	IRQ 号	偏移地址	异常类型	优先级	描述
11	-5	0x2C	SVCALL	可配置	
13~12		0x30~0x34	保留		
14	-2	0x38	PendSV	可配置	
15	-1	0x3C	SysTick	可配置	
16	0	0x40	唤醒中断	可配置	在深度睡眠模式下，PA0~PA11 产生的唤醒中断
17	1	0x44	TIM1 故障中断	可配置	
18	2	0x48	I2C	可配置	SI 状态更改
19	3	0x4C	TIM6	可配置	匹配 0~3
20	4	0x50	TIM7	可配置	匹配 0~3
21	5	0x54	TIM2	可配置	匹配 0~3 捕捉 0~3
22	6	0x58	TIM3	可配置	匹配 0~3 捕捉 0~3
23	7	0x5C	UART1	可配置	TX FIFO 空/半空 RX FIFO 半满/满 接收奇偶效验错误 接收缓冲区溢出
24	8	0x60	UART2	可配置	TX FIFO 空/半空 RX FIFO 半满/满 接收奇偶效验错误 接收缓冲区溢出
25	9	0x64	ADC	可配置	
26	10	0x68	WWDG	可配置	看门狗中断(WDINT)
27	11	0x6C	BOD	可配置	掉电检测中断
28	12	0x70	PA	可配置	GPIO 端口 0 中断状态
29	13	0x74	PB	可配置	GPIO 端口 1 中断状态
30	14	0x78	PC	可配置	GPIO 端口 2 中断状态
31	15	0x7C	RTC	可配置	RTC interrupt
32	16	0x80	SPI	可配置	Tx FIFO 半空 Rx FIFO 半满 Rx 非空中断 Rx 满中断
33	17	0x84	TIM1 PWM_Reload	可配置	
34-48	18-32	-	-	-	-

4.6 IO 配置

为实现管脚多路复用，AST32F031x6x 为每一个管脚设计了一个 IOCON 配置寄存器用于对管脚功能定义。I/O 配置寄存器控制管脚的电气特性。可配置下列功能：

- 管脚功能
- 管脚模式：内部上拉电阻使能/禁止
- 管脚驱动
- ADC管脚的模拟输入或数字模式切换
- IO管脚抗干扰滤波

4.7 TIM1(PWM)模块

AST32F031x6x 可提供独立的事件驱动的脉宽调制模块 PWM。PWM 模块可配置成 3 对互补输出, 6 个独立输出或互补和独立混合的 PWM 信号输出(如 2 对互补输出, 2 个独立输出)。同时支持 0~100% 占空比的边沿对齐和中心对齐模式。

PWM 模块使用 16 位计数器, 它的精度在边沿对齐时是一个时钟周期, 中心对齐时是 2 个时钟周期。时钟周期由 PWM 时钟源 PWM_PCLK(系统时钟)、预分频寄存器以及模数值决定。

当 PWM 信号配置成互补输出时, PWM 具有自动死区插入功能。每一个 PWM 输出可被 PWM 发生器、系统定时器、ADC 转换结果、GPIO 输入以及软件控制。非对称的 PWM 还可以允许在每半个周期改变 PWM 占空比而不需要软件参与。

4.8 GPIO

在 QFN32 封装下, AST32F031x6x 提供多达 27 个 GPIO 管脚。主要的特点有:

- 数字管脚可以用软件定义为输入或输出
- 管脚读写可以被屏蔽
- 多个管脚的置位、清零位用一条指令实现
- 管脚的输出取反
- 每一个管脚可作为外部中断信号
- 可编程的中断触发条件及中断优先级
- 所有GPIO管脚在复位后被配置成带上拉电阻的输入管脚。

4.9 ADC 模块

AST32F031x6x 支持 8 路 12 位的高分辨率的 ADC, 可满足客户应用要求, 主要功能如下:

- 1MHz 转换率, 12 位的 A/D 转换器
- 支持 8 个外部 AD 通道采样转换
- 模块支持低功耗掉电

- ADC测量范围0~VDDA.
- 支持突发模式ADC转换
- 可配置ADC转换触发源-输入管脚电平转换或定时器匹配信号.
- 每个ADC转换器有8个寄存器存储转换结果，从而减少中断负担.

4.10 UART 接口

AST32F031x6x 提供 2 个带 16 字节 FIFO 缓存器的 UART 外设：UART1,UART2。串行接口都支持红外传输(IrDA)协议功能。每个 UART 有独立的时钟分频器使之不受系统时钟影响。

- UART通讯采用的是固定的数据通讯格式：1个起始位,8个数据位,1个停止位,奇偶效验可选，无硬件握手。
- 用户可以设置BAUDDIV寄存器的分频值去产生适用不同应用的波特率。

4.11 SPI 接口

AST32F031x6x 支持扩展的 SPI(Serial Peripheral interface)接口，它可以支持标准的 SPI 操作，兼容 4 线的 SSI(Synchronous Serial Interface)。该接口允许多主、从机总线模式，但同一时刻，只有一个主/从机在发送数据。数据传输支持 4 位到 16 位全双工模式。主要功能如下：

- 支持标准的SPI，兼容4线的SSI
- 同步串行通信
- 支持主/从机模式
- 深度为8帧的先进先出FIFO（First In First Out）缓存器
- 每帧数据长度4-位到16-位

4.12 I²C 接口

I²C 是两线串行通信接口，它与 I²C 总线兼容。可以支持主、从机两种模式的 I²C 通信方式。主要功能如下：

- 兼容标准的I²C主从机工作模式
- 可编程到时钟频率支持不同的I²C数据传输速率
- 支持从机工作模式下双向数据传输
- 串行时钟同步使得传输速率不同的器件能够通过一条串行总线进行通信
- 支持高达1MHz速率
- 可设定为多达4个不同的从机地址.

4.13 定时器

AST32F031x6x 内置各两个基本型和增强型多功能的 16 位定时器/计数器。每个定时器/计数器主要功能如下：

- 可预置分频的定时器/计数器
- 增强型的定时器/计数器，支持沿计数、门控计数、正交计数、触发计数、带符号计数
- 捕捉定时器，可触发中断和信号测量
- 4个匹配寄存器，可定时触发事件中断

4.14 Flash/SRAM 存储器和 ISP/IAP 功能

AST32F031x6x 有多达 32KB Flash 和 4KB SRAM 用户存储器空间。Flash 支持在系统编程(ISP)和在应用编程(IAP)两种编程方式。用户可以通过 AST32F031x6x bootloader 接口来调用ISP/IAP 功能。

Flash 用户代码保护通过 2 级安全级别来实现。详情看用户手册相关章节。

4.15 看门狗定时器

看门狗定时器用于在用户程序出错并无法喂狗后对系统进行中断和复位处理。使用可编程的看门狗定时器，用户可改变定时器时间去应对不同的应用程序。该看门狗定时器有如下主要功能：

- 独立的频率可以设定的32KHz看门狗时钟振荡器
- 看门狗定时器可触发中断或复位
- 支持低功耗模式

4.16 电源及功耗管理

AST32F031x6x 支持多种功耗控制功能。在处理器正常工作模式下，可以对所选外设的电源和时钟进行优化，从而降低系统功耗。此外，处理器有三种特殊的低功耗模式：睡眠模式、深度睡眠模式和掉电模式。

4.16.1 睡眠模式

在睡眠模式下，ARM Cortex™-M0 内核的时钟被关闭，所有的指令执行被挂起直到系统被重启或中断唤醒。

对于外设来说，它的时钟此时由寄存器控制并可以产生中断，从而唤醒处理器重启执行指令。睡眠模式可以减少由处理器，内存和内部总线产生的系统动态功耗。处理器的状态和寄存器，外设寄存器，内存数据以及管脚的逻辑状态在睡眠模式下都保持不变。

4.16.2 深度睡眠模式

在深度睡眠模式下，处理器系统时钟（system clock）被关闭，同时所有的模拟模块（BOD，看门狗振荡器和 RTC 晶振除外）也被掉电。BOD，看门狗振荡器和 RTC 晶振的上电状态由寄存器配置决定。RTC 模块及 RTC 晶振在深度睡眠模式下正常工作，除非 RTC 被掉电。在深度睡眠模式下，系统可以最大限度减少由处理器，内存，外设，相关控制器及总线带来的动态功耗。当然，处理器的状态和寄存器，外设寄存器，内存数据以及管脚的逻辑状态都保持不变。

4.16.3 掉电模式

在掉电模式下，除了 WAKEUP 管脚之外，整个微控制器的电源和时钟都被关闭。

如果在进入掉电模式之前启用 RTC，则 RTC 和 RTC 振荡器将继续在掉电模式下运行。如果在掉电模式下不需要 RTC，可禁用 RTC，最大限度降低功耗。

在掉电模式下，除了少量数据可以存储在 PMU 模块的 4 个 32 位备份寄存器中之外，SRAM 和寄存器的内容将不会被保留。

在掉电模式下，除了 WAKEUP 管脚之外，所有功能管脚维持原态。

4.17 SWD 调试端口

AST32F031x6x 提供 SWD 调试接口支持标准 ARM Serial Wire Debug mode。功能有：

- 可直接对所有存储器、寄存器和外设进行调试。
- 调试阶段不需要占用目标资源。
- 4个断点。4个指令断点，可以用于重映射代码补丁的指令地址。2个数据比较器，可用于将补丁的地址重映射到字面值。

2 个数据观察点，可用作跟踪触发器。

5 电气规范

5.1 绝对最大额定值

表 5-1 绝对额定值

名字	符号	最小	最大	单位
工作电压	V_{SS}	-0.3		V
	V_{DD}	+3.0	+5.5	V
	V_{DDA}	+3.0	+5.5	V
I/O 输入电压	V_{IN}	-3.0	+5.5	V
储存温度	T_S	-55	+150	°C
V_{DD} 引脚的最大输入电流	I_{DD}		50	mA
V_{SS} 引脚的最大输出电流	I_{SS}		50	mA
I/O 引脚的最大输入灌电流		-10		mA
I/O 引脚的最大输出拉电流			10	mA
静电防护电压	V_{ESD}		2000	V

5.2 电特性表

除另有规定外，电特性应按表 1 的规定，并适用于全温度范围

表 5-2 电特性表

(1) 芯片参数表

符号/名称	参数描述	测试条件	最小值	最大值	单位
V_{DD}	供电电压	I/O 管脚供电(5V)	4.5	5.5	V
		I/O 管脚供电(3.3V)	2.7	3.6	V
标准端口管脚					
I_{IL}	低电平输入电流	$V_I=0V$;	-5	20	μA
I_{IH}	高电平输入电流	$V_I=V_{DD}$	-20	5	μA
V_{IH}	高电平输入		$0.65V_{DD}$	-	V
V_{IL}	低电平输入		-	0.5	V
V_{OH}	高电平输出	5V,在高驱动模式正常输出 $I_{Load}=12mA$ 在低驱动模式正常输出 $I_{Load}=6mA$	2.7	V_{DD}	V
		3.3V,在高驱动模式正常输出 $I_{Load}=6mA$ 在低驱动模式正常输出 $I_{Load}=3mA$	2.7	V_{DD}	V
V_{OL}	低电平输出	5V,在高驱动模式正常输出 $I_{Load}=12mA$ 在低驱动模式正常输出 $I_{Load}=6mA$	0	0.5	V
		3.3V,在高驱动模式正常输出 $I_{Load}=6mA$ 在低驱动模式正常输出 $I_{Load}=3mA$	0	0.5	

符号/名称	参数描述	测试条件	最小值	最大值	单位
I_{OH}	高电平输出电流	5V,在高驱动模式正常输出在低驱动模式正常输出	5 3	15 10	mA
		3.3V,在高驱动模式正常输出在低驱动模式正常输出	5 3	15 10	mA
I_{OL}	低电平输出电流	5V,在高驱动模式正常输出在低驱动模式正常输出	5 3	15 10	mA
		3.3V,在高驱动模式正常输出在低驱动模式正常输出	5 1	10 8	mA
R_{pup} R_{pdn}	上拉/下拉电流 ^[1]	5V/3.3V, 设计保证	20	100	KOhm

注: [1]设计保证。

表 5-3 电特性表

(2) BOD 参数

符号/名称	参数描述	测试条件	最小值	最大值	单位
V_{th}	阈值电压 ^[1]	中断电压			
		插入中断	2.8	2.9	V
		撤销中断	2.85	2.95	V
		复位电压			
		系统进入复位状态	0	2.65	V
		系统退出复位状态	2.5	2.75	V

注: [1]设计保证。

表 5-4 电特性表

(3) ADC 参数 ($T_A=-55^{\circ}\text{C}\sim+105^{\circ}\text{C};V_{DD}=3.0\text{V}\sim5.5\text{V}$)

符号/名称	参数描述	测试条件	最小值	最大值	单位
-	分辨率		10	12	Bit
V_{IA}	模拟输入电压		0	V_{DDA}	V
C_{in}	模拟输入容性阻抗 ^[8]		0	30	pF
DNL	微分线性误差 ^{[1][2][3]}	-	-1.0	1.5	LSB
INL	积分线性误差 ^{[1][4][5]}	-	-2.0	2.0	LSB
E_o	偏移误差 ^{[1][5][8]}	-	-3.0	3.0	LSB
E_G	增益误差 ^{[1][6]}	-	-	± 1.0	LSB
E_T	绝对值误差 ^{[1][7]}	-	-	3	LSB
CLK	时钟频率 ^[8]		0.6	16	MHz
t_{ADC}	转换时间 ^[8]		12	16	Clock
$f_c(ADC)$	ADC 转换频率		0	1000	KSPS

注:

[1]测试条件: $V_{SS}=0\text{V},V_{DD}=2.7\text{V}\sim5.5\text{V}$ 。

[2]ADC传输函数具有单调性, 没有丢码。

[3]微分线性误差(DNL)定义为实际量化台阶与对应于1LSB的理想值之间的差异。

[4]积分线性误差(INL)表示在所有的数值点上对应的模拟值和真实值之间误差最大的那一点的误差值,也就是输出数值偏离线性最大的距离。

[5]偏移误差(E_O)指在实际和理想值两条线间的绝对误差。

[6]增益误差(E_G)指在去掉偏移误差后,实际转换值和理想值两条线间的相对误差。

[7]绝对误差(E_T)指没有经过校准的ADC实际转换值和理想值两条线间的最大误差。

[8]设计保证。

表 5-5 电特性表

(4) Flash 存储器参数($T_A=-55^{\circ}\text{C}\sim+105^{\circ}\text{C};V_{DD}=3.0\text{V}\sim5.5\text{V}$.)

符号/名称	参数描述	测试条件	最小值	最大值	单位
t_{erase}	擦除时间	一个扇区(1K 字节) ^[1]	4.5	5	ms
t_{prog}	编程时间	一个字(4 字节) ^[1]	18	20	μs
N_{cyc}	擦写次数寿命 ^[2]		8,000	100,000	次
t_{ret}	数据保持时间 ^[2]		8	10	年

注:[1]擦除和编程时间只在Flash正常的生命周期内有效。

[2]设计保证。

表 5-6 电特性表

(5) 工作在 SPI 模式下的 SPI 管脚参数($T_A=-55^{\circ}\text{C}\sim+105^{\circ}\text{C}$)

符号/名称	参数描述	测试条件	最小值	最大值	单位
$t_{\text{cy}(\text{clk})}$	时钟周期	发送 ^[1]	500	10000	ns
		接收	500	10000	ns
SPI 主机					
t_{DS}	数据建立时间	SPI 模式 ^{[2][5]}	15	10000	ns
t_{DH}	数据保持时间	SPI 模式 ^{[2][5]}	1	10000	ns
$t_{\text{v}(\text{Q})}$	数据输出有效时间	SPI 模式 ^{[2][5]}	0	10	ns
$t_{\text{h}(\text{Q})}$	数据输出保持时间	SPI 模式 ^{[2][5]}	0	10000	ns
SPI 从机					
t_{DS}	数据建立时间	SPI 模式 ^{[3][4][5]}	4	10000	ns
t_{DH}	数据保持时间	SPI 模式 ^{[3][4][5]}	$3 \times t_{\text{cy}(\text{PCLK})} + 4$	10000	ns
$t_{\text{v}(\text{Q})}$	数据输出有效时间	SPI 模式 ^{[3][4][5]}	0	$3 \times t_{\text{cy}(\text{PCLK})} + 5$	ns
$t_{\text{h}(\text{Q})}$	数据输出保持时间	SPI 模式 ^{[3][4][5]}	0	$3 \times t_{\text{cy}(\text{PCLK})} + 5$	ns

注:

[1] $t_{\text{cy}(\text{clk})}$,时钟周期由SPI的位频率推断出。

[2] $T_{\text{amb}}=-55^{\circ}\text{C}\sim105^{\circ}\text{C};V_{\text{DD}(3\text{V}3)}=3.0\text{V}\sim3.6\text{V};V_{\text{DD}(\text{IO})}=3.0\text{V}\sim3.6\text{V}$ 。

[3] $t_{\text{cy}(\text{clk})}=12 \times t_{\text{cy}(\text{PCLK})}$ 。

[4] $T_{\text{amb}}=25^{\circ}\text{C};V_{\text{DD}(3\text{V}3)}=3.3\text{V};V_{\text{DD}(\text{IO})}=3.3\text{V}$ 。

[5]设计保证。

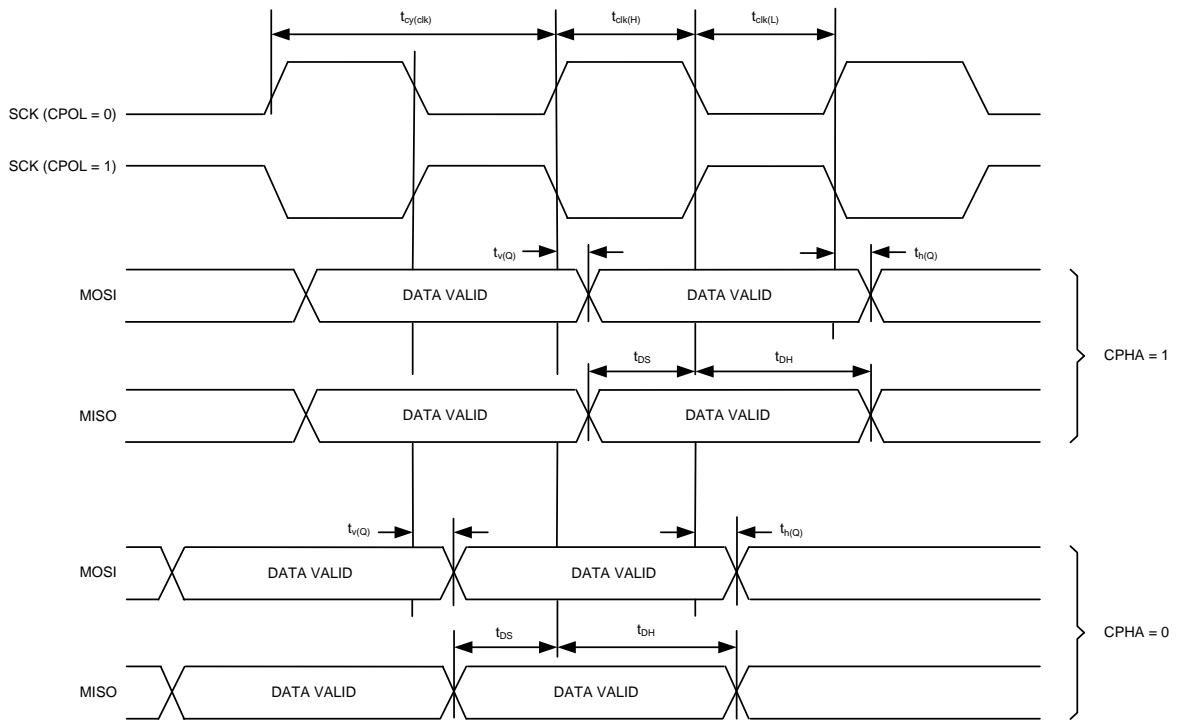


图 5-1 SPI 主机模式

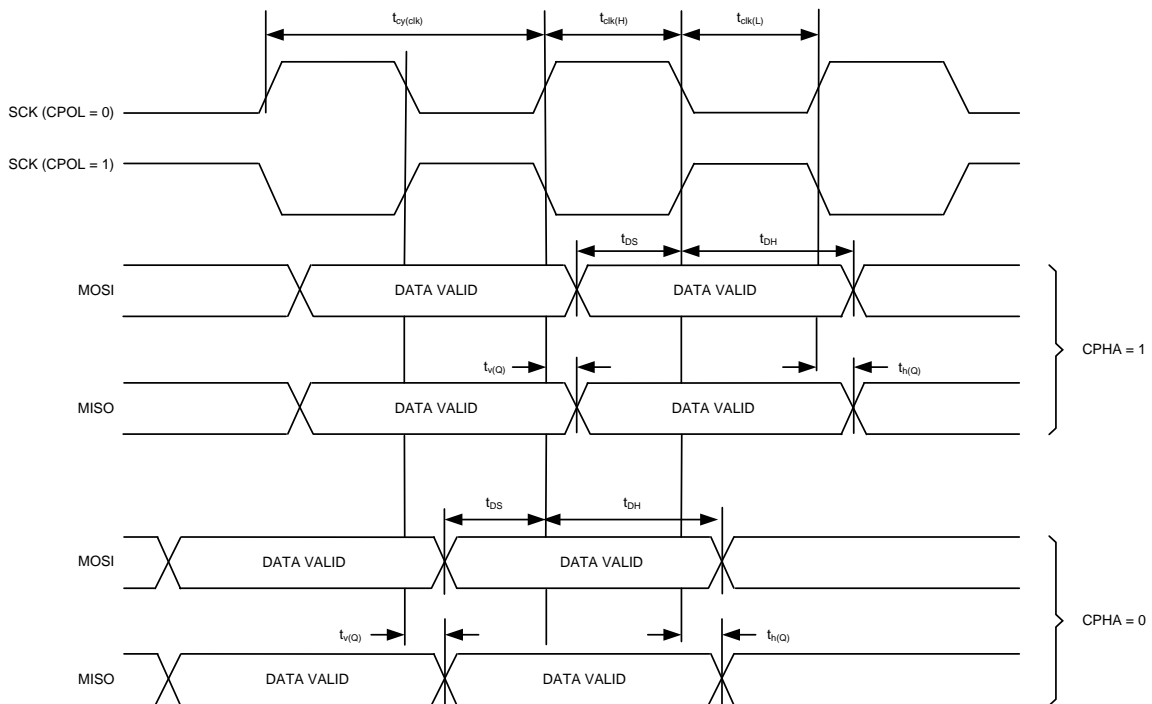


图 5-2 SPI 从机时序

表 5-7 电特性表

(6) I²C 总线管脚参数 $T_A = -55^{\circ}\text{C} \sim +105^{\circ}\text{C}$

符号/名称	参数描述	测试条件	最小值	最大值	单位
f_{SCL}	SCL 时钟频率	-	0	1	MHz
t_f	下降沿时间 ^{[2][3][4][7]}	-	0	120	ns
t_{LOW}	SCL 时钟低电平时段	-	0.5	10000	μ s
t_{HIGH}	SCL 时钟高电平时段	-	0.26	10000	μ s
$t_{HD:DAT}$	时间保持时间 ^{[1][2][5][7]}	-	0	10000	s
$t_{SU:DAT}$	时间建立时间 ^{[6][7]}	-	50	10000	ns

注:

[1] $t_{HD:DAT}$ 是数据保持时间,从 SCL 的下降沿开始;这个时间对数据传输和回复 (acknowledge) 都一样。

[2]在保证 SCL 信号 $V_{IH(min)}$ 情况下, 器件内部 SDA 信号至少 300ns 的保持时间来应对未定义的 SCL 下降沿时间。

[3] C_b =单条数据总线上总的容性负载,单位是 pF。

[4]最大的 SDA 和 SCL t_f 时间为 300ns。但在 SDA 时间输出阶段, SDA 的 t_r 最大时间是 250ns。

[5]最大的 $t_{HD:DAT}$ 时间可以在 3.45s 和 0.9s 之间, 但必须小于最大的数据传输 $t_{VD:DAT}/t_{VD:ACK}$ 时间。

[6] $t_{SU:DAT}$ 是相对于 SCL 上升沿的时间建立时间, 对数据传输和回复 (acknowledge) 都适用。

[7]设计保证。

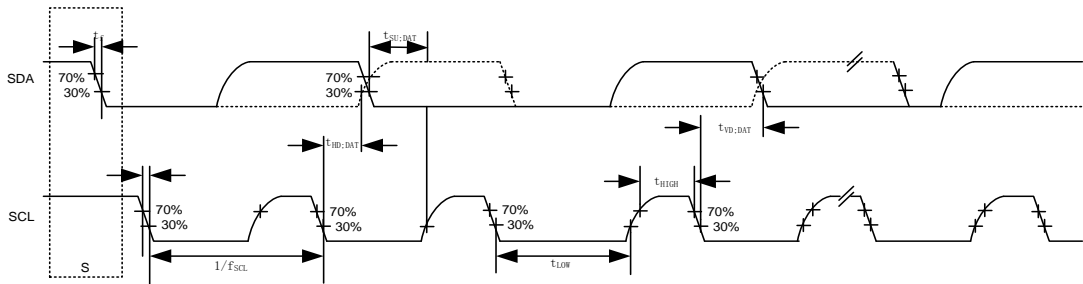
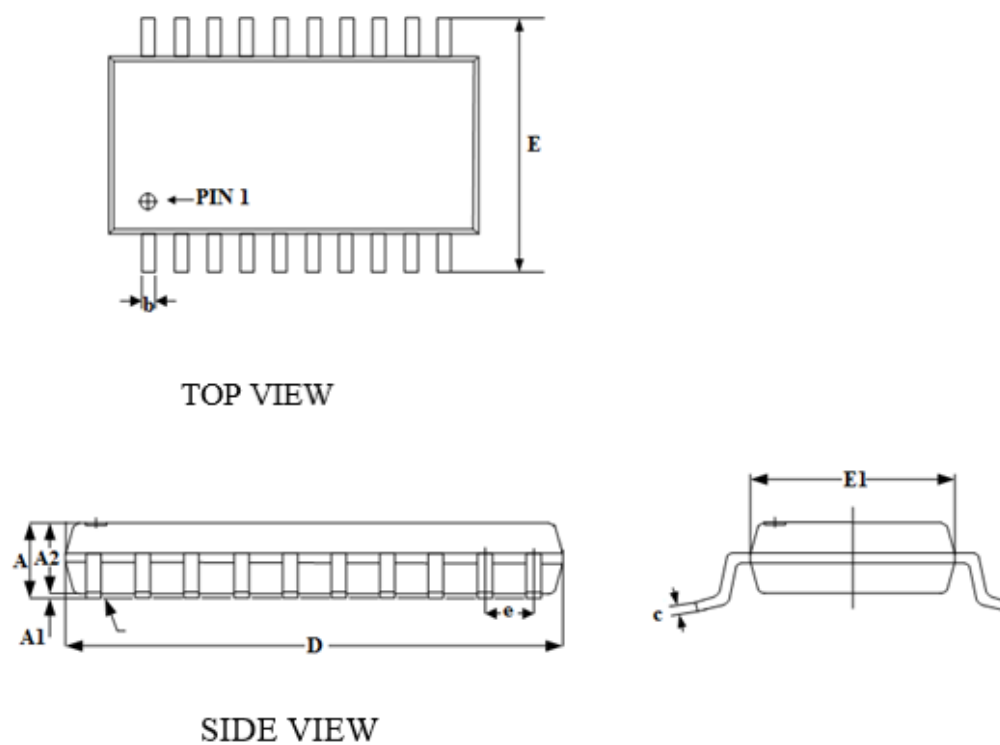


图 5-3 I²C 总线时序

6 封装尺寸

6.1 TSSOP20 封装

body 6.50×6.40×1.20mm

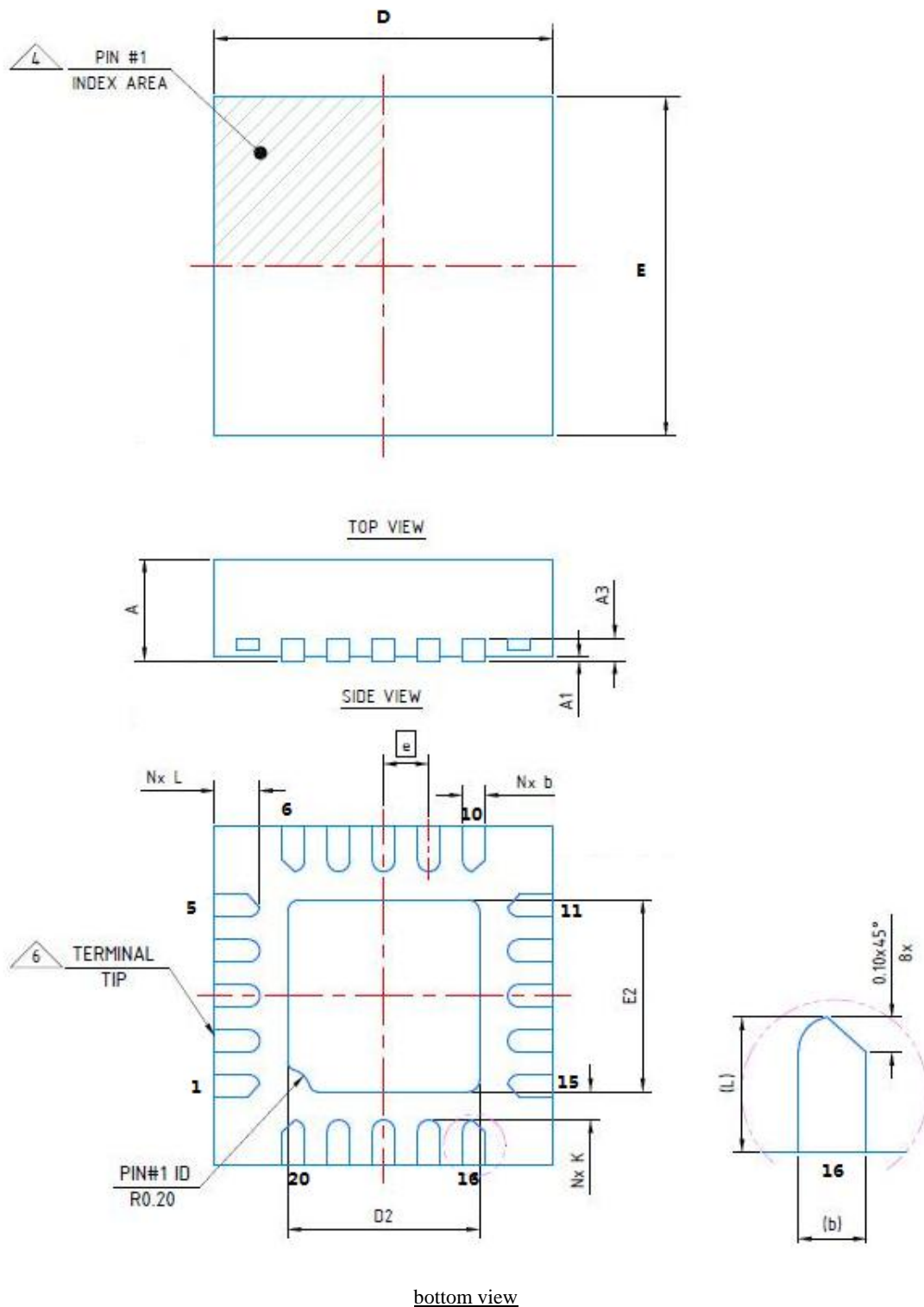


尺寸符号	数值 (单位: mm)		
	最小	公称	最大
<i>A</i>	-	-	1.2
<i>A</i> ₁	0.05	-	0.15
<i>A</i> ₂	0.80	1	1.05
<i>b</i>	0.19	-	0.30
<i>c</i>	0.09	-	0.20
<i>D</i>	6.40	6.50	6.6
<i>E</i>	6.20	6.40	6.60
<i>E</i> ₁	4.3	4.40	4.50
<i>e</i>	0.65		

图 6-1 TSSOP20 封装尺寸图

6.2 QFN20 封装

Quad Flat No-lead Package; body 3x3x0.55mm



bottom view

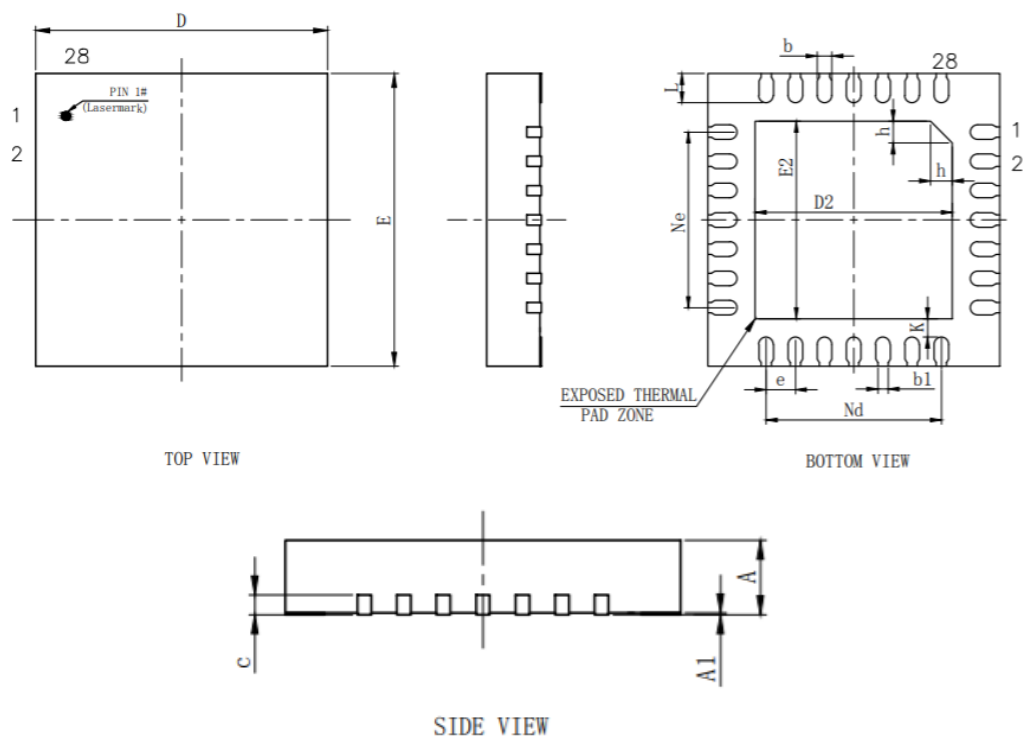
尺寸符号	数值 (单位: mm)		
	最小	公称	最大
A	0.70	0.75	0.80

尺寸符号	数值 (单位: mm)		
	最小	公称	最大
<i>A</i> ₁	0.00	0.02	0.05
<i>A</i> ₃	—	0.20	—
<i>b</i>	0.15	0.20	0.25
<i>D</i>	—	3.00	—
<i>D</i> ₂	1.55	1.70	1.80
<i>E</i>	—	3.00	—
<i>E</i> ₂	1.55	1.70	1.80
<i>e</i>	—	0.40	—
<i>L</i>	0.30	0.40	0.50
<i>k</i>	0.20	—	—

图 6-2 QFN20 封装尺寸图

6.3 QFN28 封装

Quad Flat No-lead Package; body 4x4x0.75mm

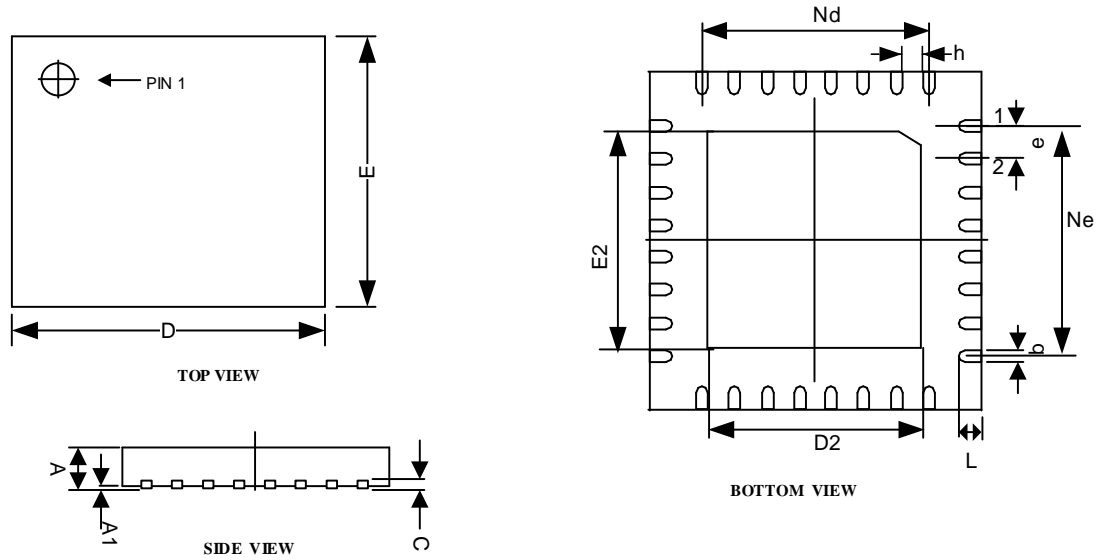


尺寸符号	数值 (单位: mm)		
	最小	公称	最大
A	0.7	0.75	0.85
A_1		0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.25
D	3.90	4.00	4.10
D_2	2.65	2.70	2.75
e		0.40	
N_e		2.40	
N_d		2.40	
E	3.90	4.00	4.10
E_2	2.75	2.70	2.75
L	0.35	0.40	0.45
H	0.25	0.30	0.35

图 6-3 QFN28 封装尺寸图

6.4 QFN32 封装

Quad Flat No-lead Package; body 5x5x0.75mm



尺寸符号	数值 (单位: mm)		
	最小	公称	最大
A	0.7	0.75	0.8
A_1		0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D_2	3.40	3.50	3.60
e	0.50		
N_e	3.50		
N_d	3.50		
E	4.90	5.00	5.10
E_2	3.40	3.50	3.60
L	0.35	0.40	0.45
H	0.25	0.30	0.35

图 6-4 QFN32 封装尺寸图

7 订货信息

表 7-1 选型列表

序号	型号	封装	引脚数	Flash	SRAM
1	AST32F031F6P	TSSOP	20	32K	4K
2	AST32F031F6U	QFN20	20	32K	4K
3	AST32F031J6U	QFN28	28	32K	4K
4	AST32F031K6U	QFN32	32	32K	4K