



深圳市雅创芯瀚电子科技有限公司
SHENZHEN ASTRONG-TECH CO., LTD

AST32F407A系列32位微控制器电 路 数据手册

服务电话：13691641629 15012885381

目录

1 简介	1
1.1 概述	1
1.2 功能	1
1.3 引脚和引脚描述	3
2 功能介绍	34
2.1 系统之间的全兼容性	36
2.2 设备概述	39
3 内存映射	60
4 电气特性	64
4.1 参数条件	64
4.2 绝对最大额定值	66
4.3 推荐工作条件	67
5 封装信息	131
5.1 LQFP48封装信息	131
5.2 LQFP64封装信息	132
5.3 BGA100(10x10mm)封装信息	133
5.4 BGA100(7x7mm)封装信息	134
5.5 LQFP100封装信息	135
5.6 LQFP144封装信息	136
5.7 BGA176封装信息	137
5.8 LQFP176封装信息	138
5.9 热特性	139
6 订货信息	140
6.1 选型列表	140
附件A 用方框图	141
A.1 USB OTG全速 (FS) 接口解决方案	141
A.2 USB OTG高速 (HS) 接口解决方案	142
A.3 以太网接口解决方案	143

1 简介

1.1 概述

ARM Cortex-M4 32b MCU+FPU, 210 DMIPS, 高达 1MB Flash/192+4KB RAM, USB OTG HS/FS, 以太网, 17个TIM, 3个ADC, 15个通信接口、摄像头。

1.2 功能

• **内核:** 带有FPU的ARM 32位Cortex-M4 CPU、在Flash存储器中实现零等待状态运行性能的自适应实时加速器(ART加速器™)、主频高达168MHz, MPU能够实现高达210 DMIPS /1.25 DMIPS/MHz (Dhrystone2.1)的性能, 具有DSP指令集。

• 存储器

-高达1MB Flash

-高达194 + 4KB的 SRAM, 包括 64-KB的CCM (内核耦合存储器) 数据RAM

-具有高达32位数据总线的灵活外部存储控制器: SRAM、PSRAM、SDRAM / LPDDRSDRAM、

CompactFlash/NOR/NAND存储器

• **LCD 并行接口,** 兼容8080/6800模式

• **时钟、复位和电源管理**

-1.8V 到 3.6V供电和 I/O

-POR、PDR、PVD 和 BOR

-4 至 26MHz晶振

-内置经工厂调校的16MHzRC振荡器(1%精度)

-带校准功能的32kHzRTC振荡器

-内置带校准功能的32kHzRC振荡器

• **低功耗**

-睡眠、停机和待机模式

-VBAT可为RTC、20×32位备份寄存器+可选的4KB备份SRAM供电

• **3个12位、2.4 MSPS ADC:** 多达24通道, 三重交叉模式下的性能高达7.2 MSPS

• **2个12位 D/A 转换器**

• **通用DMA:** 具有 FIFO 和突发支持的16路 DMA控制器

• **多达17个定时器:**

- 12个16位定时器, 和2个频率高达168MHz的32位定时器, 每个定时器都带有4个输入捕获/输出比较/PWM, 或脉冲计数器与正交(增量)编码器输入

• **调试模式**

- SWD & JTAG接口
- Cortex-M4 跟踪宏单元
- **多达140个具有中断功能的 I/O 端口**
- 高达136个快速I/O, 最高 84MHz
- 高达138个可耐 5V的I/O
- **多达15个通信接口**
- 多达3个I2C接口 (SMBus/PMBus)。
- 高达4个USART/2UART (10.5Mbit/s
- IS07816接口、LIN、IrDA、调制解调器控制)。
- 高达3个SPI (42Mbits/s) , 2个具有复用的全双工IS, 通过内部音频PLL或外部时钟达到音频级精度。
- 2个CAN (2.0B主动)
- SDIO接口
- **高级连接功能**
- 具有片上PHY的USB2.0全速器件/主机/OTG控制器
- 具有专用DMA、片上全速PHY和ULPI的USB2.0高速/全速器件/主机/OTG控制器
- 具有专用DMA的10/100以太网MAC: 支持IEEE1588v2硬件, MII/RMII
- **真随机数发生器**
- **CRC计算单元**
- **RTC: 亚秒级精度、硬件日历**
- **96位唯一ID**

1.3 引脚和引脚描述

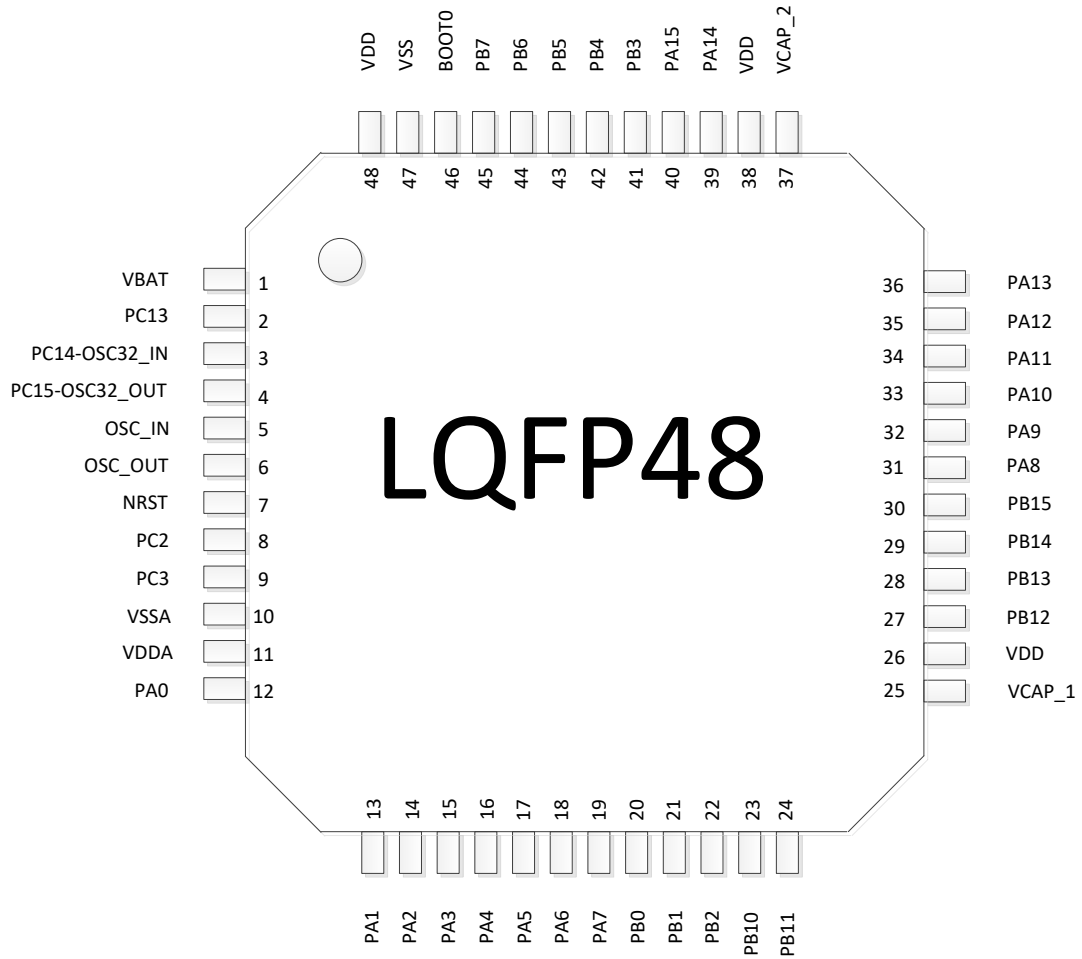


图 1-1 LQFP48引脚排序（顶视图）

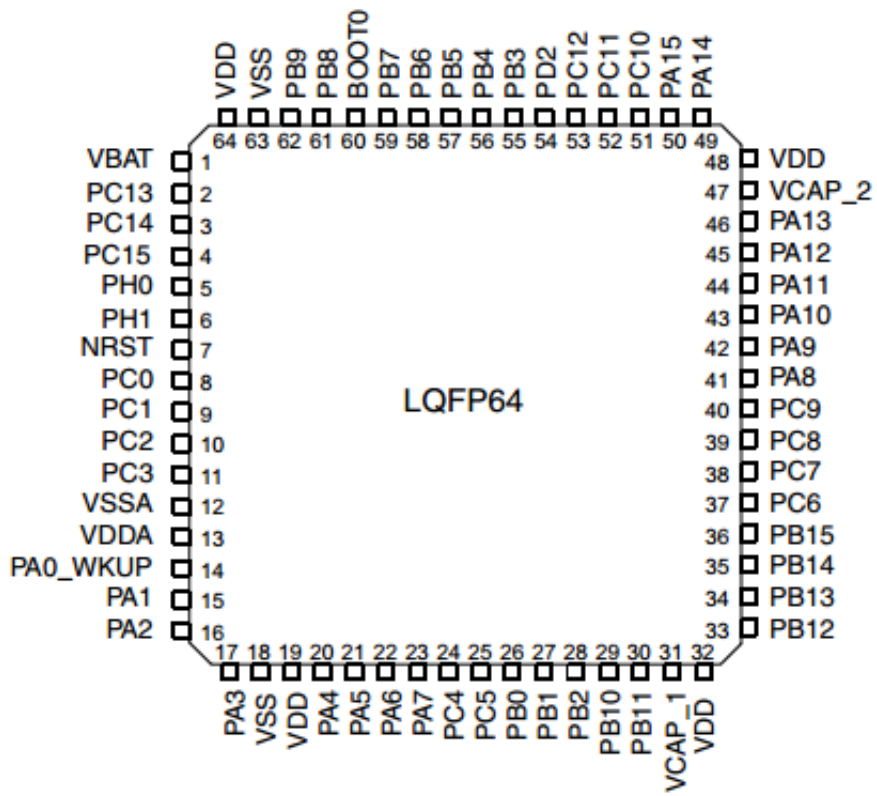


图 1-2 LQFP64引脚排序（顶视图）

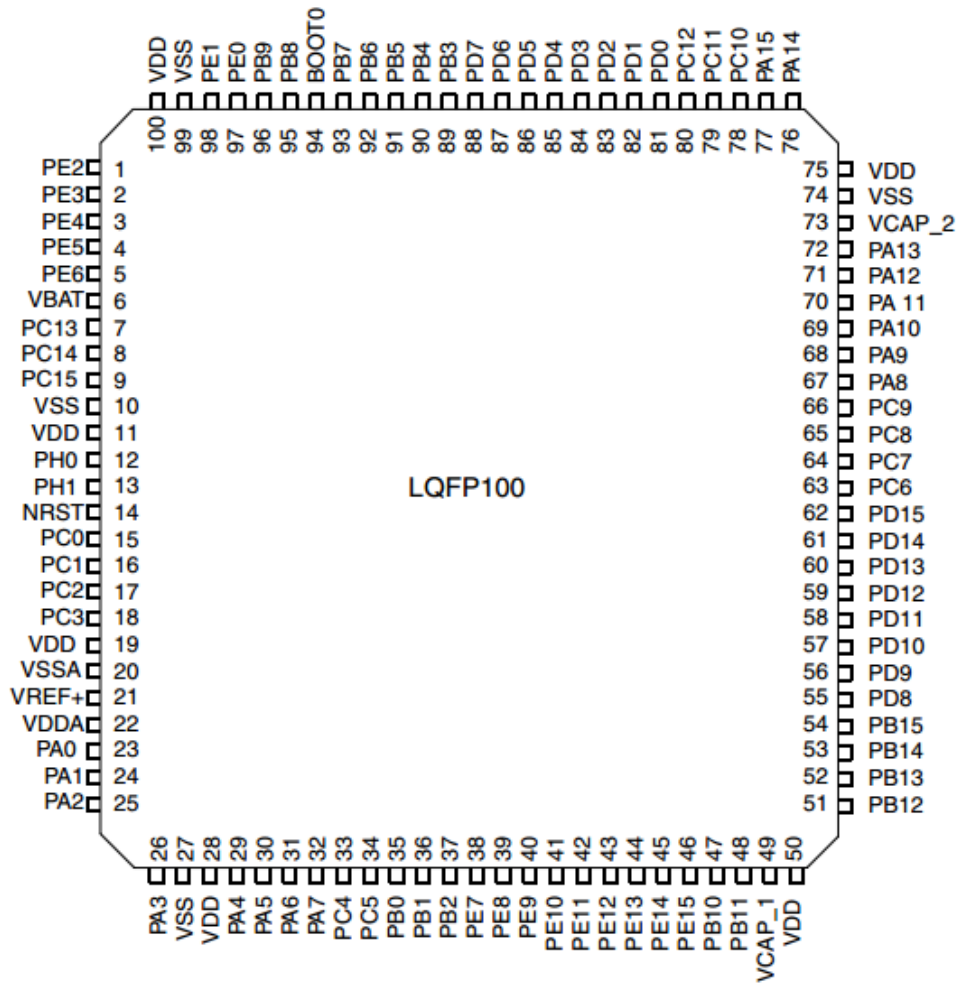


图 1-3 LQFP100引脚排序（顶视图）

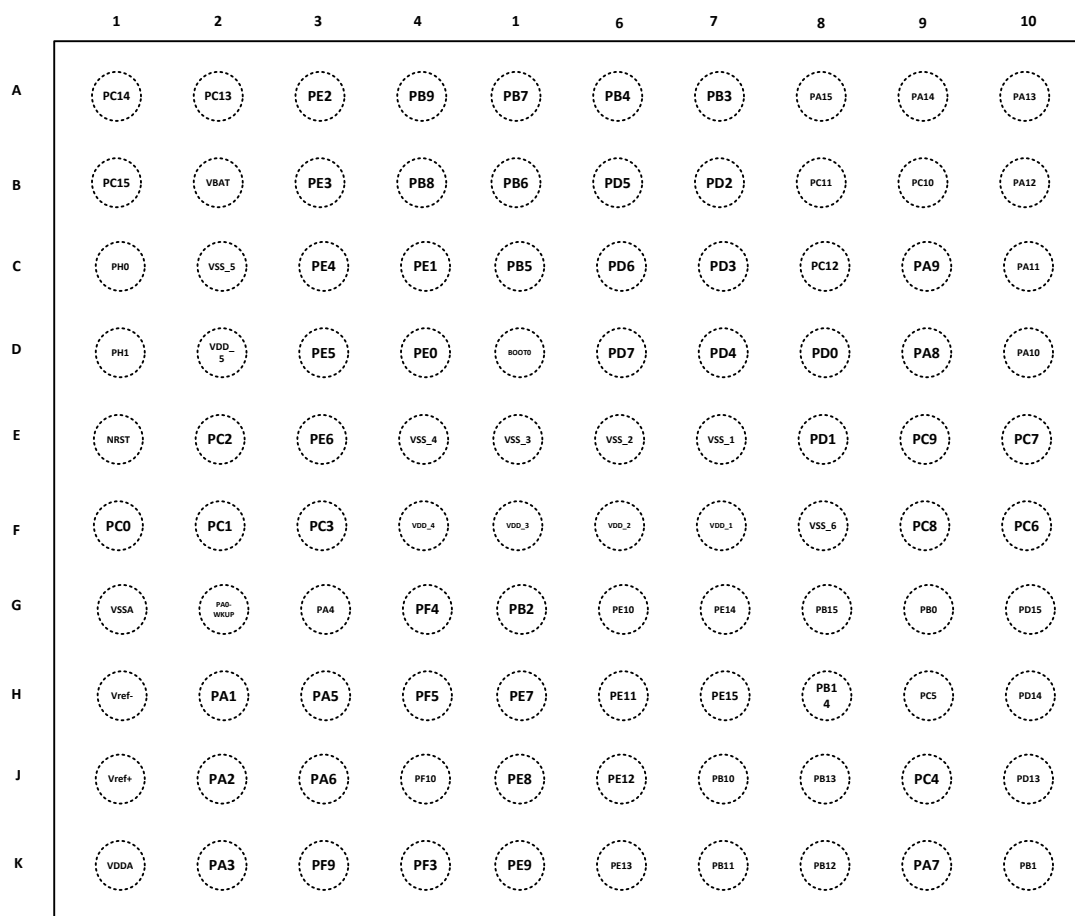


图 1-4 BGA100 (10x10mm)-407AVGH引脚排序 (顶视图)

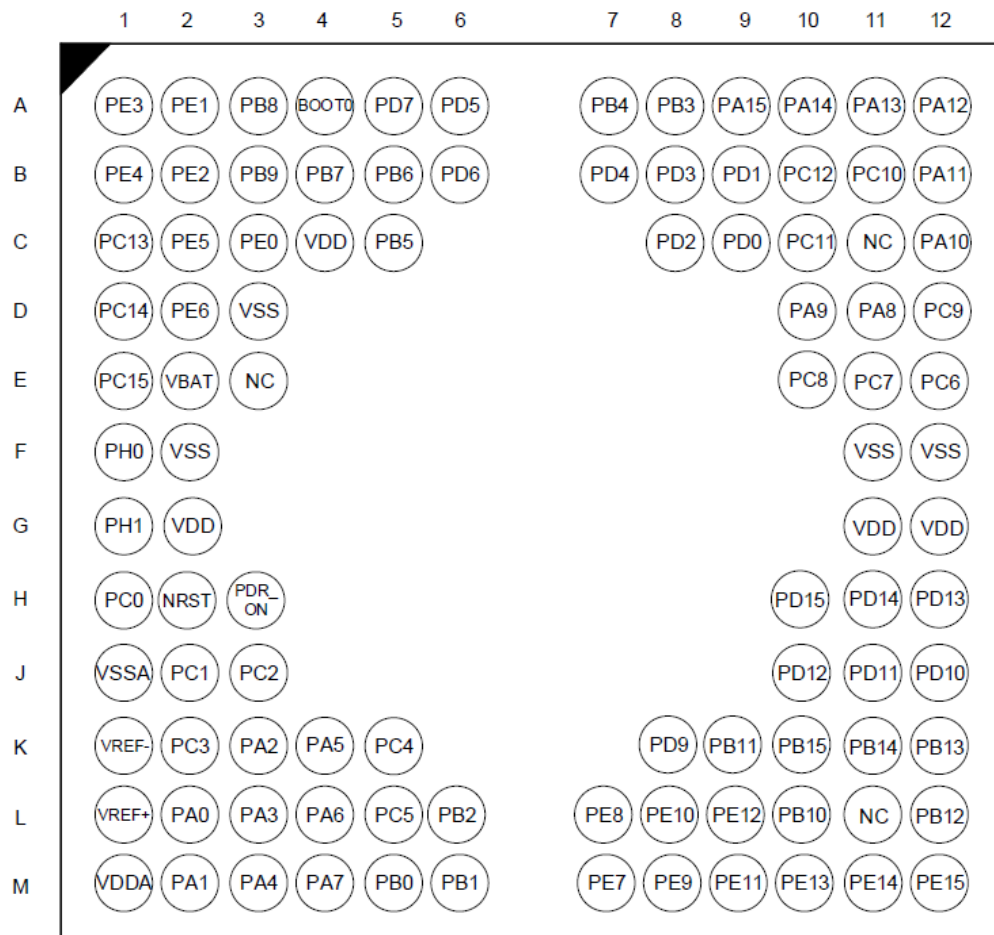


图 1-5 BGA100 (7x7mm)-407AVGHS引脚排序 (顶视图)

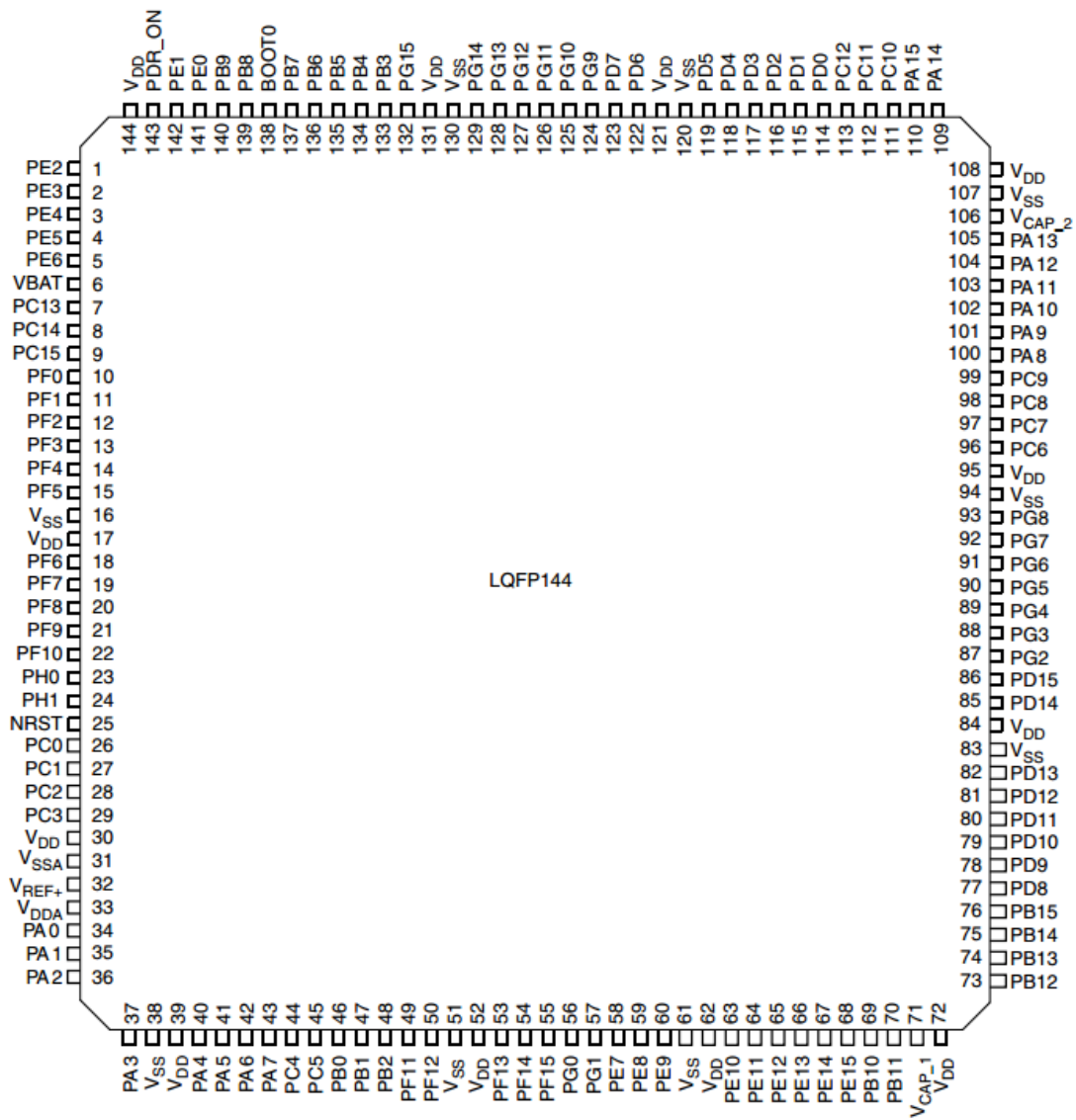


图 1-6 LQFP144引脚排序（顶视图）

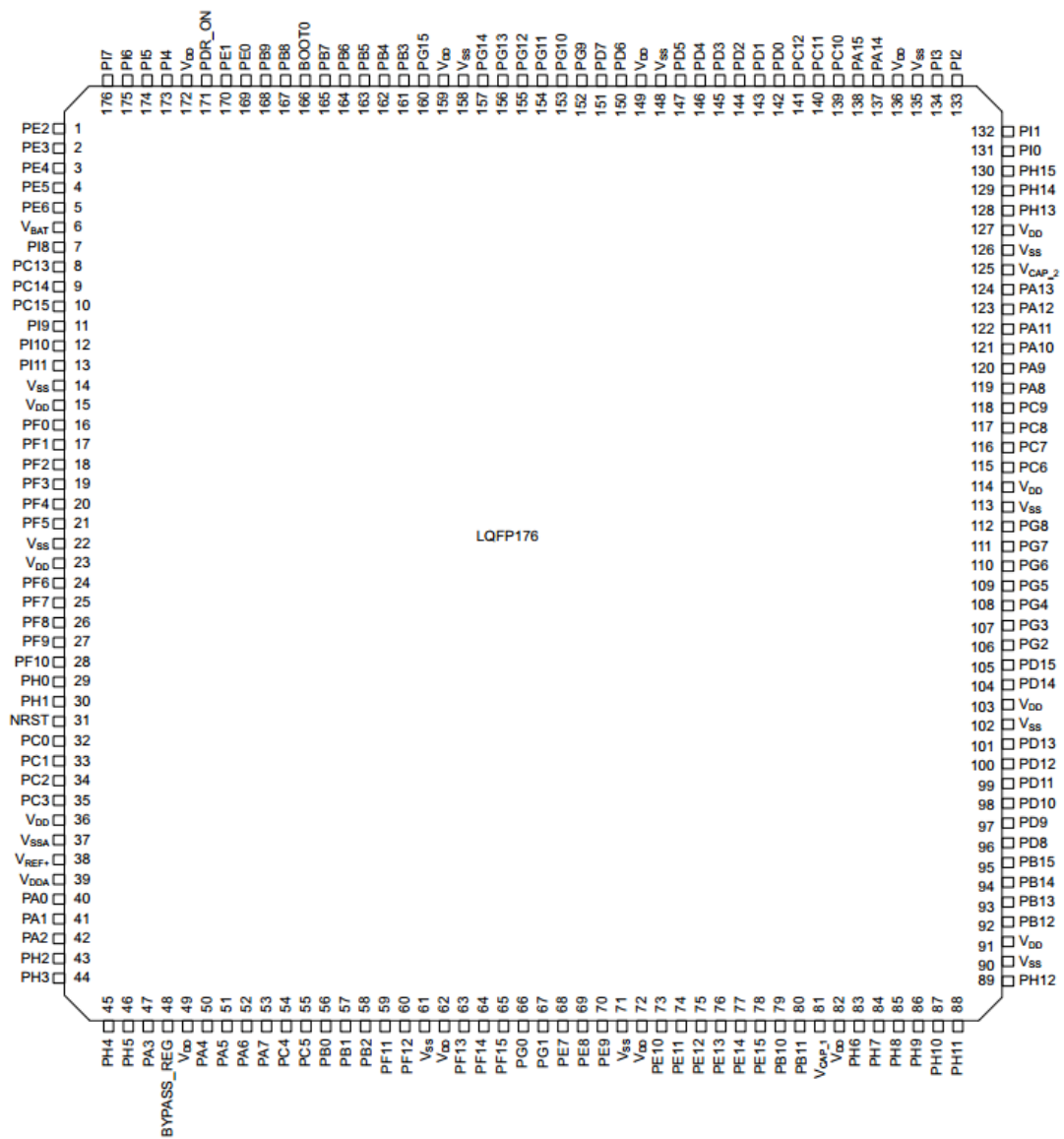


图 1-7 LQFP176引脚排序（顶视图）

1.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15																									
A	PE3	PE2	PE1	PE0	PB8	PB5	PG14	PG13	PB4	PB3	PD7	PC12	PA15	PA14	PA13																									
B	PE4	PE5	PE6	PB9	PB7	PB6	PG15	PG12	PG11	PG10	PD6	PD0	PC11	PC10	PA12																									
C	VBAT	PI7	PI6	PI5	VDD	PDR_ON	VDD	VDD	VDD	PG9	PD5	PD1	PI3	PI2	PA11																									
D	PC13	PI8	PI9	PI4	VSS	BOOT0	VSS	VSS	VSS	PD4	PD3	PD2	PH15	PH1	PA10																									
E	PC14	PF0	PI10	PI11								PH13	PH14	PI0	PA9																									
F	PC15	VSS	VDD	PH2	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>VSS</td> <td>VSS</td> <td>VSS</td> <td>VSS</td> <td>VSS</td> </tr> <tr> <td>VSS</td> <td>VSS</td> <td>VSS</td> <td>VSS</td> <td>VSS</td> </tr> <tr> <td>VSS</td> <td>VSS</td> <td>VSS</td> <td>VSS</td> <td>VSS</td> </tr> <tr> <td>VSS</td> <td>VSS</td> <td>VSS</td> <td>VSS</td> <td>VSS</td> </tr> <tr> <td>VSS</td> <td>VSS</td> <td>VSS</td> <td>VSS</td> <td>VSS</td> </tr> </table>							VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCAP_2	PC9	PA8
VSS	VSS	VSS	VSS	VSS																																				
VSS	VSS	VSS	VSS	VSS																																				
VSS	VSS	VSS	VSS	VSS																																				
VSS	VSS	VSS	VSS	VSS																																				
VSS	VSS	VSS	VSS	VSS																																				
G	PH0	VSS	VDD	PH3								VSS	VDD	PC8	PC7																									
H	PH1	PF2	PF1	PH4								VSS	VDD	PG8	PC6																									
J	NRST	PF3	PF4	PH5								VDD	VDD	PG7	PG6																									
K	PF7	PF6	PF5	VDD								PH12	PG5	PG4	PG3																									
L	PF10	PF9	PF8	BYPASS_REG								PH11	PH10	PD15	PG2																									
M	VSSA	PC0	PC1	PC2	PC3	PB2	PG1	VSS	VSS	VCAP_1	PH6	PH8	PH9	PD14	PD13																									
N	VREF-	PA1	PA0	PA4	PC4	PF13	PG0	VDD	VDD	VDD	PE13	PH7	PD12	PD11	PD10																									
P	VREF+	PA2	PA6	PA5	PC5	PF12	PF15	PE8	PE9	PE11	PE14	PB12	PB13	PD9	PD8																									
R	VDDA	PA3	PA7	PB1	PB0	PF11	PF14	PE7	PE10	PE12	PE15	PB10	PB11	PB14	PB15																									

图 1-8 BGA176焊球布局（凸块视图）

表 1-1 引脚排列表中使用的图例/缩略语

名称	缩写	定义
引脚名称		除非在引脚名下面的括号中特别说明，复位期间和复位后的引脚功能与实际引脚名相同
引脚类型	S	电源引脚
	I	仅输入引脚
	I/O	输入/输出引脚
I/O结构	FT	5V容限I/O
	TTa	3.3V容限 I/O直接连至ADC
	B	专用BOOT0引脚
	RST	配有弱上拉电阻的双向复位引脚
注释		除非特别注释说明，否则在复位期间和复位后所有I/O都设为浮空输入
复用功能		通过GPIOx_AFR寄存器选择的功能
其他函数		通过外设寄存器直接选择/启用的功能

表 1-2 引脚和焊球定义

引脚号								引脚名 (复位后 的功能)	引脚 类型	I/O 结构	注释	复用功能	其他函数
LQFP48	LQFP64	BGA100 (10x10mm)	BGA100 (7X7mm)	LQFP100	LQFP144	BGA176	LQFP176						
	-	A3	B2	1	1	A2	1	PE2	I/O	FT		TRACECLK/FSMC_A23/ ETH_MII_TXD3/EVENTOUT	-
	-	B3	A1	2	2	A1	2	PE3	I/O	FT		TRACED0/FSMC_A19/ EVENTOUT	
	-	C3	B1	3	3	B1	3	PE4	I/O	FT		TRACED1/FSMC_A20/ DCMI_D4/EVENTOUT	
	-	D3	C2	4	4	B2	4	PE5	I/O	FT		TRACED2/FSMC_A21/ TIM9_CH1/DCMI_D6/ EVENTOUT	
	-	E3	D2	5	5	B3	5	PE6	I/O	FT		TRACED3/FSMC_A22/ TIM9_CH2/DCMI_D7/ EVENTOUT	
1	1	B2	E2	6	6	C1	6	VBAT	S	-	-	-	
	-	-	-	-	-	D2	7	PI8	I/O	FT	(2) (3)	EVENTOUT	RTC_TAMP1, RTC_TAMP2, RTC_TS
2	2	A2	C1	7	7	D1	8	PC13	I/O	FT	(2) (3)	EVENTOUT	RTC_OUT, RTC_TAMP1, RTC_TS
3	3	A1	D1	8	8	E1	9	PC14/ OSC32_I N	I/O	FT	(2) (3)	EVENTOUT	OSC32_IN ⁽⁴⁾
4	4	B1	E1	9	9	F1	10	PC15/ OSC32_0 UT	I/O	FT	(2) (3)	EVENTOUT	OSC32_OUT ⁽⁴⁾
-	-	-	-	-	-	D3	11	PI9	I/O	FT	-	CAN1_RX/EVENTOUT	
-	-	-	-	-	-	E3	12	PI10	I/O	FT	-	ETH_MII_RX_ER/EVENTOUT	
-	-	-	-	-	-	E4	13	PI11	I/O	FT	-	OTG_HS_ULPI_DIR/EVENTO UT	
-	-	-	F2	-	-	F2	14	V _{SS}	S	-	-	-	
-	-	-	G2	-	-	F3	15	V _{DD}	S	-	-	-	
-	-	-	-	-	10	E2	16	PF0	I/O	FT	-	FSMC_A0/I2C2_SDA/ EVENTOUT	
-	-	-	-	-	11	H3	17	PF1	I/O	FT	-	FSMC_A1/I2C2_SCL/ EVENTOUT	

引脚号								引脚名 (复位后 的功能)	引脚 类型	I/O 结构	注释	复用功能	其他函数
LQFP48	LQFP64	BGA100 (10x10mm)	BGA100 (7x7mm)	LQFP100	LQFP144	BGA176	LQFP176						
-	-	-	-	-	12	H2	18	PF2	I/O	FT	-	FSMC_A2/I2C2_SMBA/ EVENTOUT	-
-	-	K4	-	-	13	J2	19	PF3	I/O	FT	(4)	FSMC_A3/EVENTOUT	ADC3_IN9
-	-	G4	-	-	14	J3	20	PF4	I/O	FT	(4)	FSMC_A4/EVENTOUT	ADC3_IN14
-	-	H4	-	-	15	K3	21	PF5	I/O	FT	(4)	FSMC_A5/EVENTOUT	ADC3_IN15
-	-	C2	-	10	16	G2	22	Vss	S	-	-	-	-
-	-	D2	-	11	17	G3	23	VDD	S	-	-	-	-
-	-	-	-	-	18	K2	24	PF6	I/O	FT	(4)	TIM10_CH1/FSMC_NIORD/ EVENTOUT	ADC3_IN4
-	-	-	-	-	19	K1	25	PF7	I/O	FT	(4)	TIM11_CH1/FSMC_NREG/ EVENTOUT	ADC3_IN5
-	-	-	-	-	20	L3	26	PF8	I/O	FT	(4)	TIM13_CH1/FSMC_NIOWR/ EVENTOUT	ADC3_IN6
-	-	K3	-	-	21	L2	27	PF9	I/O	FT	(4)	TIM14_CH1/FSMC_CD/ EVENTOUT	ADC3_IN7
-	-	J4	-	-	22	L1	28	PF10	I/O	FT	(4)	FSMC_INTR/EVENTOUT	ADC3_IN8
5	5	C1	F1	12	23	G1	29	PH0/ OSC_IN	I/O	FT	-	EVENTOUT	OSC_IN(4)
6	6	D1	G1	13	24	H1	30	PH1/ OSC_OUT	I/O	FT	-	EVENTOUT	OSC_OUT(4)
7	7	E1	H2	14	25	J1	31	NRST	I/O	FT	-	-	-
-	8	F1	H1	15	26	M2	32	PC0	I/O	FT	(4)	OTG_HS_ULPI_STP/EVENT OUT	ADC123_IN1 0
-	9	F2	J2	16	27	M3	33	PC1	I/O	FT	(4)	ETH_MDC/EVENTOUT	ADC123_IN1 1
8	10	E2	J3	17	28	M4	34	PC2	I/O	FT	(4)	SPI2_MISO/ OTG_HS_ULPI_DIR/ ETH_MII_TXD2 /I2S2ext_SD/EVENTOUT	ADC123_IN1 2
9	11	F3	K2	18	29	M5	35	PC3	I/O	FT	(4)	SPI2_MOSI/I2S2_SD/ OTG_HS_ULPI_NXT/ ETH_MII_TX_CLK/ EVENTOUT	ADC123_IN13
-	-	D2	-	19	30	-	36	VDD	S	-	-	-	-
10	12	G1	J1	20	31	M1	37	VSSA	S	-	-	-	-
-	-	H1	K1	-	-	N1	-	VREF-	S	-	-	-	-

引脚号								引脚名 (复位后 的功能)	引脚 类型	I/O 结构	注释	复用功能	其他函数
LQFP48	LQFP64	BGA100 (10x10mm)	BGA100 (7x7mm)	LQFP100	LQFP144	BGA176	LQFP176						
	-	J1	L1	21	32	P1	38	VREF+	S	-	-	-	-
11	13	K1	M1	22	33	R1	39	VDDA	S	-	-	-	-
12	14	G2	L2	23	34	N3	40	PA0/WKUP	I/O	FT	(5)	USART2_CTS/UART4_TX/ ETH_MII_CRCS/ TIM2_CH1_ETR/ TIM5_CH1/TIM8_ETR/ EVENTOUT	ADC123_IN0 /WKUP
13	15	H2	M2	24	35	N2	41	PA1	I/O	FT	(4)	USART2_RTS/UART4_RX/ ETH_RMII_REF_CLK/ ETH_MII_RX_CLK/ TIM5_CH2/TIM2_CH2 /EVENTOUT	ADC123_IN1
14	16	J2	K3	25	36	P2	42	PA2	I/O	FT	(4)	USART2_TX/TIM5_CH3/ TIM9_CH1/TIM2_CH3/ ETH_MDIO/EVENTOUT	ADC123_IN2
	-	-	-	-	-	F4	43	PH2	I/O	FT	-	ETH_MII_CRCS/EVENTOUT	-
	-	-	-	-	-	G4	44	PH3	I/O	FT	-	ETH_MII_COL/EVENTOUT	-
	-	-	-	-	-	H4	45	PH4	I/O	FT	-	I2C2_SCL/ OTG_HS_ULPI_NXT/ EVENTOUT	-
	-	-	-	-	-	J4	46	PH5	I/O	FT	-	I2C2_SDA/EVENTOUT	-
15	17	K2	L3	26	37	R2	47	PA3	I/O	FT	(4)	USART2_RX/TIM5_CH4/ TIM9_CH2/TIM2_CH4/ OTG_HS_ULPI_DO/ ETH_MII_COL/EVENTOUT	ADC123_IN3
	18	E4	-	27	38	-	-	VSS	S	-	-	-	-
	-	-	-	-	-	L4	48	BYPASS_	I	-	-	-	-
	19	F4	-	28	39	K4	49	VDD	S	-	-	-	-

引脚号								引脚名 (复位后 的功能)	引脚 类型	I/O 结构	注释	复用功能	其他函数
LQFP48	LQFP64	BGA100 (10x10mm)	BGA100 (7x7mm)	LQFP100	LQFP144	BGA176	LQFP176						
16	20	G3	M3	29	40	N4	50	PA4	I/O	TTa	(4)	SPI1_NSS/SPI3_NSS/ USART2_CK/DCMI_HSYNC/ OTG_HS_SOF/I2S3_WS/ EVENTOUT	ADC12_IN4/ DAC_OUT1
17	21	H3	K4	30	41	P4	51	PA5	I/O	TTa	(4)	SPI1_SCK/OTG_HS_ULPI_ CK/ TIM2_CH1_ETR/ TIM8_CH1N/EVENTOUT	ADC12_IN5/ DAC_OUT2
18	22	J3	L4	31	42	P3	52	PA6	I/O	FT	(4)	SPI1_MISO/TIM8_BKIN/ TIM13_CH1/ DCMI_PIXCLK/TIM3_CH1/ TIM1_BKIN/EVENTOUT	ADC12_IN6
19	23	K9	M4	32	43	R3	53	PA7	I/O	FT	(4)	SPI1_MOSI/TIM8_CH1N/ TIM14_CH1/TIM3_CH2/ ETH_MII_RX_DV/TIM1_CH 1N/ ETH_RMII_CRS_DV/ EVENTOUT	ADC12_IN7
	24	J9	K5	33	44	N5	54	PC4	I/O	FT	(4)	ETH_RMII_RX_DO/ ETH_MII_RX_DO/EVENTOUT	ADC12_IN14
	25	H9	L5	34	45	P5	55	PC5	I/O	FT	(4)	ETH_RMII_RX_D1/ ETH_MII_RX_D1/EVENTOUT	ADC12_IN15
20	26	G9	M5	35	46	R5	56	PB0	I/O	FT	(4)	TIM3_CH3/TIM8_CH2N/ OTG_HS_ULPI_D1/ ETH_MII_RXD2/ TIM1_CH2N/EVENTOUT	ADC12_IN8
21	27	K10	M6	36	47	R4	57	PB1	I/O	FT	(4)	TIM3_CH4/TIM8_CH3N/ OTG_HS_ULPI_D2/ ETH_MII_RXD3/ TIM1_CH3N/EVENTOUT	ADC12_IN9
22	28	G5	L6	37	48	M6	58	PB2/BOO T1	I/O	FT	-	EVENTOUT	-
	-	-	-	-	49	R6	59	PF11	I/O	FT	-	DCMI_D12/EVENTOUT	-
	-	-	-	-	50	P6	60	PF12	I/O	FT	-	FSMC_A6/EVENTOUT	-
	-	-	-	-	51	M8	61	VSS	S	-	-	-	-
	-	-	-	-	52	N8	62	VDD	S	-	-	-	-
	-	-	-	-	53	N6	63	PF13	I/O	FT	-	FSMC_A7/EVENTOUT	-
	-	-	-	-	54	R7	64	PF14	I/O	FT	-	FSMC_A8/EVENTOUT	-
	-	-	-	-	55	P7	65	PF15	I/O	FT	-	FSMC_A9/EVENTOUT	-

引脚号								引脚名 (复位后 的功能)	引脚 类型	I/O 结构	注释	复用功能	其他函数
LQFP48	LQFP64	BGA100 (10x10mm)	BGA100 (7x7mm)	LQFP100	LQFP144	BGA176	LQFP176						
	-	-	-	-	56	N7	66	PG0	I/O	FT	-	FSMC_A10/EVENTOUT	-
	-	-	-	-	57	M7	67	PG1	I/O	FT	-	FSMC_A11/EVENTOUT	-
	-	H5	M7	38	58	R8	68	PE7	I/O	FT	-	FSMC_D4/TIM1_ETR/ EVENTOUT	-
	-	J5	L7	39	59	P8	69	PE8	I/O	FT	-	FSMC_D5/TIM1_CH1N/ EVENTOUT	-
	-	K5	M8	40	60	P9	70	PE9	I/O	FT	-	FSMC_D6/TIM1_CH1/ EVENTOUT	-
	-	-	-	-	61	M9	71	VSS	S	-	-	-	-
	-	-	-	-	62	N9	72	VDD	S	-	-	-	-
	-	G6	L8	41	63	R9	73	PE10	I/O	FT	-	FSMC_D7/TIM1_CH2N/ EVENTOUT	-
	-	H6	M9	42	64	P10	74	PE11	I/O	FT	-	FSMC_D8/TIM1_CH2/ EVENTOUT	-
	-	J6	L9	43	65	R10	75	PE12	I/O	FT	-	FSMC_D9/TIM1_CH3N/ EVENTOUT	-
	-	K6	M10	44	66	N11	76	PE13	I/O	FT	-	FSMC_D10/TIM1_CH3/ EVENTOUT	-
	-	G7	M11	45	67	P11	77	PE14	I/O	FT	-	FSMC_D11/TIM1_CH4/ EVENTOUT	-
	-	H7	M12	46	68	R11	78	PE15	I/O	FT	-	FSMC_D12/TIM1_BKIN/ EVENTOUT	-
23	29	J7	L10	47	69	R12	79	PB10	I/O	FT	-	SPI2_SCK/I2S2_CK/ I2C2_SCL/USART3_TX/ OTG_HS_ULPI_D3/ ETH_MII_RX_ER/ TIM2_CH3/EVENTOUT	-
24	30	K7	K9	48	70	R13	80	PB11	I/O	FT	-	I2C2_SDA/USART3_RX/ OTG_HS_ULPI_D4/ ETH_RMII_TX_EN/ ETH_MII_TX_EN/ TIM2_CH4/EVENTOUT	-
25	31		-	49	71	M10	81	VCAP_1	S	-	-	-	-
26	32	F7	-	50	72	N10	82	VDD	S	-	-	-	-

引脚号								引脚名 (复位后 的功能)	引脚 类型	I/O 结构	注释	复用功能	其他函数
LQFP48	LQFP64	BGA100 (10x10mm)	BGA100 (7x7mm)	LQFP100	LQFP144	BGA176	LQFP176						
	-		-	-	-	-	83	PH6	I/O	FT	-	I2C2_SMBA/TIM12_CH1/ ETH_MII_RXD2/EVENTOUT	-
	-		-	-	-	-	84	PH7	I/O	FT	-	I2C3_SCL/ ETH_MII_RXD3/EVENTOUT	-
	-	--	-	-	-	-	85	PH8	I/O	FT	-	I2C3_SDA/DCMI_HSYNC/ EVENTOUT	-
	-	-	-	-	-	-	86	PH9	I/O	FT	-	I2C3_SMBA/TIM12_CH2 /DCMI_DO/EVENTOUT	-
	-	-	-	-	-	-	87	PH10	I/O	FT	-	TIM5_CH1/DCMI_D1/ EVENTOUT	-
	-	-	-	-	-	-	88	PH11	I/O	FT	-	TIM5_CH2/DCMI_D2/ EVENTOUT	-
	-	-	-	-	-	-	89	PH12	I/O	FT	-	TIM5_CH3/DCMI_D3/ EVENTOUT	-
	-	-	F12	-	-	-	90	VSS	S	-	-	-	-
	-	-	G12	-	-	-	91	VDD	S	-	-	-	-
27	33	K8	L12	51	73	P12	92	PB12	I/O	FT	-	SPI2_NSS/I2S2_WS/ I2C2_SMBA/ USART3_CK/TIM1_BKIN/ CAN2_RX/OTG_HS_ULPI_D 5/ ETH_RMII_TXD0/ ETH_MII_TXD0/ OTG_HS_ID/EVENTOUT	-
28	34	J8	K12	52	74	P13	93	PB13	I/O	FT	-	SPI2_SCK/I2S2_CK/ USART3_CTS/ TIM1_CH1N/CAN2_TX/ OTG_HS_ULPI_D6/ ETH_RMII_TXD1/ ETH_MII_TXD1/EVENTOUT	-
29	35	H8	K11	53	75	R14	94	PB14	I/O	FT	-	SPI2_MISO/TIM1_CH2N/ TIM12_CH1/OTG_HS_DM/ USART3_RTS/ TIM8_CH2N/I2S2ext_SD/ EVENTOUT	-

引脚号								引脚名 (复位后 的功能)	引脚 类型	I/O 结构	注释	复用功能	其他函数
LQFP48	LQFP64	BGA100 (10x10mm)	BGA100 (7x7mm)	LQFP100	LQFP144	BGA176	LQFP176						
30	36	G8	K10	54	76	R15	95	PB15	I/O	FT	-	SPI2_MOSI/I2S2_SD/ TIM1_CH3N/TIM8_CH3N/ TIM12_CH2/ OTG_HS_DP/EVENTOUT	-
	-	--	-	55	77	P15	96	PD8	I/O	FT	-	FSMC_D13/USART3_TX/ EVENTOUT	-
	-	-	K8	56	78	P14	97	PD9	I/O	FT	-	FSMC_D14/USART3_RX/ EVENTOUT	-
	-	-	J12	57	79	N15	98	PD10	I/O	FT	-	FSMC_D15/USART3_CK/ EVENTOUT	-
	-	-	J11	58	80	N14	99	PD11	I/O	FT	-	FSMC_CLE/FSMC_A16/ USART3_CTS/EVENTOUT	-
	-	-	J10	59	81	N13	100	PD12	I/O	FT	-	FSMC_ALE/ FSMC_A17/TIM4_CH1/ USART3_RTS/EVENTOUT	-
	-	J10	H12	60	82	M15	101	PD13	I/O	FT	-	FSMC_A18/TIM4_CH2/ EVENTOUT	-
	-	-	-	-	83	-	102	VSS	S	-	-	-	-
	-	-	-	-	84	J13	103	VDD	S	-	-	-	-
	-	H10	H11	61	85	M14	104	PD14	I/O	FT	-	FSMC_D0/TIM4_CH3/ EVENTOUT	-
	-	G10	H10	62	86	L14	105	PD15	I/O	FT	-	FSMC_D1/TIM4_CH4/ EVENTOUT	-
	-	-	-	-	87	L15	106	PG2	I/O	FT	-	FSMC_A12/EVENTOUT	-
	-	-	-	-	88	K15	107	PG3	I/O	FT	-	FSMC_A13/EVENTOUT	-
	-	-	-	-	89	K14	108	PG4	I/O	FT	-	FSMC_A14/EVENTOUT	-
	-	-	-	-	90	K13	109	PG5	I/O	FT	-	FSMC_A15/EVENTOUT	-
	-	-	-	-	91	J15	110	PG6	I/O	FT	-	FSMC_INT2/EVENTOUT	-
	-	-	-	-	92	J14	111	PG7	I/O	FT	-	FSMC_INT3/USART6_CK/ EVENTOUT	-
	-	-	-	-	93	H14	112	PG8	I/O	FT	-	USART6_RTS/ETH_PPS_OUT / EVENTOUT	-
	-	-	-	-	94	G12	113	VSS	S	-	-	-	-

引脚号								引脚名 (复位后 的功能)	引脚 类型	I/O 结构	注释	复用功能	其他函数
LQFP48	LQFP64	BGA100 (10x10mm)	BGA100 (7x7mm)	LQFP100	LQFP144	BGA176	LQFP176						
	-	-	-	-	95	H13	114	VDD	S	-	-	-	-
	37	F10	E12	63	96	H15	115	PC6	I/O	FT	-	I2S2_MCK/ TIM8_CH1/SDIO_D6/ USART6_TX/ DCMI_D0/TIM3_CH1/ EVENTOUT	-
	38	E10	E11	64	97	G15	116	PC7	I/O	FT	-	I2S3_MCK/ TIM8_CH2/SDIO_D7/ USART6_RX/ DCMI_D1/TIM3_CH2/ EVENTOUT	-
	39	F9	E10	65	98	G14	117	PC8	I/O	FT	-	TIM8_CH3/SDIO_D0/ TIM3_CH3/USART6_CK/ DCMI_D2/EVENTOUT	-
	40	E9	D12	66	99	F14	118	PC9	I/O	FT	-	I2S_CKIN/MC02/ TIM8_CH4/SDIO_D1/ I2C3_SDA/DCMI_D3/ TIM3_CH4/EVENTOUT	-
31	41	D9	D11	67	100	F15	119	PA8	I/O	FT	-	MC01/USART1_CK/ TIM1_CH1/I2C3_SCL/ OTG_FS_SOF/EVENTOUT	-
32	42	C9	D10	68	101	E15	120	PA9	I/O	FT	-	USART1_TX/TIM1_CH2/ I2C3_SMBA/DCMI_D0/ EVENTOUT	OTG_FS_VBUS
33	43	D10	C12	69	102	D15	121	PA10	I/O	FT	-	USART1_RX/TIM1_CH3/ OTG_FS_ID/DCMI_D1/ EVENTOUT	-
34	44	C10	B12	70	103	C15	122	PA11	I/O	FT	-	USART1_CTS/CAN1_RX/ TIM1_CH4/ OTG_FS_DM/EVENTOUT	-
35	45	B10	A12	71	104	B15	123	PA12	I/O	FT	-	USART1_RTS/CAN1_TX/ TIM1_ETR/OTG_FS_DP/ EVENTOUT	-
36	46	A10	A11	72	105	A15	124	PA13(JT MS- SWDIO)	I/O	FT	-	JTMS-SWDIO/EVENTOUT	-
37	47	-	-	73	106	F13	125	VCAP_2	S	-	-	-	-

引脚号								引脚名 (复位后 的功能)	引脚 类型	I/O 结构	注释	复用功能	其他函数
LQFP48	LQFP64	BGA100 (10x10mm)	BGA100 (7x7mm)	LQFP100	LQFP144	BGA176	LQFP176						
	-	E6	F11	74	107	F12	126	VSS	S	-	-	-	-
38	48	F6	G11	75	108	G13	127	VDD	S	-	-	-	-
	-	-	-	-	-	E12	128	PH13	I/O	FT	-	TIM8_CH1N/CAN1_TX/ EVENTOUT	-
	-	-	-	-	-	E13	129	PH14	I/O	FT	-	TIM8_CH2N/DCMI_D4/ EVENTOUT	-
	-	-	-	-	-	D13	130	PH15	I/O	FT	-	TIM8_CH3N/DCMI_D11/ EVENTOUT	-
	-	-	-	-	-	E14	131	PI0	I/O	FT	-	TIM5_CH4/SPI2_NSS/ I2S2_WS/DCMI_D13 /EVENTOUT	-
	-	-	-	-	-	D14	132	PI1	I/O	FT	-	SPI2_SCK/I2S2_CK/ DCMI_D8/EVENTOUT	-
	-	-	-	-	-	C14	133	PI2	I/O	FT	-	TIM8_CH4/SPI2_MISO/ DCMI_D9/I2S2ext_SD/ EVENTOUT	-
	-	-	-	-	-	C13	134	PI3	I/O	FT	-	TIM8_ETR/SPI2_MOSI/ I2S2_SD/DCMI_D10/ EVENTOUT	-
	-	-	-	-	-	D9	135	VSS	S	-	-	-	-
	-	-	-	-	-	C9	136	VDD	S	-	-	-	-
39	49	A9	A10	76	109	A14	137	PA14(JT CK/SWCL K)	I/O	FT	-	JTCK-SWCLK/EVENTOUT	-
40	50	A8	A9	77	110	A13	138	PA15(JT DI)	I/O	FT	-	JTDI/SPI3_NSS/ I2S3_WS/TIM2_CH1_ETR/ SPI1_NSS/EVENTOUT	-
	51	B9	B11	78	111	B14	139	PC10	I/O	FT	-	SPI3_SCK/I2S3_CK/ UART4_TX/SDIO_D2/ DCMI_D8/USART3_TX/ EVENTOUT	-
	52	B8	C10	79	112	B13	140	PC11	I/O	FT	-	UART4_RX/SPI3_MISO/ SDIO_D3/ DCMI_D4/USART3_RX/ I2S3ext_SD/EVENTOUT	-

引脚号								引脚名 (复位后 的功能)	引脚 类型	I/O 结构	注释	复用功能	其他函数
LQFP48	LQFP64	BGA100 (10x10mm)	BGA100 (7x7mm)	LQFP100	LQFP144	BGA176	LQFP176						
	53	C8	B10	80	113	A12	141	PC12	I/O	FT	-	UART5_TX/SDIO_CK/ DCMI_D9/SPI3_MOSI/ I2S3_SD/USART3_CK/ EVENTOUT	-
	-	D8	C9	81	114	B12	142	PD0	I/O	FT	-	FSMC_D2/CAN1_RX/ EVENTOUT	-
	-	E8	B9	82	115	C12	143	PD1	I/O	FT	-	FSMC_D3/CAN1_TX/ EVENTOUT	-
	54	B7	C8	83	116	D12	144	PD2	I/O	FT	-	TIM3_ETR/UART5_RX/ SDIO_CMD/DCMI_D11/ EVENTOUT	-
	-	C7	B8	84	117	D11	145	PD3	I/O	FT	-	FSMC_CLK/USART2_CTS/ EVENTOUT	-
	-	D7	B7	85	118	D10	146	PD4	I/O	FT	-	FSMC_NOE/USART2_RTS/ EVENTOUT	-
	-	B6	A6	86	119	C11	147	PD5	I/O	FT	-	FSMC_NWE/USART2_TX/ EVENTOUT	-
	-	-	-	-	120	D8	148	VSS	S	-	-	-	-
	-	-	-	-	121	C8	149	VDD	S	-	-	-	-
	-	C6	B6	87	122	B11	150	PD6	I/O	FT	-	FSMC_NWAIT/ USART2_RX/EVENTOUT	-
	-	D6	A5	88	123	A11	151	PD7	I/O	FT	-	USART2_CK/FSMC_NE1/ FSMC_NCE2/EVENTOUT	-
	-	-	-	-	124	C10	152	PG9	I/O	FT	-	USART6_RX/FSMC_NE2/ FSMC_NCE3/EVENTOUT	-
	-	-	-	-	125	B10	153	PG10	I/O	FT	-	FSMC_NCE4_1/ FSMC_NE3/EVENTOUT	-
	-	-	-	-	126	B9	154	PG11	I/O	FT	-	FSMC_NCE4_2/ ETH_MII_TX_EN/ ETH_RMII_TX_EN/EVENTOU T	-
	-	-	-	-	127	B8	155	PG12	I/O	FT	-	FSMC_NE4/USART6_RTS/ EVENTOUT	-
	-	-	-	-	128	A8	156	PG13	I/O	FT	-	FSMC_A24/USART6_CTS/ ETH_MII_TXDO/ ETH_RMII_TXDO/EVENTOUT	-

引脚号								引脚名 (复位后 的功能)	引脚 类型	I/O 结构	注释	复用功能	其他函数
LQFP48	LQFP64	BGA100 (10x10mm)	BGA100 (7x7mm)	LQFP100	LQFP144	BGA176	LQFP176						
	-	-	-	-	129	A7	157	PG14	I/O	FT	-	FSMC_A25/USART6_TX/ ETH_MII_TXD1/ ETH_RMII_TXD1/EVENTOUT	-
	-	-	-	-	130	D7	158	VSS	S	-	-	-	-
	-	-	-	-	131	C7	159	VDD	S	-	-	-	-
	-	-	-	-	132	B7	160	PG15	I/O	FT	-	USART6_CTS/ DCMI_D13/EVENTOUT	-
41	55	A7	A8	89	133	A10	161	PB3(JTD O/TRACE SWO)	I/O	FT	-	JTDO/TRACESWO/ SPI3_SCK/I2S3_CK/ TIM2_CH2/SPI1_SCK/ EVENTOUT	-
42	56	A6	A7	90	134	A9	162	PB4(NJT RST)	I/O	FT	-	NJTRST/SPI3_MISO/ TIM3_CH1/SPI1_MISO/ I2S3ext_SD/EVENTOUT	-
43	57	C5	C5	91	135	A6	163	PB5	I/O	FT	-	I2C1_SMBA/CAN2_RX/ OTG_HS_ULPI_D7/ ETH_PPS_OUT/TIM3_CH2/ SPI1_MOSI/SPI3_MOSI/ DCMI_D10/I2S3_SD/ EVENTOUT	-
44	58	B5	B5	92	136	B6	164	PB6	I/O	FT	-	I2C1_SCL/TIM4_CH1/ CAN2_TX/ DCMI_D5/USART1_TX/ EVENTOUT	-
45	59	A5	B4	93	137	B5	165	PB7	I/O	FT	-	I2C1_SDA/FSMC_NL/ DCMI_VSYNC/ USART1_RX/TIM4_CH2/ EVENTOUT	-
46	60	D5	A4	94	138	D6	166	BOOT0	I	B	-	-	-
	61	B4	A3	95	139	A5	167	PB8	I/O	FT	-	TIM4_CH3/SDIO_D4/ TIM10_CH1/DCMI_D6/ ETH_MII_TXD3/ I2C1_SCL/CAN1_RX/ EVENTOUT	-

引脚号								引脚名 (复位后 的功能)	引脚 类型	I/O 结构	注释	复用功能	其他函数
LQFP48	LQFP64	BGA100 (10x10mm)	BGA100 (7x7mm)	LQFP100	LQFP144	BGA176	LQFP176						
	62	A4	B3	96	140	B4	168	PB9	I/O	FT	-	SPI2_NSS/I2S2_WS/ TIM4_CH4/TIM11_CH1/ SDIO_D5/DCMI_D7/ I2C1_SDA/CAN1_TX/ EVENTOUT	-
	-	D4	C3	97	141	A4	169	PE0	I/O	FT	-	TIM4_ETR/FSMC_NBL0 /DCMI_D2/EVENTOUT	-
	-	C4	A2	98	142	A3	170	PE1	I/O	FT	-	FSMC_NBL1/DCMI_D3 /EVENTOUT	-
47	63	E5	D3	99	-	D5	-	VSS	S	-	-	-	-
	-	-	H3	-	143	C6	171	PDR_ON	I	FT	-	-	-
48	64	F5	C4	100	144	C5	172	VDD	S	-	-	-	-
	-	-	-	-	-	-	173	PI4	I/O	FT	-	TIM8_BKIN/DCMI_D5/ EVENTOUT	-
-	-	-	-	-	-	C4	174	PI5	I/O	FT	-	TIM8_CH1/DCMI_VSYNC/ EVENTOUT	-
-	-	-	-	-	-	C3	175	PI6	I/O	FT	-	TIM8_CH2/DCMI_D6/ EVENTOUT	-
-	-	-	-	-	-	C2	176	PI7	I/O	FT	-	TIM8_CH3/DCMI_D7/ EVENTOUT	-
-	-	F8	-	-	-	-	-	VSS	S	-	-	-	-
-	-	E7	-	-	-	-	-	VSS	S	-	-	-	-
-	-	-	E3	-	-	-	-	NC	-	-	-	-	-
-	-	-	L11	-	-	-	-	NC	-	-	-	-	-
-	-	-	C11	-	-	-	-	NC	-	-	-	-	-

1. 可用功能取决于所选器件。
2. PC13、PC14、PC15和PI8通过电源开关供电。由于该开关的灌电流能力有限(3mA)，因此在输出模式下使用GPIO PC13到PC15和PI8时存在以下限制：
 - 速率不得超过2MHz，最大负载为30pF。
 - 这些I/O不能用作电流源（如用于驱动LED）。

3. 备份域第一次上电后的主要功能。之后，即使复位，这些引脚的状态也取决于RTC寄存器的内容（因为主复位不会复位这些寄存器）。有关如何管理这些I/O的详细信息，请参见AST32F4xx参考手册中介绍RTC寄存器的部分，

4. 除了模拟模式或振荡器模式（PC14、PC15、PH0、PH1），FT=5V容限。

5. 若器件采用BGA176封装，且BYPASS_REG引脚设为VDD(调压器OFF/内部复位ON模式)，则PA0被用作内部复位（低电平有效）

表 1-3 FSMC引脚定义

引脚名称	CF	NOR/PSRAM/SRAM	NOR/PSRAM复用	NAND16	LQFP100
PE2	-	A23	A23	-	Yes
PE3	-	A19	A19	-	Yes
PE4	-	A20	A20	-	Yes
PE5	-	A21	A21	-	Yes
PE6	-	A22	A22	-	Yes
PF0	A0	A0	-	-	-
PF1	A1	A1	-	-	-
PF2	A2	A2	-	-	-
PF3	A3	A3	-	-	-
PF4	A4	A4	-	-	-
PF5	A5	A5	-	-	-
PF6	NIORD	-	-	-	-
PF7	NREG	-	-	-	-
PF8	NIOWR	-	-	-	-
PF9	CD	-	-	-	-
PF10	INTR	-	-	-	-
PF11	A6	-	-	-	-
PF12	A6	A6	-	-	-
PF13	A7	A7	-	-	-
PF14	A8	A8	-	-	-
PF15	A9	A9	-	-	-
PG0	A10	A10	-	-	-
PG1	-	A11	-	-	-
PE7	D4	D4	DA4	D4	Yes
PE8	D5	D5	DA5	D5	Yes
PE9	D6	D6	DA6	D6	Yes
PE10	D7	D7	DA7	D7	Yes
PE11	D8	D8	DA8	D8	Yes
PE12	D9	D9	DA9	D9	Yes
PE13	D10	D10	DA10	D10	Yes

引脚名称	CF	NOR/PSRAM/SRAM	NOR/PSRAM复用	NAND16	LQFP100
PE14	D11	D11	DA11	D11	Yes
PE15	D12	D12	DA12	D12	Yes
PD8	D13	D13	DA13	D13	Yes
PD9	D14	D14	DA14	D14	Yes
PD10	D15	D15	DA15	D15	Yes
PD11	-	A16	A16	CLE	Yes
PD12	-	A17	A17	ALE	Yes
PD13	-	A18	A18	-	Yes
PD14	D0	D0	DA0	D0	Yes
PD15	D1	D1	DA1	D1	Yes
PG2	-	A12	-	-	
PG3	-	A13	-	-	
PG4	-	A14	-	-	
PG5	-	A15	-	-	
PG6	-	-	-	INT2	
PG7	-	-	-	INT3	
PD0	D2	D2	DA2	D2	Yes
PD1	D3	D3	DA3	D3	Yes
PD3	-	CLK	CLK	-	Yes
PD4	NOE	NOE	NOE	NOE	Yes
PD5	NWE	NWE	NWE	NWE	Yes
PD6	NWAIT	NWAIT	NWAIT	NWAIT	Yes
PD7	-	NE1	NE1	NCE2	Yes
PG9	-	NE2	NE2	NCE3	-
PG10	NCE4_1	NE3	NE3	-	-
PG11	NCE4_2	-	-	-	-
PG12	-	NE4	NE4	-	-
PG13	-	A24	A24	-	-
PG14	-	A25	A25	-	-
PB7	-	NADV	NADV	-	Yes
PE0	-	NBL0	NBL0	-	Yes
PE1	-	NBL1	NBL1	-	Yes

1. 完整的FSMC特性可以在LQFP144, LQFP176和BGA176上使用, 在专用栏中给出了小型模块的特性。

2. 100pin封装的设备没有F和G接口

表 1-4 复用功能映射表

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15	
	SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SP I2/I2S2/I2S2ext	SPI3/I2Sext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI			
Port A	PA0	-	TIM2_CH1_ETR	TIM5_CH1	TIM8_ETR	-	-	-	USART2_CTS	UART4_TX	-	-	ETH_MII_CRS	-	-	EVENT OUT	
	PA1	-	TIM2_CH2	TIM5_CH2	-	-	-	-	USART2_RTS	UART4_RX	-	-	ETH_MII_RX_CLK ETH_RMII_REF_CLK	-	-	EVENT OUT	
	PA2	-	TIM2_CH3	TIM5_CH3	TIM9_CH1	-	-	-	USART2_TX	-	-	-	ETH_MDIO	-	-	EVENT OUT	
	PA3	-	TIM2_CH4	TIM5_CH4	TIM9_CH2	-	-	-	USART2_RX	-	-	OTG_HS_ULPI_DO	ETH_MII_COLD	-	-	EVENT OUT	
	PA4	-	-	-	-	-	SPI1_NSS	SPI3_NSS/I2S3_WS	USART2_CK	-	-	-	-	OTG_HS_SOF	DCMI_HSYNC	-	EVENT OUT
	PA5	-	TIM2_CH1_ETR	-	TIM8_CH1N	-	SPI1_SCK	-	-	-	-	OTG_HS_ULPI_CK	-	-	-	-	EVENT OUT
	PA6	-	TIM1_BKIN	TIM3_CH1	TIM8_BKIN	-	SPI1_MISO	-	-	-	-	TIM13_CH1	-	-	DCMI_PIXCK	-	EVENT OUT
	PA7	-	TIM1_CH1N	TIM3_CH2	TIM8_CH1N	-	SPI1_MOSI	-	-	-	TIM14_CH1	-	ETH_MII_RX_DV ETH_RMII_CRS_DV	-	-	-	EVENT OUT
	PA8	MCO1	TIM1_CH1	-	-	I2C3_SCL	-	-	USART1_CK	-	-	OTG_FS_SOF	-	-	-	-	EVENT OUT
	PA9	-	TIM1_CH2	-	-	I2C3_SMBA	-	-	USART1_TX	-	-	-	-	-	DCMI_DO	-	EVENT OUT
	PA10	-	TIM1_CH3	-	-	-	-	-	USART1_RX	-	-	OTG_FS_ID	-	-	DCMI_D1	-	EVENT OUT
	PA11	-	TIM1_CH4	-	-	-	-	-	USART1_CTS	-	CAN1_RX	OTG_FS_DM	-	-	-	-	EVENT OUT
	PA12	-	TIM1_ETR	-	-	-	-	-	USART1_RTS	-	CAN1_TX	OTG_FS_DP	-	-	-	-	EVENT OUT
	PA13	JTMS-SWDIO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
	PA14	JTCK-SWCLK	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
PA15	JTDI	TIM2_CH1 TIM2_ETR	-	-	-	SPI1_NSS	SPI3_NSS/I2S3_WS	-	-	-	-	-	-	-	-	EVENT OUT	

表 1-4 复用功能映射表(续)

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15	
	SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2S3ext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SPIO/OTG_FS	DCMI			
PortB	PB0	-	TIM1_C H2N	TIM3_C H3	TIM8_C H2N	-	-	-	-	-	-	OTG_HS_ULP I_D1	ETH_MII_R XD2	-	-	EVENTO UT	
	PB1	-	TIM1_C H3N	TIM3_C H4	TIM8_C H3N	-	-	-	-	-	-	OTG_HS_ULP I_D2	ETH_MII_R XD3	-	-	EVENTO UT	
	PB2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTO UT	
	PB3	JTDO / TRACES WO	TIM2_C H2	-	-	-	SPI1_SC K	SPI3_SCK I2S3_CK	-	-	-	-	-	-	-	-	EVENTO UT
	PB4	NJTR ST	-	TIM3_C H1	-	-	SPI1_MI SO	SPI3_MIS O	I2S3ext_ SD	-	-	-	-	-	-	-	EVENTO UT
	PB5	-	-	TIM3_C H2	-	I2C1_S MBA	SPI1_MO SI	SPI3_MOS I I2S3_SD	-	-	CAN2_R X	OTG_HS_ULP I_D7	ETH_PPS_0 UT	-	DCMI_D 10	-	EVENTO UT
	PB6	-	-	TIM4_C H1	-	I2C1_S CL	-	-	USART1_T X	-	CAN2_T X	-	-	-	DCMI_D 5	-	EVENTO UT
	PB7	-	-	TIM4_C H2	-	I2C1_S DA	-	-	USART1_R X	-	-	-	-	FSMC_N L	DCMI_V SYN C	-	EVENTO UT
	PB8	-	-	TIM4_C H3	TIM10_ CH1	I2C1_S CL	-	-	-	-	CAN1_R X	-	ETH_MII_T XD3	SDIO_D 4	DCMI_D 6	-	EVENTO UT
	PB9	-	-	TIM4_C H4	TIM11_ CH1	I2C1_S DA	SPI2_NS S I2S2_WS	-	-	-	CAN1_T X	-	-	SDIO_D 5	DCMI_D 7	-	EVENTO UT
	PB10	-	TIM2_C H3	-	-	I2C2_S CL	SPI2_SC K I2S2_CK	-	USART3_T X	-	-	OTG_HS_ULP I_D3	ETH_MII_R X_ER	-	-	-	EVENTO UT
	PB11	-	TIM2_C H4	-	-	I2C2_S DA	-	-	USART3_R X	-	-	OTG_HS_ULP I_D4	ETH_MII_T X_EN ETH _RMII_TX_ EN	-	-	-	EVENTO UT
	PB12	-	TIM1_B KIN	-	-	I2C2_ SMBA	SPI2_NS S I2S2_WS	-	USART3_C K	-	CAN2_R X	OTG_HS_ULP I_D5	ETH_MII_T XDO ETH_RMII_ TXDO	OTG_HS _ID	-	-	EVENTO UT
	PB13	-	TIM1_C H1N	-	-	-	SPI2_SC K I2S2_CK	-	USART3_C TS	-	CAN2_T X	OTG_HS_ULP I_D6	ETH_MII_T XD1 ETH_RMII_ TXD1	-	-	-	EVENTO UT
	PB14	-	TIM1_C H2N	-	TIM8_C H2N	-	SPI2_MI SO	I2S2ext_ SD	USART3_R TS	-	TIM12_ CH1	-	-	OTG_HS _DM	-	-	EVENTO UT
PB15	RTC_ REFI N	TIM1_C H3N	-	TIM8_C H3N	-	SPI2_MO SI I2S2_SD	-	-	-	TIM12_ CH2	-	-	OTG_HS _DP	-	-	EVENTO UT	

表 1-4 复用功能映射表(续)

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2S3ext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI		
PC0	-	-	-	-	-	-	-	-	-	-	OTG_HS_ULPI_STP	-	-	-	-	EVENT OUT
PC1	-	-	-	-	-	-	-	-	-	-	-	ETH_MDC	-	-	-	EVENT OUT
PC2	-	-	-	-	-	SPI2_MISO	I2S2ext_SD	-	-	-	OTG_HS_ULPI_DIR	ETH_MII_TXD2	-	-	-	EVENT OUT
PC3	-	-	-	-	-	SPI2_MOSI	I2S2_SD	-	-	-	OTG_HS_ULPI_NXT	ETH_MII_TX_CLK	-	-	-	EVENT OUT
PC4	-	-	-	-	-	-	-	-	-	-	-	ETH_RMII_RXD0ETH_MII_RXD0	-	-	-	EVENT OUT
PC5	-	-	-	-	-	-	-	-	-	-	-	ETH_MII_RXD1 ETH_RMII_RXD1	-	-	-	EVENT OUT
PC6	-	-	TIM3_CH1	TIM8_CH1	-	I2S2_MCK	-	-	USART6_TX	-	-	-	SDIO_D6	DCMI_D0	-	EVENT OUT
PC7	-	-	TIM3_CH2	TIM8_CH2	-	-	I2S3_MCK	-	USART6_RX	-	-	-	SDIO_D7	DCMI_D1	-	EVENT OUT
PC8	-	-	TIM3_CH3	TIM8_CH3	-	-	-	-	USART6_CK	-	-	-	SDIO_D0	DCMI_D2	-	EVENT OUT
PC9	MC02	-	TIM3_CH4	TIM8_CH4	I2C3_SDA	I2S_CK1N	-	-	-	-	-	-	SDIO_D1	DCMI_D3	-	EVENT OUT
PC10	-	-	-	-	-	-	SPI3_SCK/I2S3_CK	USART3_TX	UART4_TX	-	-	-	SDIO_D2	DCMI_D8	-	EVENT OUT
PC11	-	-	-	-	-	I2S3ext_SD	SPI3_MISO	USART3_RX	UART4_RX	-	-	-	SDIO_D3	DCMI_D4	-	EVENT OUT
PC12	-	-	-	-	-	-	SPI3_MOSI	USART3_CK	UART5_TX	-	-	-	SDIO_CK	DCMI_D9	-	EVENT OUT
PC13	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
PC14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
PC15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT

表 1-4 复用功能映射表(续)

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15	
	SYN	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2Sext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI			
Port D	PD0	-	-	-	-	-	-	-	-	CAN1_RX	-	-	FSMC_D2	-	-	EVENTOUT	
	PD1	-	-	-	-	-	-	-	-	CAN1_TX	-	-	FSMC_D3	-	-	EVENTOUT	
	PD2	-	-	TIM3_ETR	-	-	-	-	-	UART5_RX	-	-	-	SDIO_CMD	DCMI_D11	-	EVENTOUT
	PD3	-	-	-	-	-	-	-	USART2_CTS	-	-	-	-	FSMC_CLK	-	-	EVENTOUT
	PD4	-	-	-	-	-	-	-	USART2_RTS	-	-	-	-	FSMC_NOE	-	-	EVENTOUT
	PD5	-	-	-	-	-	-	-	USART2_TX	-	-	-	-	FSMC_NWE	-	-	EVENTOUT
	PD6	-	-	-	-	-	-	-	USART2_RX	-	-	-	-	FSMC_NWAIT	-	-	EVENTOUT
	PD7	-	-	-	-	-	-	-	USART2_CK	-	-	-	-	FSMC_NE1 / FSMC_NCE2	-	-	EVENTOUT
	PD8	-	-	-	-	-	-	-	USART3_TX	-	-	-	-	FSMC_D13	-	-	EVENTOUT
	PD9	-	-	-	-	-	-	-	USART3_RX	-	-	-	-	FSMC_D14	-	-	EVENTOUT
	PD10	-	-	-	-	-	-	-	USART3_CK	-	-	-	-	FSMC_D15	-	-	EVENTOUT
	PD11	-	-	-	-	-	-	-	USART3_CTS	-	-	-	-	FSMC_A16	-	-	EVENTOUT
	PD12	-	-	TIM4_CH1	-	-	-	-	USART3_RTS	-	-	-	-	FSMC_A17	-	-	EVENTOUT
	PD13	-	-	TIM4_CH2	-	-	-	-	-	-	-	-	-	FSMC_A18	-	-	EVENTOUT
	PD14	-	-	TIM4_CH3	-	-	-	-	-	-	-	-	-	FSMC_D0	-	-	EVENTOUT
	PD15	-	-	TIM4_CH4	-	-	-	-	-	-	-	-	-	FSMC_D1	-	-	EVENTOUT

表 1-4 复用功能映射表(续)

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SP I2/ I2S2/I2 S2e xt	SPI3/I2S ext /I2S3	USART1/2 /3/ I2S3ext	UART4/ 5/ USART6	CAN1/2 TIM12/1 3/ 14	OTG_F S/ OTG_H S	ETH	FSMC/SD IO /OTG_F S	DCMI		
PortE	PE0	-	-	TIM4_ETR	-	-	-	-	-	-	-	-	FSMC_NBL0	DCMI_D2	-	EVENTO UT
	PE1	-	-	-	-	-	-	-	-	-	-	-	FSMC_NBL1	DCMI_D3	-	EVENTO UT
	PE2	TRACELK	-	-	-	-	-	-	-	-	-	ETH_MII_TXD3	FSMC_A23	-	-	EVENTO UT
	PE3	TRACED0	-	-	-	-	-	-	-	-	-	-	FSMC_A19	-	-	EVENTO UT
	PE4	TRACED1	-	-	-	-	-	-	-	-	-	-	FSMC_A20	DCMI_D4	-	EVENTO UT
	PE5	TRACED2	-	-	TIM9_CH1	-	-	-	-	-	-	-	FSMC_A21	DCMI_D6	-	EVENTO UT
	PE6	TRACED3	-	-	TIM9_CH2	-	-	-	-	-	-	-	FSMC_A22	DCMI_D7	-	EVENTO UT
	PE7	-	TIM1_ETR	-	-	-	-	-	-	-	-	-	FSMC_D4	-	-	EVENTO UT
	PE8	-	TIM1_CH1N	-	-	-	-	-	-	-	-	-	FSMC_D5	-	-	EVENTO UT
	PE9	-	TIM1_CH1	-	-	-	-	-	-	-	-	-	FSMC_D6	-	-	EVENTO UT
	PE10	-	TIM1_CH2N	-	-	-	-	-	-	-	-	-	FSMC_D7	-	-	EVENTO UT
	PE11	-	TIM1_CH2	-	-	-	-	-	-	-	-	-	FSMC_D8	-	-	EVENTO UT
	PE12	-	TIM1_CH3N	-	-	-	-	-	-	-	-	-	FSMC_D9	-	-	EVENTO UT
	PE13	-	TIM1_CH3	-	-	-	-	-	-	-	-	-	FSMC_D10	-	-	EVENTO UT
	PE14	-	TIM1_CH4	-	-	-	-	-	-	-	-	-	FSMC_D11	-	-	EVENTO UT
	PE15	-	TIM1_BKIN	-	-	-	-	-	-	-	-	-	FSMC_D12	-	-	EVENTO UT

表 1-4 复用功能映射表(续)

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SYN	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2Sext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI		
Port F	PF0	-	-	-	-	I2C2_SDA	-	-	-	-	-	-	FSMC_A0	-	-	EVENTOUT
	PF1	-	-	-	-	I2C2_SCL	-	-	-	-	-	-	FSMC_A1	-	-	EVENTOUT
	PF2	-	-	-	-	I2C2_SMBA	-	-	-	-	-	-	FSMC_A2	-	-	EVENTOUT
	PF3	-	-	-	-	-	-	-	-	-	-	-	FSMC_A3	-	-	EVENTOUT
	PF4	-	-	-	-	-	-	-	-	-	-	-	FSMC_A4	-	-	EVENTOUT
	PF5	-	-	-	-	-	-	-	-	-	-	-	FSMC_A5	-	-	EVENTOUT
	PF6	-	-	-	TIM10_CH1	-	-	-	-	-	-	-	FSMC_NIOR	-	-	EVENTOUT
	PF7	-	-	-	TIM11_CH1	-	-	-	-	-	-	-	FSMC_NRENG	-	-	EVENTOUT
	PF8	-	-	-	-	-	-	-	-	TIM13_CH1	-	-	FSMC_NIOWR	-	-	EVENTOUT
	PF9	-	-	-	-	-	-	-	-	TIM14_CH1	-	-	FSMC_CD	-	-	EVENTOUT
	PF10	-	-	-	-	-	-	-	-	-	-	-	FSMC_INT	-	-	EVENTOUT
	PF11	-	-	-	-	-	-	-	-	-	-	-	-	DCMI_D12	-	EVENTOUT
	PF12	-	-	-	-	-	-	-	-	-	-	-	FSMC_A6	-	-	EVENTOUT
	PF13	-	-	-	-	-	-	-	-	-	-	-	FSMC_A7	-	-	EVENTOUT
	PF14	-	-	-	-	-	-	-	-	-	-	-	FSMC_A8	-	-	EVENTOUT
	PF15	-	-	-	-	-	-	-	-	-	-	-	FSMC_A9	-	-	EVENTOUT

表 1-4 复用功能映射表(续)

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15		
	SY0	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SP I2/I2S2/I2S2ext	SPI3/I2S ext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI				
PortG	PG0	-	-	-	-	-	-	-	-	-	-	-	FSMC_A10	-	-	EVENTO UT		
	PG1	-	-	-	-	-	-	-	-	-	-	-	FSMC_A11	-	-	EVENTO UT		
	PG2	-	-	-	-	-	-	-	-	-	-	-	FSMC_A12	-	-	EVENTO UT		
	PG3	-	-	-	-	-	-	-	-	-	-	-	FSMC_A13	-	-	EVENTO UT		
	PG4	-	-	-	-	-	-	-	-	-	-	-	FSMC_A14	-	-	EVENTO UT		
	PG5	-	-	-	-	-	-	-	-	-	-	-	FSMC_A15	-	-	EVENTO UT		
	PG6	-	-	-	-	-	-	-	-	-	-	-	FSMC_INT2	-	-	EVENTO UT		
	PG7	-	-	-	-	-	-	-	-	USART6_ CK	-	-	-	FSMC_INT3	-	-	EVENTO UT	
	PG8	-	-	-	-	-	-	-	-	USART6_ RTS	-	-	ETH_PPS_OUT	-	-	-	EVENTO UT	
	PG9	-	-	-	-	-	-	-	-	USART6_ RX	-	-	-	FSMC_NE2/ FSMC_NCE3	-	-	EVENTO UT	
	PG10	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_NCE4 _1/ FSMC_NE3	-	-	EVENTO UT	
	PG11	-	-	-	-	-	-	-	-	-	-	-	ETH_MII_TX_ EN ETH_RMII_TX_ EN	FSMC_NCE4 _2	-	-	EVENTO UT	
	PG12	-	-	-	-	-	-	-	-	USART6_ RTS	-	-	-	FSMC_NE4	-	-	EVENTO UT	
	PG13	-	-	-	-	-	-	-	-	UART6_ CTS	-	-	-	ETH_MII_TXD 0 ETH_RMII_TX DO	FSMC_A24	-	-	EVENTO UT
	PG14	-	-	-	-	-	-	-	-	USART6_ TX	-	-	-	ETH_MII_TXD 1 ETH_RMII_TX D1	FSMC_A25	-	-	EVENTO UT
PG15	-	-	-	-	-	-	-	-	USART6_ CTS	-	-	-	-	DCMI_D 13	-	-	EVENTO UT	

表 1-4 复用功能映射表(续)

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15	
	SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2Sext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SPI0/OTG_FSS	DCMI			
PortH	PH0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTO UT	
	PH1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTO UT	
	PH2	-	-	-	-	-	-	-	-	-	-	ETH_MII_C RS	-	-	-	EVENTO UT	
	PH3	-	-	-	-	-	-	-	-	-	-	ETH_MII_C OL	-	-	-	EVENTO UT	
	PH4	-	-	-	-	I2C2_S CL	-	-	-	-	-	OTG_HS_ULPI NXT	-	-	-	-	EVENTO UT
	PH5	-	-	-	-	I2C2_S DA	-	-	-	-	-	-	-	-	-	-	EVENTO UT
	PH6	-	-	-	-	I2C2_S MBA	-	-	-	-	TIM12_ CH1	-	ETH_MII_R XD2	-	-	-	EVENTO UT
	PH7	-	-	-	-	I2C3_S CL	-	-	-	-	-	-	ETH_MII_R XD3	-	-	-	EVENTO UT
	PH8	-	-	-	-	I2C3_S DA	-	-	-	-	-	-	-	-	DCMI_HS YNC	-	EVENTO UT
	PH9	-	-	-	-	I2C3_S MBA	-	-	-	-	TIM12_ CH2	-	-	-	DCMI_DO	-	EVENTO UT
	PH10	-	-	TIM5_C H1	-	-	-	-	-	-	-	-	-	-	DCMI_D1	-	EVENTO UT
	PH11	-	-	TIM5_C H2	-	-	-	-	-	-	-	-	-	-	DCMI_D2	-	EVENTO UT
	PH12	-	-	TIM5_C H3	-	-	-	-	-	-	-	-	-	-	DCMI_D3	-	EVENTO UT
	PH13	-	-	-	TIM8_C H1N	-	-	-	-	-	CAN1_T X	-	-	-	-	-	EVENTO UT
	PH14	-	-	-	TIM8_C H2N	-	-	-	-	-	-	-	-	-	DCMI_D4	-	EVENTO UT
	PH15	-	-	-	TIM8_C H3N	-	-	-	-	-	-	-	-	-	DCMI_D1 1	-	EVENTO UT

表 1-4 复用功能映射表(续)

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SY S	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2Sext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/S DIO/OTG_FS	DCMI		
Port I	PI0	-	-	TIM5_CH4	-	-	SPI2_NSS I2S2_WS	-	-	-	-	-	-	DCMI_D13	-	EVENTO UT
	PI1	-	-	-	-	-	SPI2_SCK I2S2_CK	-	-	-	-	-	-	DCMI_D8	-	EVENTO UT
	PI2	-	-	-	TIM8_CH4	-	SPI2_MISO	I2S2ext_SD	-	-	-	-	-	DCMI_D9	-	EVENTO UT
	PI3	-	-	-	TIM8_ETR	-	SPI2_MOSI I2S2_SD	-	-	-	-	-	-	DCMI_D10	-	EVENTO UT
	PI4	-	-	-	TIM8_BKIN	-	-	-	-	-	-	-	-	DCMI_D5	-	EVENTO UT
	PI5	-	-	-	TIM8_CH1	-	-	-	-	-	-	-	-	DCMI_VSYNC	-	EVENTO UT
	PI6	-	-	-	TIM8_CH2	-	-	-	-	-	-	-	-	DCMI_D6	-	EVENTO UT
	PI7	-	-	-	TIM8_CH3	-	-	-	-	-	-	-	-	DCMI_D7	-	EVENTO UT
	PI8	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTO UT
	PI9	-	-	-	-	-	-	-	-	-	CAN1_RX	-	-	-	-	EVENTO UT
	PI10	-	-	-	-	-	-	-	-	-	-	ETH_MII_RXER	-	-	-	EVENTO UT
	PI11	-	-	-	-	-	-	-	-	-	-	OTG_HS_ULPI_DIR	-	-	-	EVENTO UT

2 功能介绍

AST32F407Axxx 器件基于高性能的 ARM Cortex-M4 32位 RISC 内核，工作频率高达 168MHz。Cortex-M4 内核带有单精度浮点运算单元(FPU)，支持所有 ARM 单精度数据处理指令和数据类型。它还具有一组DSP指令和提高应用安全性的一个存储器保护单元(MPU)。

AST32F407Axxx器件集成了高速嵌入式存储器(Flash存储器和SRAM的容量分别高达1M字节和192K字节)和高达4K字节的后备SRAM，以及大量连至2条APB总线、3条AHB总线和1个32位多AHB总线矩阵的增强型I/O与外设。

所有型号均带有3个12位ADC、2个DAC、1个低功耗RTC、12个通用16位定时器(包括2个用于电机控制的PWM定时器)、2个通用32位定时器。一个真随机数生成器(RNG)，它们还带有标准与高级通信接口。

- 高达三个I²C
- 三个SPI，两个I²S全双工。为达到音频级的精度，I2S外设可通过专用内部音频PLL提供时钟，或使用外部时钟以实现同步。

- 四个USART及二个UART
- 一个USB OTG全速和一个具有全速能力的USB OTG高速(配有ULPI)
- 两个CAN
- 一个SDIO/MMC接口
- 以太网

高级外设包括一个SDIO、一个灵活存储器控制FSMC接口(用于100针及以上封装的设备)、一个用于CMOS传感器的摄像头接口。

AST32F407Axxx 器件的工作温度范围是-55~+125° C，供电电压范围是1.8~3.6V。当设备工作在0~70° 的温度范围内，若使用外部供电监控器，则供电电压可低至1.7V(请参考第2.2.17章节：内部复位OFF)。该系列提供了一套全面的节能模式，可实现低功耗应用设计。

AST32F407Axxx系列提供、从64引脚至176引脚的各种封装的而设备。所包括的外设因所选的器件而异。

这些特性使得AST32F427xx微控制器适合于广泛的应用：

- 电机驱动和应用控制
- 医疗设备

- 工业应用：PLC、逆变器、断路器
- 打印机、扫描仪
- 警报系统、视频电话、HVAC

表 2-1 特性和外设数量

外设		AST32F407ARGT	AST32F407AVGT	AST32F407AZGT	AST32F407AIGT
闪存-K字节		1024			
SRAM-K字节	系统	192(112+16+64)			
	备份	4			
FSMC存储控制器		有			
以太网		有			
定时器	通用定时器	10			
	高级定时器	2			
	基本定时器	2			
	独立看门狗	有			
	窗口看门狗	有			
	RTC	有			
随机数发生器		有			
通信接口	SPI/I2S	3/2 (全双工)			
	I2C	3			
	USART/UART	4/2			
	USB OTG FS	有			
	USB OTG HS	有			
	CAN	2			
	SDIO	有			
相机接口		有			
GPIO		51	82	114	140
12位ADC通道数		16	16	24	24
12位DAC通道数		2			
最大CPU频率		168MHZ			
推荐工作电压		2.4V-3.6V			
工作温度		环境温度：-55~+125℃			
		结温：-65+150℃			

1. 对于LQFP100封装，只有FSMC Bank1或Bank2可用。Bank1只能通过片选信号NE1以复用模式支持 NOR/PSRAM 存储器。Bank2只能通过片选信号NE2支持16位或8位NAND Flash。
2. SPI2和SPI3接口可以在SPI模式和I2S音频模式这两种工作方式之间灵活切换。
3. 当器件工作于低温度范围，并使用了外部供电监控器时，可达到1.7V的VDD/VDDA最小值。

2.1 系统之间的全兼容性

AST32F407xxx器件是AST32F4产品系列的一部分。它们的引脚、软件、特性均与AST32F2xx器件完全兼容，使得用户可在开发期间尝试不同的存储器密度、外设、性能（FPU、更高的频率），获取更大的自由度。

AST32F407xxx器件与整个AST32F10xx产品系列保持兼容。所有功能引脚都引脚兼容。然而，AST32F407xGTx并不能直接替代AST32F10xx器件：这两个产品系列的电源方案不同，因此它们的电源引脚不同。虽然如此，但是从AST32F10xx到AST32F40x产品系列的转换非常简单，仅有少数引脚受到影响。

图2-1、图2-2、图2-3给出了AST32F40xx、AST32F2xx、AST32F10xx产品系列兼容的电路板设计。

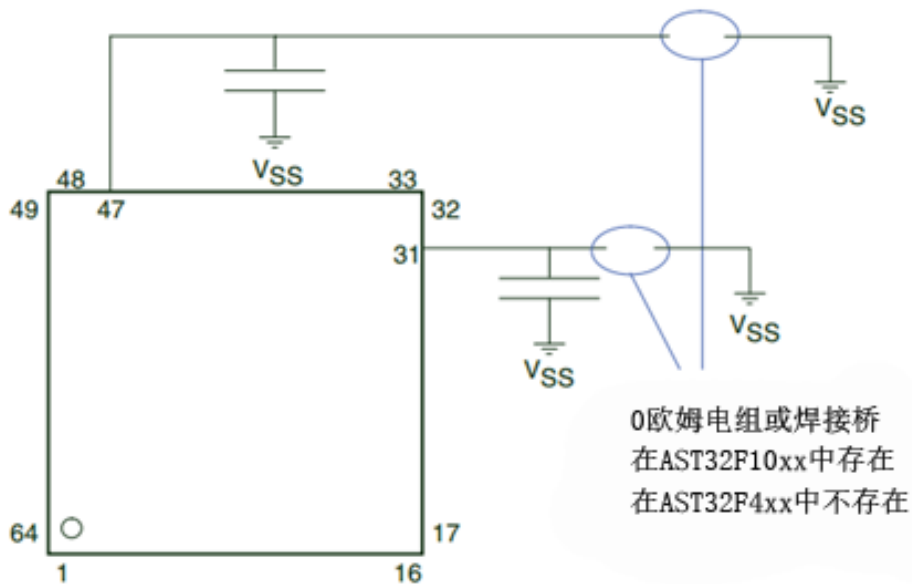


图 2-1 LQFP64与AST32F10xx/AST32F40xx兼容版本设计

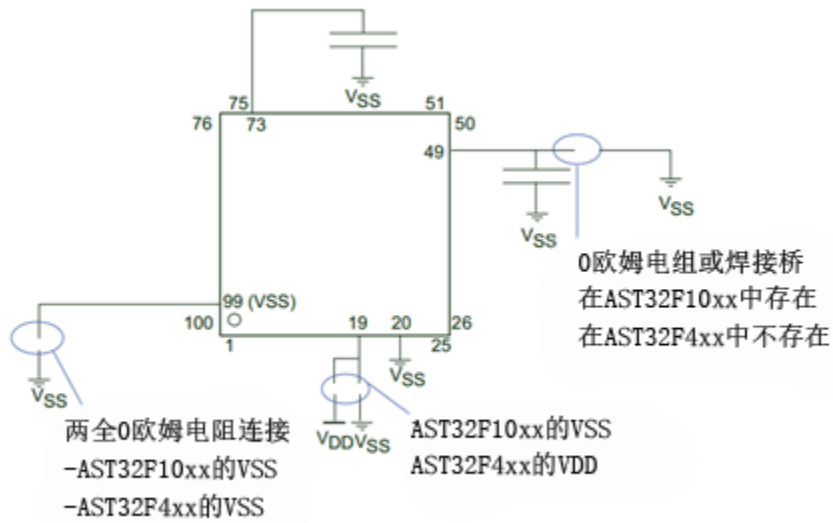


图 2-2 兼容版设计 AST10xx/AST32F40xx 用于 LQFP100 封装

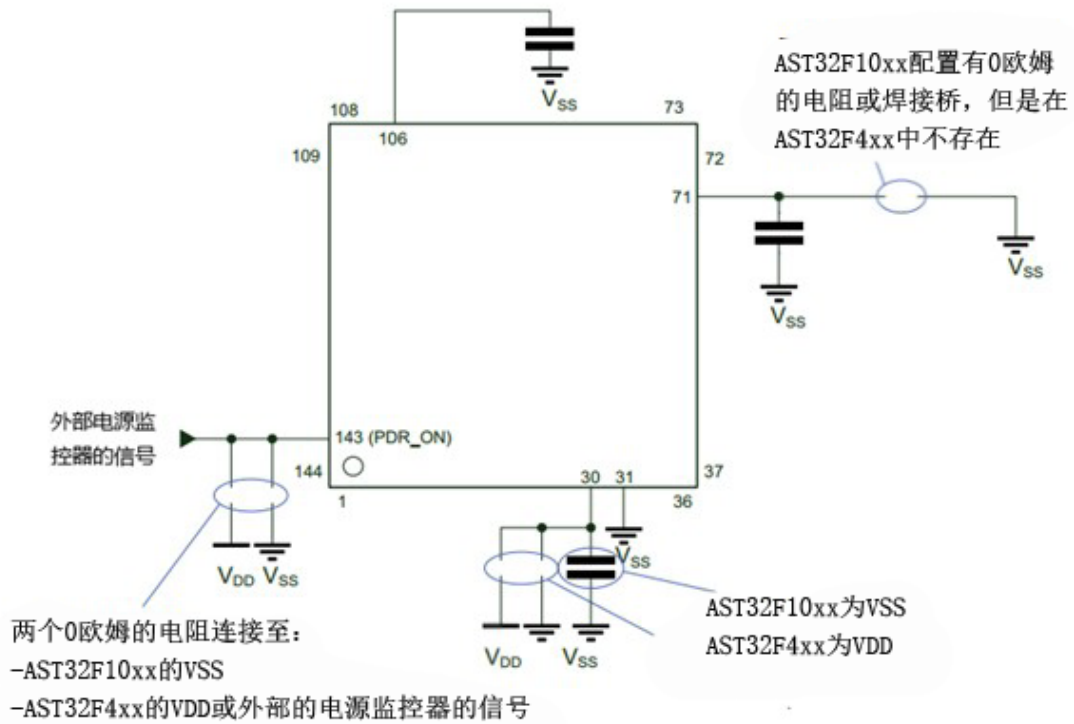


图 2-3 适用于 LQFP144 封装的 AST32F10xx/AST32F40xx 兼容版设计

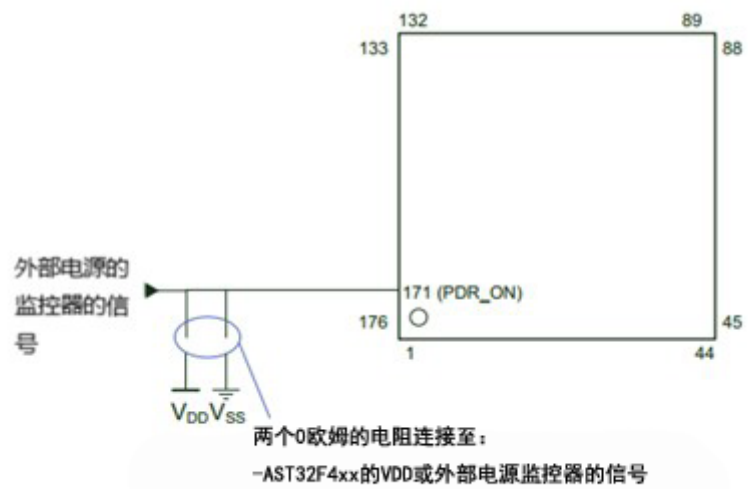


图 2-4 LQFP176 和 BGA176 封装的 AST32F40xx 兼容版设计

2.2 设备概述

1. 相机接口和以太网接口仅支持AST32F407Axxx设备

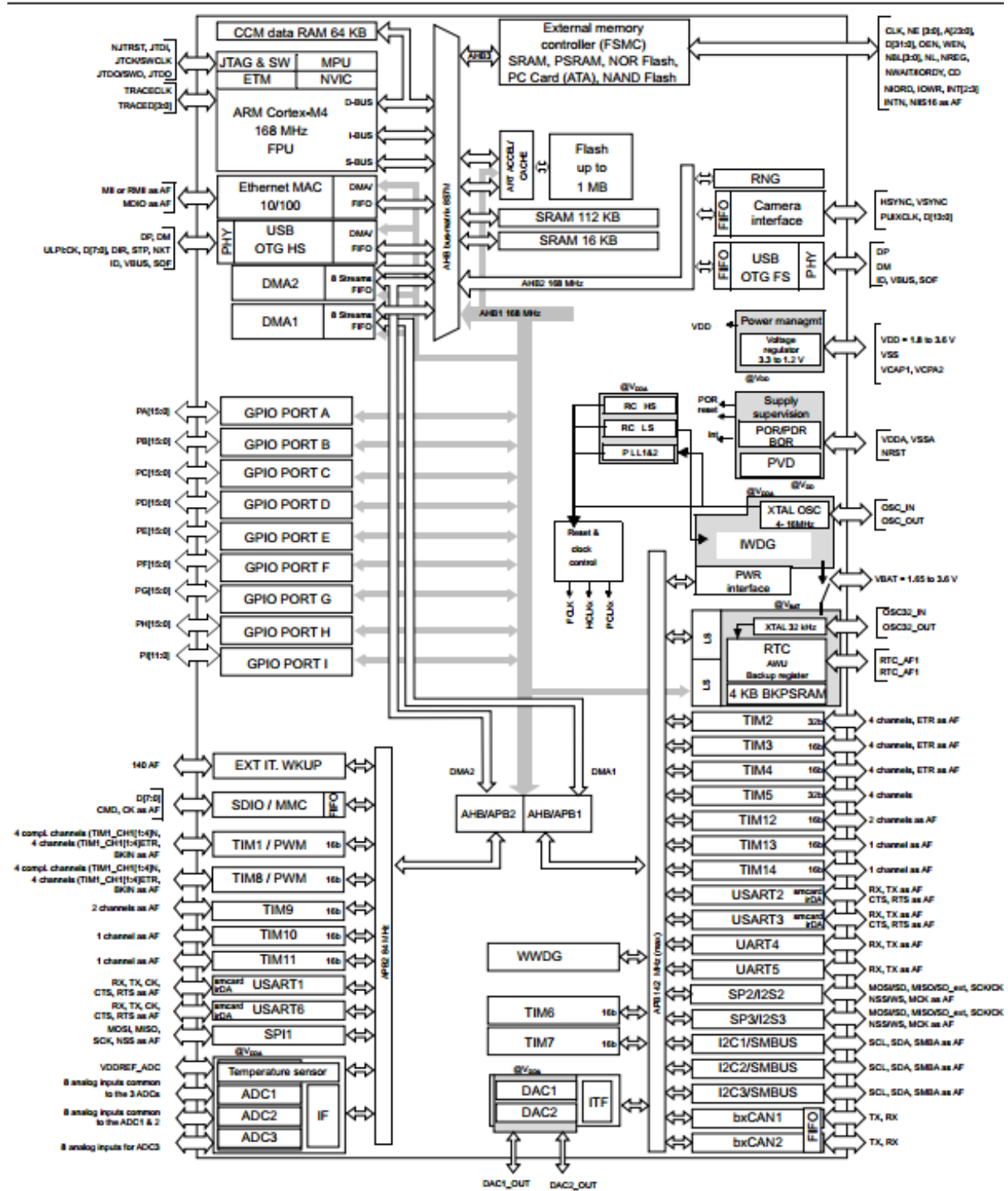


图 2-5 AST32F407Axxx 框图

2.2.1 ARM Cortex-M4，配有FPU、嵌入式Flash、SRAM

带有FPU处理器的ARM Cortex-M4是最新一代的嵌入式系统ARM处理器。该处理器引脚数少、功耗低，能够提供满足MCU实现要求的低成本平台，同时具备卓越的计算性能和先进的中断响应。

带有FPU内核的ARM Cortex-M4处理器是一款 32位 RISC处理器，具有优异的代码效率，采用通常8位和16位器件的存储器空间即可发挥 ARM内核的高性能。

该处理器支持一组DSP指令，能够实现有效的信号处理和复杂的算法执行。

它的单精度FPU（浮点单元）通过使用元语言开发工具，可加速开发，防止饱和。

AST32F407xGTx系列与所有ARM工具和软件兼容。

图2-5给出了AST32F407Axxx系列的总体框图。

注：配有FPU的Cortex-M4内核与Cortex-M3内核二进制兼容。

2.2.2 自适应实时内存加速器（ART Accelerator™）

ART 加速器™是一种存储器加速器，它为该器件工业标准的配有 FPU 处理器的 ARM Cortex-M4做了优化。该加速器平衡了配有FPU的ARM Cortex-M4 在 Flash 技术方面的固有性能优势，克服了通常条件下，高速处理器在运行中需要经常等待 Flash的情况。

为了发挥处理器在此频率时的210 DMIPS 全部性能，该加速器将实施指令预取队列和分支缓存，从而提高了128位 Flash 的程序执行速度。根据CoreMark 基准测试，凭借 ART 加速器所获得的性能相当于 Flash 在 CPU 频率高达 168MHz 时以 0 个等待周期执行程序。

2.2.3 内存保护单元

内存保护单元（MPU）用于管理 CPU 对内存的访问，防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区被组织为最多 8 个保护区，还可依次再被分为最多8个子区。保护区大小可为 32 字节至可寻址存储器的整个 4G 字节

若应用中有一些关键的或认证的代码必须受到保护，以免被其它任务的错误行为影响，则MPU尤其有用。它通常由 RTOS（实时操作系统）管理。若程序访问的存储器位置被MPU禁止，则 RTOS可检测到它并采取行动。在 RTOS 环境中，内核可基于执行的进程，动态更新 MPU 区的设置。

MPU 是可选的，若应用不需要则可绕过。

2.2.4 嵌入式Flash

AST32F407Axxx设备内置1M的FLASH内存，用于存储程序和数据。

2.2.5 CRC（循环冗余校验）计算单元

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器从一个32位的数据字中产生CRC码。

在众多的应用中，基于CRC的技术还常用来验证数据传输或存储的完整性。根据EN / IEC 60335-1 标准的规定，这些技术提供了验证Flash完整性的方法。CRC计算单元有助于在运行期间计算软件的签名，并将该签名与链接时生成并存储在指定存储单元的参考签名加以比较。

2.2.6 嵌入式SRAM

所有器件都内置有：

- 高达192K字节的系统SRAM，包括64K字节的CCM（内核耦合存储器）数据RAM以CPU时钟速度访问（读/写）RAM，0等待状态。
- 4K字节的备份SRAM

仅能从CPU访问此区域。它的内容受到保护，免受意外的写访问，并保持在待机或V_{BAT}模式。

2.2.7 Multi-AHB总线矩阵

32位的 multi-AHB 总线矩阵将所有主设备（CPU、DMA、以太网、USB HS）和从设备（Flash、RAM、FSMC、AHB、APB外设）互连，确保了即使多个高速外设同时工作时，工作也能无缝、高效。

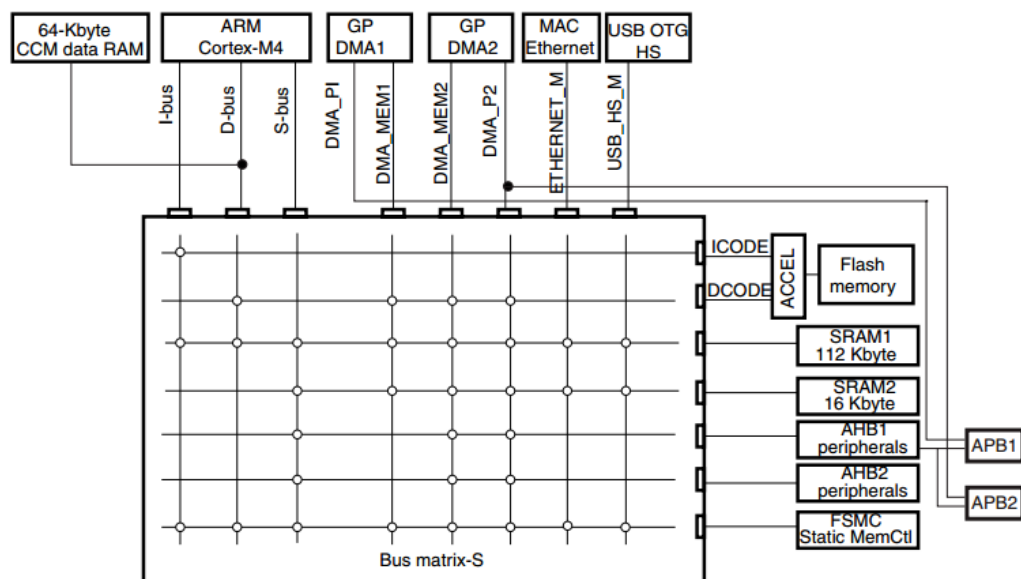


图 2-6 AST32F407Axxx Multi-AHB 矩阵

2.2.8 DMA控制器(DMA)

该器件具有两个通用双端口DMA (DMA1和DMA2)，每个都有8个数据流。它们能够管理存储器到存储器、外设到存储器、存储器到外设的传输。它们具有用于APB/AHB外设的专用FIFO，支持突发传输，其设计可提供最大外设带宽 (AHB/APB)。

这两个DMA控制器支持循环缓冲区管理，当控制器到达缓冲区末尾时，无需专门代码。这两个DMA控制器还有双缓冲特性，可自动使用和切换两个存储器缓冲，而不需要特殊代码。

每个数据流都与专用的硬件DMA请求相连，同时支持软件触发。通过软件进行相关配置，并且数据源和数据目标之间传输的数据量不受限制。

DMA可与下列主要外设共同使用：

- SPI和I²S
- I²C
- USART
- 通用、基本和高级控制定时器 TIMx
- DAC
- SDIO
- 摄像头接口(DCMI)
- ADC

2.2.9 可变存储控制器 (FSMC)

所有器件都内置有FSMC。它有四个片选输出，支持下列模式：PC Card /Compact Flash、SRAM、PSRAM、NOR Flash、NAND Flash。

功能概述：

- 写 FIFO
- 同步访问的最大 FSMC_CLK 频率为 60 MHz。

LCD并行接口

FSMC 可以和大多数图形 LCD 控制器无缝连接。它支持 Intel8080 和 Motorola 6800 模式，并且可以灵活适应特定的 LCD 接口。凭借这种 LCD 并行接口功能，可使用带嵌入式控制器的 LCD

模块轻松构建经济高效的图形应用，也可使用带专用加速功能的外部控制器轻松构建高性能解决方案。

2.2.10 嵌套向量中断控制器(NVIC)

该器件内置有嵌套的向量中断控制器，可管理16个优先级，处理最多82个掩码中断通道及带FPU的Cortex-M4内核的16个中断线。

- 紧密耦合的NVIC提供了低延迟的中断处理
- 中断入口向量表地址直接传递给核心
- 允许对中断进行早期处理
- 处理后到但优先级更高的中断
- 支持终端咬尾功能
- 自动保存处理器状态
- 退出中断时自动恢复现场，无需指令开销
- 此硬件模块以最短的中断延迟提供了灵活的中断管理功能。

2.2.11 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含23根用于产生中断/事件请求的边沿检测中断线。每根中断线都可以独立配置以选择触发事件（上升沿触发、下降沿触发或边沿触发），并且可以单独屏蔽。挂起寄存器用于保持中断请求的状态。EXTI可检测到脉冲宽度小于内部APB2时钟周期的外部中断线。外部中断线最多有16根，可从最多140个GPIO中选择连接。

2.2.12 时钟和启动

复位时，16MHz内部RC振荡器被选作默认的CPU时钟。

该16MHz内部RC振荡器在工厂调校，可在全温度范围提供1%的精度。应用可选择RC振荡器或外部4-26MHz时钟源作为系统时钟。此时钟的故障可被监测。若检测到故障，则系统自动切换回内部RC振荡器并生成软件中断（若启用）。此时钟源输入至PLL，因此频率可增至168MHz。类似地，必要时（例如，当间接使用的外部振荡器发生故障时）可以对PLL时钟输入进行完全的中断管理。

可通过多个预分频器配置三个AHB总线、高速APB（APB2）、低速APB（APB1）域。三个AHB总线的最大频率为168MHz，高速APB域的最大频率为84MHz。低速APB域的最大允许频率为42MHz。

该器件内置有一个专用PLL (PLLI²S)，可达到音频级性能。在此情况下，I2S主时钟可生成 8 kHz至 192 kHz的所有标准采样频率。

2.2.13 自举模式

启动时，通过自举引脚来选择以下三种自举模式之一：

- 从用户Flash自举
- 从系统内存自举
- 从嵌入式SRAM自举

自举程序位于系统存储器中。它用于通过串行接口USART1 (PA9/PA10)，USART3 (PC10/PC11或PB10/PB11)，CAN2 (PB5/PB13)，USB (PA11/PA12) OTG FS 通过 DFU 对Flash重新编程。

2.2.14 供电方案

- $V_{DD}=1.8$ 到 3.6V：I/O和内部调压器（若启用）的外部电源，通过 V_{DD} 引脚外部提供
- V_{SSA} 、 $V_{DDA}=1.8$ 至 3.6V：ADC、DAC、复位模块、RCs、PLL的外部模拟电源。 V_{DDA} 和 V_{SSA} 必须分别连至 V_{DD} 和 V_{SS} 。
- $V_{BAT}=1.65$ 到 3.6V：当 V_{DD} 不存在时，32kHz 外部时钟振荡器和备份寄存器的电源（通过电源开关供电）。

注：当使用了外部电源管理器且设备工作在较低的温度范围内时， V_{DD} 和 V_{DDA} 最小值为1.7V（参考内部复位OFF章节）

2.2.15 电源监控器

内部复位ON

在内置了PDR_ON引脚的封装上，通过保持PDR_ON为高电平来启用电源监控器。在其它封装上，电源监控器一直启用。

该器件具有一个集成的上电复位（POR）/掉电复位（PDR）电路，与欠压复位（BOR）电路耦合。当上电时，POR/PDR一直激活，确保从1.8V开始正常工作。当达到1.8V POR的门限电平后，选项字节加载过程开始，确认或修改默认的BOR门限，或永久禁止BOR。通过设置选项字节，可有三个BOR门限。 V_{DD} 低于指定阈值 $V_{POR/PDR}$ 或 V_{BOR} 时，器件无需外部复位电路便会保持复位模式。

该器件还有一个嵌入式可编程电压检测器（PVD），用于监视 V_{DD}/V_{DDA} 电源并将其与 V_{PVD} 阈值进行比较。当 V_{DD}/V_{DDA} 低于 V_{PVD} 阈值和/或 V_{DD}/V_{DDA} 高于 V_{PVD} 阈值时，将产生中断。随后，中断服务程序会生成一

条警告消息并且/或者使 MCU 进入安全状态。PVD由软件使能。

内部复位OFF

此特性仅在具有PDR_ON引脚的封装上可用。通过PDR_ON引脚可禁用内部上电复位（POR）/掉电复位（PDR）电路。

在 V_{DD} 低于指定门限时，外部电源监控器应监控 V_{DD} 并将器件保持在复位模式。PDR_ON应连至此外部电源监控器。请参见图2-7：电源键空气与内部复位OFF的互连。

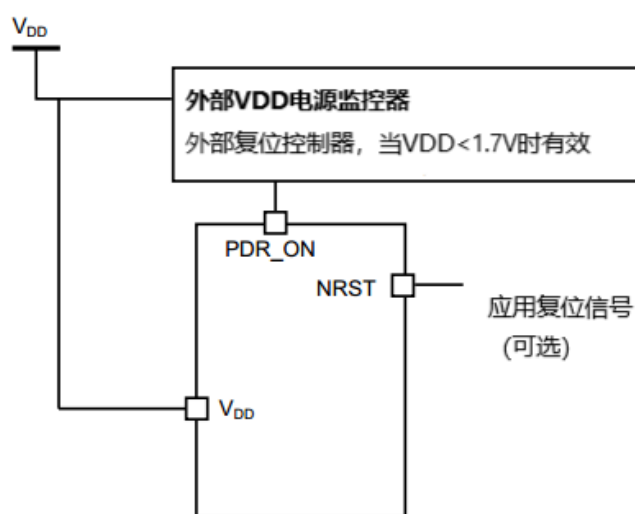


图 2-7 电源键空气与内部复位OFF的互连

1、PDR=1.7V适用于低温范围；PDR=1.8V适用于所有温度范围

V_{DD} 指定的阈值在需要维护的设备低于复位值时为1.8V。（见图2-7）当设备在 0 - 70°C 的温度范围内工作，该电源电压可以降至1.7V。

一套全面的应用于允许设计低功耗节能模式的程序。

当内部复位为OFF时，将不再支持下列集成特性：

- 集成的上电复位（POR）/掉电复位（PDR）电路禁用
- 欠压复位（BOR）电路必须禁用
- 嵌入式的可编程电压检测器（PVD）禁用
- V_{BAT} 功能不再可用， V_{BAT} 引脚应连至 V_{DD}

除了LQFP100和LQFP64，所有封装都可通过PDR_ON信号禁用内部复位。

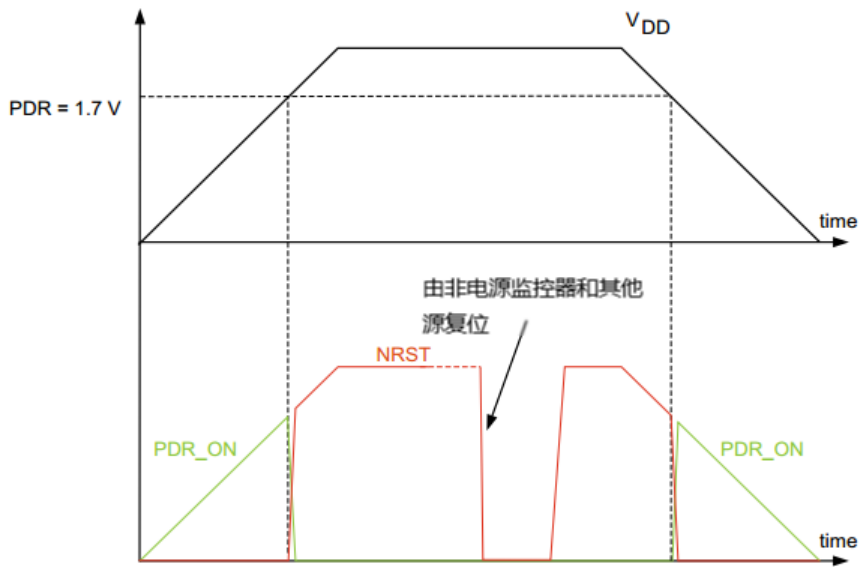


图 2-8 PDR_ON控制和内部复位OFF

1、PDR=1.7V适用于低温范围；PDR=1.8V适用于所有温度范围。

2.2.16 调压器

调压器具有四种工作模式：

- 调压器ON
 - 主调压器模式（MR）
 - 低功耗调压器（LPR）
 - 掉电
- 调压器OFF

调压器ON

在内置了BYPASS_REG引脚的封装上，通过保持BYPASS_REG为低电平来启用调压器。在所有其它封装上，调压器一直启用。

当调压器为ON时，可由软件配置三种功耗模式：

- MR模式用于正常模式：在主调节模式（MR模式）中提供有不同的电压分级，以达到最大频率和动态功耗之间的最佳折中。
- LPR用于停止模式：当进入停止模式时，由软件配置LP调压器模式。
- 待机模式下掉电：仅当进入待机模式时，才能激活掉电模式。调压器输出高阻，内核电路掉电，达到零功耗。寄存器和SRAM的内容丢失。

应在 V_{CAP_1} 和 V_{CAP_2} 引脚上连接两个外部陶瓷电容。请参见图4-3:电源方案和表4-6: V_{CAP1} / V_{CAP2} 工作条件。

所有封装都有调压器 ON 特性。

调压器OFF

此特性仅在具有BYPASS_REG引脚的封装上可用。保持BYPASS_REG为高电平可禁用调压器。调压器OFF模式允许 V_{CAP_1} 和 V_{CAP_2} 引脚的外部 V_{12} 电压源。

因为内部电压分级并不在内部管理，所以外部电压值必须与目标的最大频率匹配。请参考表4-4:通用工作条件。

两个 2.2 μ F 陶瓷电容应替换为 2个 100nF去耦电容。请参见图 4-3 电源方案。

当调压器OFF时， V_{12} 上不再有内部监控。应使用外部电源监控器来监控逻辑电源域的 V_{12} 。PA0引脚应用于此目的，作为 V_{12} 电源域上的上电复位。

在调压器OFF模式，不再支持下列特性：

PA0不能用作GPIO引脚，因为它可复位一部分 V_{12} 逻辑电源域，而该域不能由NRST引脚复位。

当PA0为低电平时，不能在上电复位下使用调试模式。因此，若需要复位或预复位下的调试连接，则必须单独管理 PA0 和 NRST 引脚。

待机模式不可用。

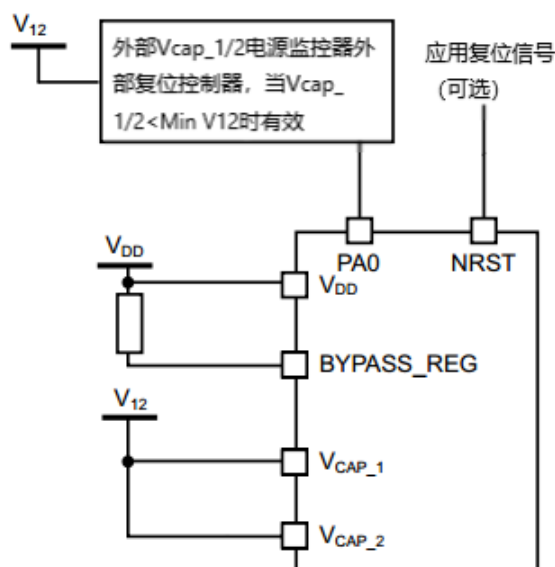


图 2-9 调压器OFF

必须考虑以下条件：

- V_{DD} 应一直高于 V_{CAP_1} 和 V_{CAP_2} ，以防止电源域之间的电流注入。
 - 若 V_{CAP_1} 和 V_{CAP_2} 达到 V_{12} 最小值的时间比 V_{DD} 达到1.8V的时间更快，则PA0应保持为低电平直到满足两个条件：直到 V_{CAP_1} 和 V_{CAP_2} 达到 V_{12} 最小值以及直到 V_{DD} 达到1.8V（请参见图2-11）。
 - 否则，若 V_{CAP_1} 和 V_{CAP_2} 达到 V_{12} 最小值的时间比 V_{DD} 达到1.8V的时间慢，则PA0应外部处于低电平（请参见图2-10）。
 - 若 V_{CAP_1} 和 V_{CAP_2} 低于 V_{12} 最小值，且 V_{DD} 高于1.8V，则PA0引脚上必须复位。
- 注： V_{12} 的最小值取决于应用中的目标最大频率（请参见表4-4:通用工作条件）。

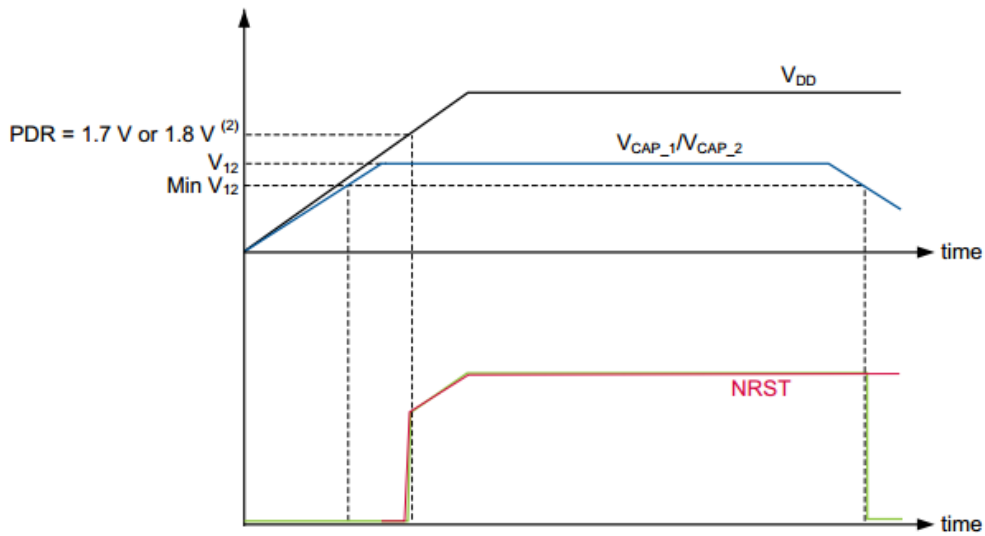


图 2-10 在调压器OFF时启动： V_{DD} 斜率慢-当 V_{CAP_1}/V_{CAP_2} 稳定后，发生掉电复位

1. 不管内部复位模式如何（ON或OFF），此图都成立。
2. PDR=1.7V适用于低温范围；PDR=1.8V适用于所有温度范围。

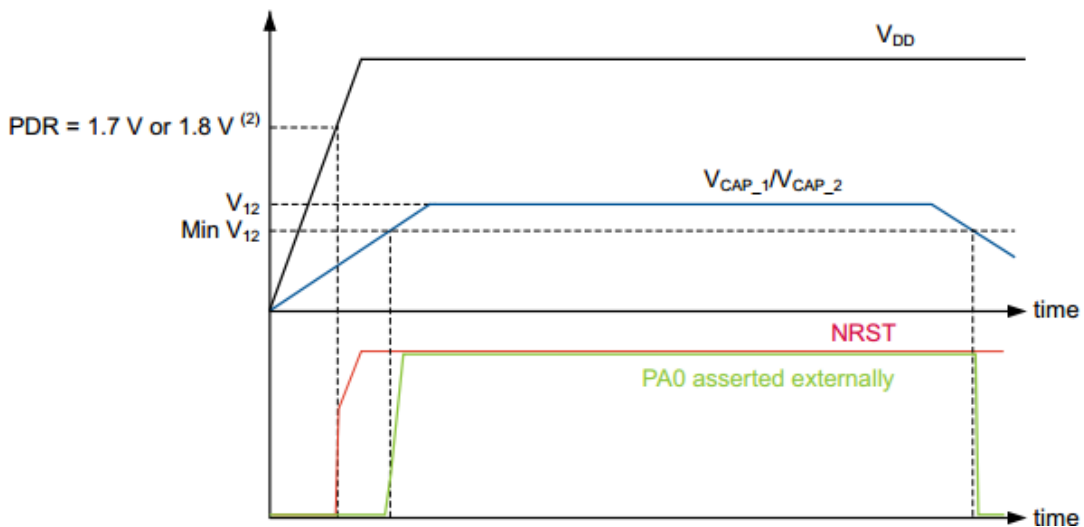


图 2-11 在调压器OFF模式时启动： V_{DD} 斜率快在 V_{CAP_1}/V_{CAP_2} 稳定前，发生掉电复位

1. 不管内部复位模式如何（ON或OFF），此图都成立
2. PDR=1.7V适用于低温范围；PDR=1.8V适用于所有温度范围。

2.2.17 调压器 ON/OFF 及内部复位 ON/OFF 的可用性

表 2-2 调压器ON/OFF及内部复位ON/OFF的可用性

封装	调压器 ON	调压器 OFF	内部复位 ON	内部复位 OFF
LQFP64 LQFP100	有	无	有	无
LQFP144			有	有
BGA176 LQFP176	有 BYPASS_REG 设为 VSS	有 BYPASS_REG 设为 VDD	PDR_ON 设为 VDD	PDR_ON 连至外部 电源监控器

2.2.18 实时时钟（RTC）、备份SRAM、备份寄存器

备份域包括：

- 实时时钟(RTC)
- 4K字节的备份SRAM
- 20个备份寄存器

实时时钟(RTC)是一个独立的BCD定时器/计数器。专用寄存器含有秒、分钟、小时（12/24小时格式）、星期、日、月、年，格式为BCD（二进制十进数）。系统可以自动将月份的天数调整为28、29（闰年）、30和31天。RTC提供了可编程的闹钟和可编程的周期性中断，可从停止和待机模式唤醒。此外，还可提供二进制格式的亚秒值。

实时时钟由 32.768kHz 的外部晶振、谐振器或振荡器、内部低功耗RC振荡器或者经128分频的高速外部时钟驱动。内部低速RC的典型频率为 32kHz。为补偿天然石英的偏差，可通过512Hz 的外部输出对 RTC 进行校准。

两个闹钟寄存器用于在特定的时间生成闹钟，可单独屏蔽日历字段以比较闹钟。为生成周期性中断，使用了分辨率可编程的16位可编程二进制自动重载递减计数器，可从每隔120μs至每隔36小时自动唤醒和周期性闹钟。

20位的预分频器用于时间基准时钟。默认情况下，它被配置为从32.768kHz时钟生成1秒的时间基准。

4K字节的备份 SRAM 为类似 EEPROM 的存储区。它可用于储存 V_{BAT} 和待机模式需要保留的数据。此存储区默认禁用以降低功耗（请参见第2.2.19章节：低功耗模式）。它可由软件启用。

备份寄存器为32位寄存器，用于在 V_{DD} 电源不存在时存储80字节的用户应用数据。备份寄存器不会在系统复位或电源复位时复位，也不会当器件从待机模式唤醒时复位（请参见第2.2.19章节：低功耗模式）。

其它32位寄存器还包含可编程的闹钟亚秒、秒、分钟、小时、星期几和日期。

与备份SRAM类似，RTC和备份寄存器通过开关供电，当 V_{DD} 供电，否则选择由 V_{BAT} 引脚供电。

2.2.19 低功耗模式

器件支持三种低功耗模式，可在低功耗、短启动时间和可用唤醒源之间取得最佳平衡：

- **睡眠模式**

在睡眠模式下，只有CPU停止工作。所有外设继续运行并可在发生中断/事件时唤醒CPU。

- **停止模式**

停机模式下可以实现最低功耗，同时保持 SRAM 和寄存器的内容。此时，1.2V域中的所有时钟都会停止，PLL、HIS RC 和 HSE 晶振也被禁止。可以将调压器置于主调压器模式（MR）或低功耗模式（LPR）。

可由任何EXTI线将器件从停止模式唤醒（EXTI 线的源可为16根外部线之一、PVD 输出、RTC 闹钟/唤醒/入侵检测/时间戳事件、USB OTG FS/HS 唤醒或以太网唤醒）。

- **待机模式**

待机模式下可达到最低功耗。此时，内部调压器关闭，因此整个 1.2V 域将断电。PLL、HIS RC 和HSE晶振也会关闭。进入待机模式后，除选择的备份域和备份SRAM中的寄存器外，SRAM 和寄存器的内容都将消失。

发生外部复位（NRST引脚）、IWDG复位、WKUP引脚上出现上升沿或者触发 RTC 闹钟/唤醒/入侵检测/时间戳事件时，器件退出待机模式。

当旁路嵌入式调压器且由外部电源控制1.2V域时，不支持待机模式。

2.2.20 V_{BAT} 操作

V_{BAT} 引脚允许从外部电池、外部超级电容器为器件的 V_{BAT} 域供电，或当没有外部电池及外部超级电容器时从 V_{DD} 供电。

当没有 V_{DD} 存在时，激活 V_{BAT} 工作。

V_{BAT} 引脚为RTC、备份寄存器、备份SRAM供电。

注：当从 V_{BAT} 为微控制器供电时，外部中断和RTC闹钟/事件并不会将它从 V_{BAT} 的工作退出。当PDR_ON引脚不连至 V_{DD} 时（内部复位OFF）， V_{BAT} 功能不再可用， V_{BAT} 引脚应连至 V_{DD} 。

2.2.21 定时器和看门狗

器件包括两个高级控制定时器、八个通用定时器、两个基本定时器、两个看门狗定时器。在调试模式下，可以冻结所有定时器计数器。

表 2-3 比较了高级控制定时器、通用定时器和基本定时器的特性。

表 2-3 定时器的特性比较

定时器类型	Timer	计数器分辨率	计数器类型	预分频系数	DMA请求生成	捕获/比较通道	互补输出	最大接口时钟 (MHz)	最大定时器时钟 (MHz)
高级控制	TIM1和TIM8	16位	递增、递减、递增/递减	1和65536之间的任意整数	有	4	有	84	168
通用	TIM2, TIM5	32位	递增、递减、递增/递减	1和65536之间的任意整数	有	4	无	42	84
	TIM3, TIM4	16位	递增、递减、递增/递减	1和65536之间的任意整数	有	4	无	42	84
	TIM9	16位	递增	1和65536之间的任意整数	无	2	无	84	168
	TIM10, TIM11	16位	递增	1和65536之间的任意整数	无	1	无	84	168
	TIM12	16位	递增	1和65536之间的任意整数	无	2	无	42	84
	TIM13, TIM14	16位	递增	1和65536之间的任意整数	无	1	无	42	84
基本	TIM6和TIM7	16位	递增	1和65536之间的任意整数	有	0	无	42	84

高级控制定时器（TIM1，TIM8）

高级控制定时器（TIM1、TIM8）可被看作是在6个通道上复用的三相PWM发生器。它们具有带可编程插入死区的互补PWM输出。它们也可看作一个完整的通用定时器。

- 4个独立通道可以用于：
- 输入捕获
- 输出比较
- PWM生成（边沿或中心对齐模式）

- 单脉冲模式输出

如果配置为标准16位定时器，则功能与通用 TIMx 定时器相同。如果配置为16位 PWM 发生器，则具有完整的调制能力(0-100%)。

高级控制定时器可通过定时器链接功能与 TIMx 定时器协同工作，提供同步或事件链接功能。TIM1 和 TIM8 支持生成独立的 DMA 请求。

通用定时器(TIMx)

AST32F407Axxx器件中内置有十个同步通用定时器（请参见表2-3以了解其差别）。

- TIM2、TIM3、TIM4和TIM5

AST32F407Axxx包括4个全功能的通用定时器：TIM2、TIM5、TIM3、TIM4。TIM2和TIM5定时器基于一个32位自动重载递增/递减计数器和一个 16 位预分频器。TIM3 和 TIM4 定时器基于一个16位自动重载递增/递减计数器和一个16位预分频器。它们都具有4个独立通道，用于输入捕获/输出比较、PWM、单脉冲模式输出。在最大的封装中，可提供多达16个输入捕获/输出比较/PWM。

TIM2、TIM3、TIM4、TIM5通用定时器可共同工作，或通过定时器链特性与其它通用定时器和高级控制定时器TIM1和TIM8共同工作以实现同步或事件链接。

任何通用定时器都可用于产生PWM输出。

TIM2、TIM3、TIM4、TIM5都可生成独立的DMA请求。它们能够处理正交（增量）编码器信号，也能处理1到4个霍尔效应传感器的数字输出。

- TIM9、TIM10、TIM11、TIM12、TIM13、TIM14

这些定时器基于一个16位自动重载递增计数器和一个16位预分频器。TIM10、TIM11、TIM13、TIM14具有一个独立的通道，而TIM9和TIM12具有两个独立的通道，用于输入捕获/输出比较、PWM、单脉冲模式输出。它们可与TIM2、TIM3、TIM4、TIM5全功能通用定时器同步。它们也可用作简单时基。

基本定时器TIM6和TIM7

这些定时器主要用于生成 DAC 触发信号和波形。也可用作通用16位时基。

TIM6和TIM7支持生成独立的 DMA 请求。

独立看门狗

独立看门狗基于12位递减计数器和8位预分频器。它由独立的32kHz内部RC提供时钟；由于内部RC独立于主时钟，因此它可在停机和待机模式下工作。它既可用作看门狗，以在发生问题时复位器件，也可用作自由运行的定时器，以便为应用程序提供超时管理。通过选项字节，可对其进行硬件或软件配置。

窗口看门狗

窗口看门狗基于可设置为自由运行的7位递减计数器。它可以作为看门狗以在发生问题时复位器件。它由主时钟驱动。具有早期警告中断功能，并且计数器可在调试模式下被冻结。

SysTick定时器

此定时器专用于实时操作系统，但也可用作标准递减计数器。它具有以下特性：

- 24位递减计数器
- 自动重载功能
- 当计数器计为0时，产生可屏蔽系统中断
- 可编程时钟源

2.2.22 内部集成电路接口 (I2C)

多达3个I²C总线接口可以在多主模式或从模式下工作。它们可支持标准（最高100 KHz）和快速（最高 400KHz）模式。该接口支持7/10位寻址模式和7位双寻址模式（从模式下）。其中内置了硬件 CRC 生成/校验功能。

该接口可以使用 DMA 并且支持 SMBus2.0/PMBus。

2.2.23 通用同步/异步收发器 (USART)

该器件内置有四个通用同步/异步收发器（USART1、USART2、USART3、USART6）和四个通用异步收发器（UART4、UART5、UART7、UART8）。

这6个接口可提供异步通信、IrDA SIR ENDEC支持、多处理器通信模式和单线半双工通信模式，并具有LIN主/从功能。USART1 和 USART6接口的通信速率最高为10.5 Mb/s。其它可用接口的通信速率最高为5.25 Mb/s。

USART1、USART2、USART3和USART6还提供了CTS和RTS信号的硬件管理、智能卡模式（符合ISO7816）和与SPI类似的通信功能。所有接口均可使用DMA控制器。

表 2-4 USART的特性比较

USART名称	标准特性	调制解调器 (RTS/CTS)	LIN	SPI主设备	irDA	智能卡 (ISO7816)	最大值波特率, 单位Mbit/s (16倍过采样)	最大值波特率, 单位Mbit/s (8倍过采样)	APB映射
USART1	X	X	X	X	X	X	5.25	10.5	APB2 (最大84MHz)
USART2	X	X	X	X	X	X	2.62	5.25	APB1 (最大42MHz)
USART3	X	X	X	X	X	X	2.62	5.25	APB1 (最大42MHz)
UART4	X	-	X	-	X	-	2.62	5.25	APB1 (最大42MHz)
UART5	X	-	X	-	X	-	2.62	5.25	APB1 (最大42MHz)
UART6	X	X	X	X	X	X	5.25	10.5	APB1 (最大84MHz)

2.2.24 串行外设接口 (SPI)

在全双工和单工通信模式下，AST32F407Axxx在从模式和主模式下具有多达3个SPI。SPI1通信速率可高达42Mbits/s，SPI2和SPI3通信速率可高达21Mbit/s。3位预分频器可产生8种主模式频率，帧可配置为8位或16位。硬件CRC生成/校验支持

基本的SD卡/MMC模式。所有SPI均可使用DMA控制器。SPI接口可配置为TI模式工作，用于主模式和从模式的通信。

2.2.25 内部集成音频 (I2S)

可使用两个标准I²S接口（与SPI2和SPI3复用）。它们可工作于主或从模式，全双工和单工通信模式，可配置为16/32位分辨率的输入或输出通道工作。支持的音频采样频率为8kHz到192kHz。当其中一个或两个I2S接口配置为主模式时，主时钟将以256倍采样频率输出到外部DAC/CODEC。

所有I²S_x均可使用DMA控制器。

2.2.26 音频PLL (PLLI2S)

器件具有额外的专用PLL，用于音频I²S和SAI应用。它可达到无误差的I²S采样时钟精度，在使用USB外设的同时不降低CPU性能。

可修改PLLI²S配置来管理I²S采样率变化，而禁用CPU、USB、以太网接口所使用的主PLL。

可将音频PLL编程为极低误差，得到 8KHz 至 192KHz 范围的采样率。

除了音频PLL，可使用主时钟输入引脚将I2S流与外部PLL（或编解码器输出）同步。

2.2.27 安全数字输入/输出接口 (SDIO)

提供了SD/SDIO/MMC主机接口，它支持多媒体卡系统规范版本4.2中三种不同的数据总线模式：1位（默认）、4位和8位。

该接口的数据传输速率可达48MHz，符合SD存储卡规范版本2.0。

该接口还支持SDIO卡规范版本2.0中两种不同的数据总线模式：1位（默认）和4位。当前版本每次只支持一个SD/SDIO/MMC4.2卡，但支持多个MMC4.1或之前版本的卡。除SD/SDIO/MMC外，该接口还完全符合CE-ATA数字协议版本1.1。

2.2.28 支持专用DMA和IEEE1588的以太网MAC接口

该器件提供了与IEEE-802.3-2002兼容的介质访问控制器（MAC），通过工业标准的介质独立接口（MII）或精简介质独立接口（RMII）进行以太网LAN通信。微控制器需要外部物理接口器件（PHY）以连接到物理LAN总线（双绞线、光纤等等）。PHY连至器件的MII端口，对于MII使用17个信号，对于RMII使用9个信号，并可使用微控制器的25MHz（MII）时钟。

该器件包括下列特性：

- 支持10和100Mbit/s速率
- 具有专用的DMA控制器，可在专用SRAM和描述符之间高速传输（请参见AST32F4xx参考手册以获取详细信息）

- 半双工（CSMA/CD）和全双工工作
- 支持MAC控制子层（控制帧）
- 32位CRC的生成和去除
- 物理和多播地址的多种地址过滤模式（多播和群组地址）
- 每个发送和接收帧的32位状态码
- 内部FIFO可缓存发送和接收帧，发送FIFO和接收FIFO都为2K字节。
- 支持符合IEEE15882008（PTPV2）的硬件PTP（精密时间协议），时间戳比较器连至TIM2

输入

- 系统时间大于目标时间时触发中断

2.2.29 控制器区域网络 (bxCAN)

两个CAN与2.0A和B（主动）规范兼容，比特率最高达1Mbit/s。它们可接收和发送包含11位标识符的标准帧和包含29位标识符的扩展帧。每个CAN有三个发送邮箱，两个接收FIFO，带有3级和28个共享的可调整筛选器组（即使只使用一个CAN，也可使用所有这些）。每个CAN都分配有256字节的SRAM。

2.2.30 通用串行总线 on-the-go 全速 (OTG_FS)

该器件内置有一个集成了收发器的USB OTG全速器件/主机/OTG外设。USB OTG FS外设与USB2.0规范和OTG 1.0规范兼容。它具有可由软件配置的端点设置，并支持挂起/恢复功能。USB OTG 全速控制器需要专用的48MHz时钟，由连至HSE振荡器的PLL产生。

主要特性为：

- 具有动态FIFO大小的320×35比特组合Rx和Tx FIFO大小
- 支持会话请求协议（SRP）和主机协商协议（HNP）
- 4个双向端点
- 8个主机通道，支持周期性OUT
- 内有HNP/SNP/IP（不需要任何外部电阻器）
- 对于OTG/主机模式，当连接总线供电器件时需要电源开关

2.2.31 通用串行总线 on-the-go 高速 (OTG_HS)

该器件内置有一个USB OTG高速（高达480Mb/s）的器件/主机/OTG外设。USB OTG HS支持全速和高速工作。它集成的收发器用于全速工作（12MB/s），具有的UTMI引脚数目少的接口（ULPI）用于高速工作（480MB/s）。当使用HS模式的USB OTG HS时，需要有外部PHY器件连至ULPI。

USB OTG HS 外设与 USB 2.0 规范和 OTG 1.0规范兼容。它具有可由软件配置的端点设置，并支持挂起/恢复功能。USB OTG全速控制器需要专用的48MHz时钟，由连至HSE振荡器的PLL产生。

主要特性为：

- 具有动态 FIFO 大小的1Kbit × 35组合 Rx 和 Tx FIFO大小
- 支持会话请求协议（SRP）和主机协商协议（HNP）
- 6个双向端点
- 12个主机通道，支持周期性OUT

- 支持内部FS OTG PHY
- 外部 HS 或HS OTG工作支持SDR模式的ULPI。OTG PHY通过12个信号连至微控制器ULPI端口。它可使用60MHz输出的时钟。

- 内部USB DMA
- 内有HNP/SNP/IP（不需要任何外部电阻器）
- 对于OTG/主机模式，当连接总线供电器件时需要电源开关

2.2.32 数字摄像头接口 (DCMI)

该器件内置有摄像头接口，可通过8位至14位并行接口与摄像头模块和CMOS传感器连接以接收视频数据。该摄像头接口可支持的数据传输速率可在54MHz时高达54Mbyte/s。它具有以下特性：

- 输入像素时钟和同步信号的可编程极性
- 并行数据通信可为8、10、12、14位
- 支持8位逐行视频单色或原始拜尔格式、YCbCr 4:2:2 逐行视频、RGB 565逐行视频或压缩数据（如JPEG）
- 支持连续模式或快照（单帧）模式
- 自动裁剪图像的能力

2.2.33 随机数发生器 (RNG)

所有器件都内置有RNG，可由集成的模拟电路生成32位随机数。

2.2.34 通用输入/输出 (GPIO)

每个GPIO引脚都可以由软件配置为输出（推挽或开漏、带或不带上拉/下拉）、输入（浮空、带或不带上拉/下拉）或外设复用功能。大多数GPIO引脚都具有数字或模拟复用功能。所有GPIO都有大电流的功能，具有速度选择以更好地管理内部噪声、功耗、电磁辐射。

如果需要，可在特定序列后锁定I/O配置，以避免对I/O寄存器执行意外写操作。

快速I/O处理，最大I/O切换可高达84MHz。

2.2.35 模数转换器 (ADC)

内置有3个12位模数转换器(ADC)，每个ADC可共享多达16个外部通道，在单发或扫描模式下执

行转换。在扫描模式下，将对一组选定的模拟输入执行自动转换。

ADC接口内置的其它逻辑功能允许：

- 同步采样和保持
- 交叉采样和保持

ADC 可以使用 DMA 控制器。利用模拟看门狗功能，可以非常精确地监视一路、多路或所有选定通道的转换电压。当转换电压超出编程的阈值时，将产生中断。

为同步A/D转换和定时器，可由TIM1、TIM2、TIM3、TIM4、TIM5、TIM8定时器的任何一个触发ADC。

2.2.36 温度传感器

温度传感器必须产生随温度线性变化的电压。转换范围为1.8V至3.6V。温度传感器内部连接到ADC1_IN16的输入通道，该通道用于将传感器输出电压转换为数字值。

由于工艺不同，温度传感器的偏移因芯片而异，因此内部温度传感器主要适合检测温度变化的应用，而不是检测绝对温度的应用。如果需要读取精确温度，则应使用外部温度传感器部分。

2.2.37 数模转换器(DAC)

两个12位缓冲DAC通道可用于将两路数字信号转换为两路模拟电压信号输出。

该双数字接口支持以下功能：

- 两个DAC转换器：各对应一个输出通道
- 8位或12位单调输出
- 12位模式下数据采用左对齐或右对齐
- 同步更新功能
- 生成噪声波
- 生成三角波
- DAC双通道单独或同时转换
- 每个通道都具有DMA功能
- 通过外部触发信号进行转换
- 输入参考电压 V_{REF+}

该器件中使用8个DAC触发输入。DAC通道通过定时器更新输出来触发，这些输出也连接到不同的DMA数据流。

2.2.38 串行线JTAG调试端口 (SWJ-DP)

内置的ARM SWJ-DP接口由 JTAG 和串行线调试端口结合而成，可以实现要连接到目标的串行线调试探头或 JTAG 探头。

仅使用2个引脚执行调试，而不是JTAG要求的5个（可重用JTAG引脚，作为具有复用功能的GPIO）：JTAG TMS和TCK引脚分别与SWDIO和SWCLK共享，TMS引脚上的指定序列用于在JTAG-DP和SW-DP间切换。

2.2.39 嵌入式跟踪宏单元

嵌入式跟踪宏单元能够通过少量ETM引脚、以极高的速率将压缩数据流从AST32F407Axxx传输到外部硬件跟踪端口分析器 (TPA) 设备中，从而提高了CPU内核中的指令和数据流的可见性。TPA通过USB、以太网或任何其它高速通道与主机计算机相连。可在运行调试软件的主机计算机上记录实时指令和数据流活动，并将其格式化以供显示。TPA硬件可从通用开发工具供应商处购得。

嵌入式跟踪宏单元与第三方调试软件工具配合使用。

3 内存映射

内存映射如图3-1所示

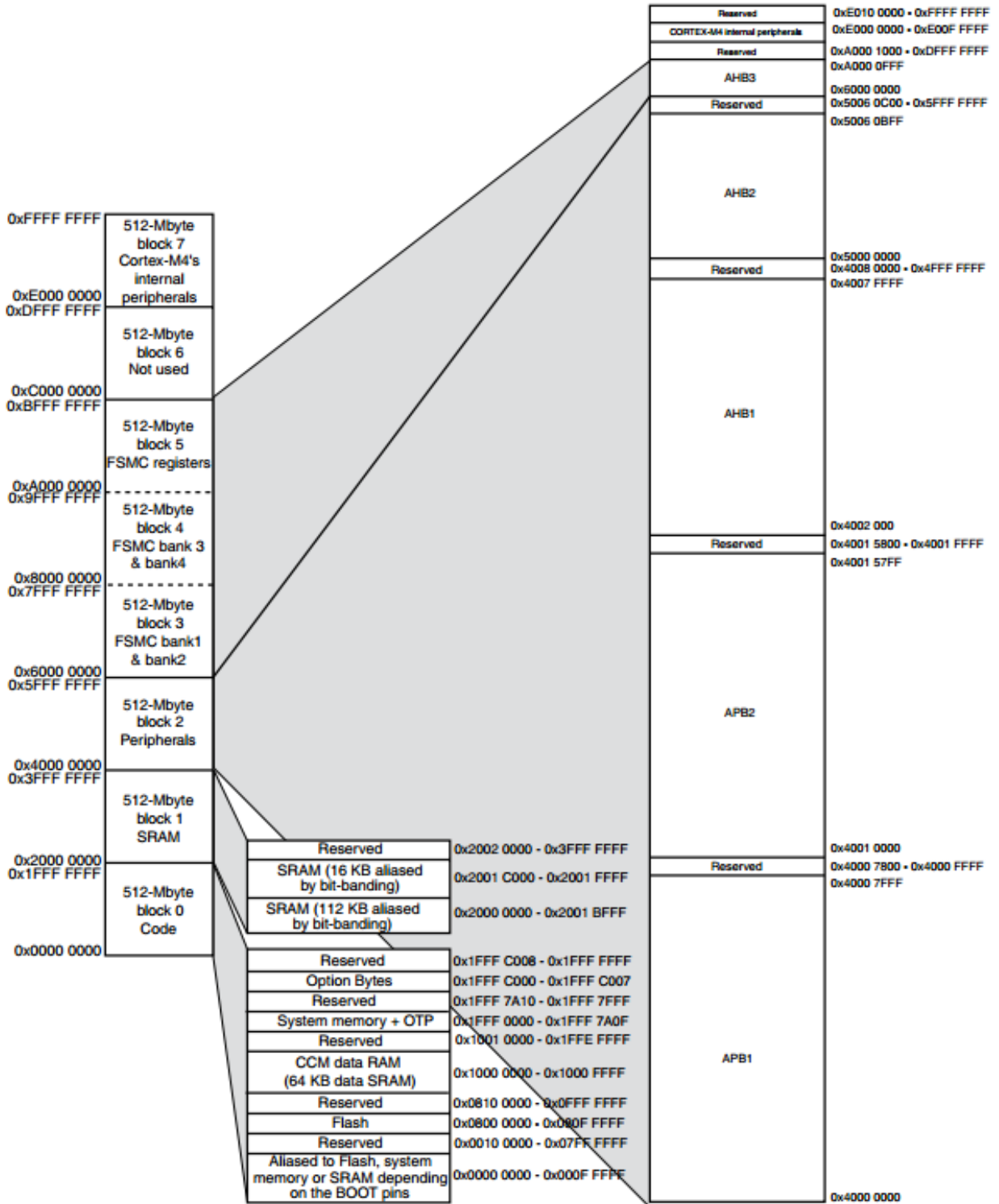


图 3-1 内存映射

表 3-1 寄存器边界地址

总线	边界地址	外设
	0xE00FFFFF-0xFFFFFFFF	保留
Cortex-M4	0xE0000000-0xE00FFFFF	Cortex-M4 内部外设
	0xA0001000-0xDFFFFFFF	保留
AHB3	0xA0000000-0xA0000FFF	FSMC控制寄存器
	0x90000000-0x9FFFFFFF	FSMC存储区域4
	0x80000000-0x8FFFFFFF	FSMC存储区域3
	0x70000000-0x7FFFFFFF	FSMC存储区域2
	0x60000000-0x6FFFFFFF	FSMC存储区域1
	0x50060C00-0x5FFFFFFF	保留
AHB2	0x50060800-0x50060BFF	RNG
	0x50050400-0x500607FF	保留
	0x50050000-0x500503FF	DCMI
	0x50040000-0x5004FFFF	保留
	0x50000000-0x5003FFFF	USB OTG FS
	0x40080000-0x4FFFFFFF	保留

表 3-2 寄存器边界地址

总线	边界地址	外设
AHB1	0x40040000-0x4007FFFF	USB OTG HS
	0x40029400-0x4002AFFF	保留
	0x40029000-0x400293FF	以太网MAC
	0x40028C00-0x40028FFF	
	0x40028800-0x40028BFF	
	0x40028400-0x400287FF	
	0x40028000-0x400283FF	
	0x40026800-0x40027FFF	
	0x40026400-0x400267FF	DMA2
	0x40026000-0x400263FF	DMA1
	0x40025000-0x40025FFF	保留
	0x40024000-0x40024FFF	BKP SRAM
	0x40023C00-0x40023FFF	Flash 接口寄存器
	0x40023800-0x40023BFF	RCC
	0x40023400-0x400237FF	保留
	0x40023000-0x400233FF	CRC
	0x40022400-0x40022FFF	保留
	0x40022000-0x400223FF	GPIOI
	0x40021C00-0x40021FFF	GPIOH

总线	边界地址	外设
	0x40021800-0x40021BFF	GPIOG
	0x40021400-0x400217FF	GPIOF
	0x40021000-0x400213FF	GPIOE
	0x40020C00-0x40020FFF	GPIOD
	0x40020800-0x40020BFF	GPIOC
	0x40020400-0x400207FF	GPIOB
	0x40020000-0x400203FF	GPIOA
	0x40015800-0x4001FFFF	保留

表 3-3 寄存器边界地址

总线	边界地址	外设
APB2	0x40014C00-0x40014FFF	保留
	0x40014800-0x40014BFF	TIM11
	0x40014400-0x400147FF	TIM10
	0x40014000-0x400143FF	TIM9
	0x40013C00-0x40013FFF	EXTI
	0x40013800-0x40013BFF	SYSCFG
	0x40013400-0x400137FF	保留
	0x40013000-0x400133FF	SPI1
	0x40012C00-0x40012FFF	SDIO
	0x40012400-0x40012BFF	保留
	0x40012000-0x400123FF	ADC1-ADC2-ADC3
	0x40011800-0x40011FFF	保留
	0x40011400-0x400117FF	USART6
	0x40011000-0x400113FF	USART1
	0x40010800-0x40010FFF	保留
	0x40010400-0x400107FF	TIM8
0x40010000-0x400103FF	TIM1	
	0x40007800-0x4000FFFF	保留

表 3-4 寄存器边界地址

总线	边界地址	外设
APB1	0x40007800-0x40007FFF	保留
	0x40007400-0x400077FF	DAC
	0x40007000-0x400073FF	PWR
	0x40006C00-0x40006FFF	保留
	0x40006800-0x40006BFF	CAN2
	0x40006400-0x400067FF	CAN1
	0x40006000-0x400063FF	保留
	0x40005C00-0x40005FFF	I2C3
	0x40005800-0x40005BFF	I2C2
	0x40005400-0x400057FF	I2C1
	0x40005000-0x400053FF	UART5
	0x40004C00-0x40004FFF	UART4
	0x40004800-0x40004BFF	USART3

总线	边界地址	外设
	0x40004400-0x400047FF	USART2
	0x40004000-0x400043FF	I2S3ext
	0x40003C00-0x40003FFF	SPI3/I2S3
	0x40003800-0x40003BFF	SPI2/I2S2
	0x40003400-0x400037FF	I2S2ext
	0x40003000-0x400033FF	IWDG
	0x40002C00-0x40002FFF	WWDG
	0x40002800-0x40002BFF	RTC & BKP 寄存器
	0x40002400-0x400027FF	保留
	0x40002000-0x400023FF	TIM14
	0x40001C00-0x40001FFF	TIM13
	0x40001800-0x40001BFF	TIM12
	0x40001400-0x400017FF	TIM7
	0x40001000-0x400013FF	TIM6
	0x40000C00-0x40000FFF	TIM5
	0x40000800-0x40000BFF	TIM4
	0x40000400-0x400007FF	TIM3
	0x40000000-0x400003FF	TIM2

4 电气特性

4.1 参数条件

参数条件：若无另行说明，所有电压都以 V_{SS} 为基准。

4.1.1 最小值和最大值

除非特别说明，所有器件的最小值和最大值已在生产期间进行过测试，测试环境温度为 $T_A=25^{\circ}\text{C}$ 和 $T_A = T_{Amax}$ （取决于所选器件的温度范围），这些值能在最坏的环境温度、供电电压和时钟频率条件下得到保证。

根据特性分析结果、设计仿真和/或技术特性得到的数据在表格的脚注中说明，并未在生产中进行测试。在特性分析基础上，最小值和最大值是通过样本测试后，取其平均值再加上或减去三倍的标准差（平均值 $\pm 3\sigma$ ）得到。

4.1.2 典型值

除非特别说明，典型数据都是在 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 条件下测得的（针对 $1.8\text{V}\leq V_{DD}\leq 3.6\text{V}$ 电压范围。这些数据未经测试，仅供设计参考。

典型的ADC精度值是通过对一个标准扩散批次采样，在整个温度范围内执行特性分析确定的，其中95%的器件的误差小于或等于指定的值（平均值 $\pm 2\sigma$ ）。

4.1.3 典型曲线

除非特别说明，否则所有典型曲线未经测试，仅供设计参考。

4.1.4 负载电容

图 4-1中显示了用于测量引脚参数的负载条件。

4.1.5 引脚输入电压

图 4-2 中显示了器件引脚上输入电压的测量方法。

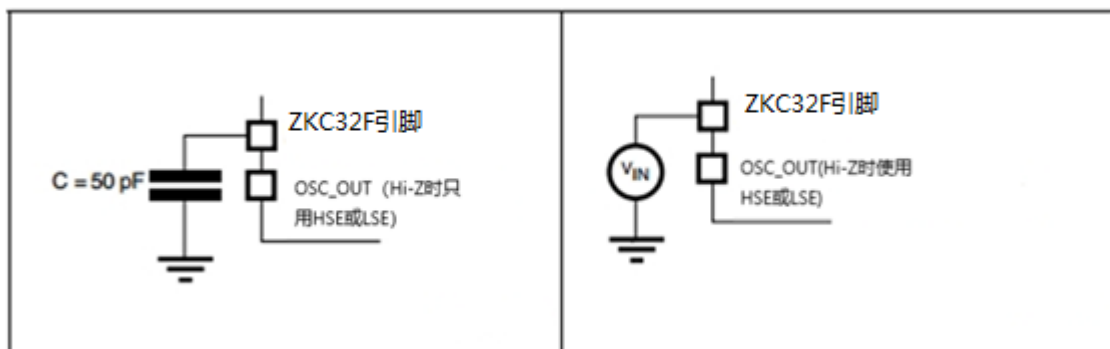


图 4-1 引脚负载条件

图 4-2 引脚输入电压

4.1.6 电源方案

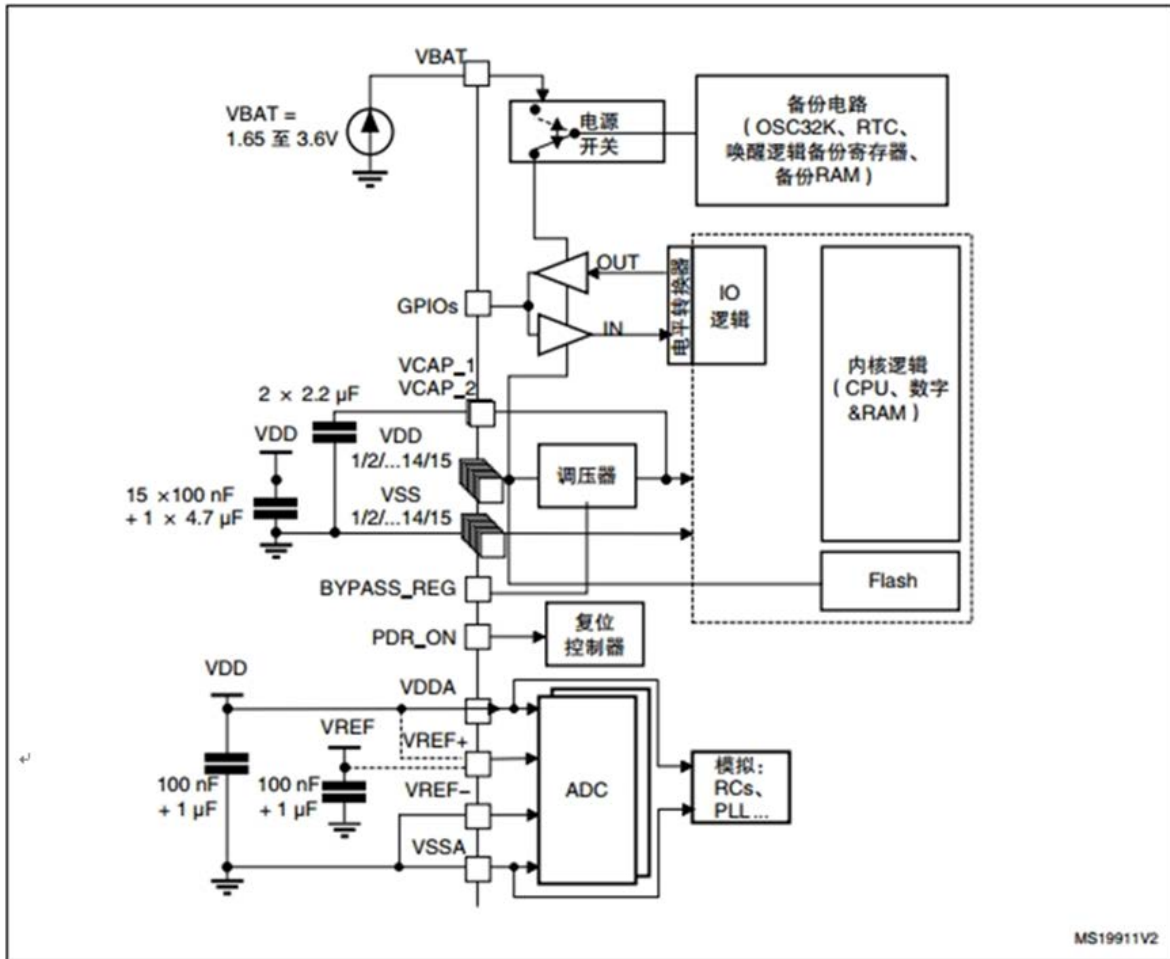


图 4-3 电源方案

1. BYPASS_REG 和 PDR_ON引脚，请参考第2.2.15章节：电源监控器和第2.2.16章节：调压器
2. 当调压器OFF时，应将两个2.2μF陶瓷电容替换为两个100nF去耦电容。
3. 4.7μF陶瓷电容必须连至V_{DD}引脚之一。
4. V_{DDA} = V_{DD} 和 V_{SSA} = V_{SS}

注意：每个电源对（V_{DD}/V_{SS}，V_{DDA}/V_{SSA}...）必须使用上述的滤波陶瓷电容去耦。这些电容必须尽量靠近或低于PCB下面的适当引脚，以确保器件正常工作。不建议去掉滤波电容来降低PCB尺寸或成本。这可能导致器件工作不正常。

4.1.7 电流消耗测量

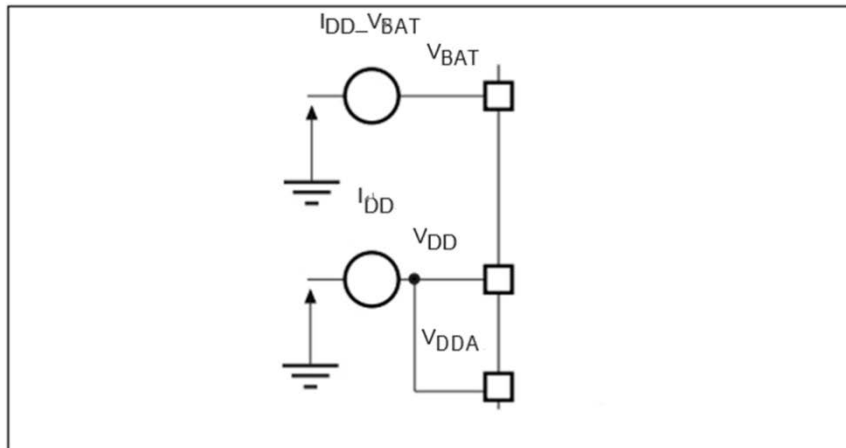


图 4-4 电流消耗测量方案

4.2 绝对最大额定值

如果加在器件上的载荷超过表 4-1 电压特性、表 4-2 电流特性和表 4-3: 热特性中列出的绝对最大额定值，则可能导致器件永久损坏。这些数值只是额定应力，并不意味着器件在这些条件下功能正常。长期工作在最大额定值条件下可能会影响器件的可靠性。

表 4-1 电压特性

符号	额定值	最小值	最大值	单位
$V_{DD}-V_{SS}$	外部主电源电压（包括 V_{DDA} 、 V_{DD} ） ⁽¹⁾	-0.3	4.0	V
V_{IN}	FT 引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{DD}+4$	
	任何其它引脚上的输入电压	$V_{SS}-0.3$	4.0	
$ \Delta V_{DDx} $	不同 V_{DD} 电源引脚之间的电压变化	-	50	mV

1. 在允许的范围内，所有主电源 (V_{DD} , V_{DDA}) 和接地 (V_{SS} , V_{SSA}) 引脚必须始终连接到外部电源。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见表 4-2。

表 4-2 电流特性

符号	条件	最大值	单位
I_{VDD}	流入每个 V_{DD_x} 电源线的最大电流（拉电流） ⁽¹⁾	240	mA
I_{VSS}	流出每个 V_{SS_x} 接地线的最大电流（灌电流）	240	
I_{IO}	任意 I/O 和控制引脚的输出灌电流	25	
	任意 I/O 和控制引脚的输出拉电流	25	
$I_{INJ(PIN)(2)}$	FT 引脚上的注入电流 ⁽³⁾	-5/+0	
	任何其他引脚上的注入电流 ⁽⁴⁾	±5	
$\Sigma I_{INJ(PIN)(4)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁵⁾	±25	

1. 在允许的范围内，所有主电源 (V_{DD} , V_{DDA}) 和接地 (V_{SS} , V_{SSA}) 引脚必须始终连接到外部电源。
2. 反向注入电流会干扰器件的模拟性能。请参见第 4.3.21 章节：12 位 ADC 特性中的注释。

3. 这些I/O上无法正向注入，当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流，不得超出 $I_{INJ(PIN)}$ 。有关允许的最大输入电压值的信息，请参见表4-1。

4. 当 $V_{IN} > V_{DDA}$ 时，会产生正向注入电流；当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流，不得超出 $I_{INJ(PIN)}$ 。有关允许的最大输入电压值的信息，请参见表4-1。

5. 当多个输入同时存在注入电流时， $\Sigma I_{INJ(PIN)}$ 的最大值等于正向注入电流和反向注入电流（瞬时值）的绝对值之和。

表 4-3 热特性

符号	额定值	数值	单位
TSTG	储存温度范围	-65到+150	°C
TJ	最大结温	150	°C

4.3 推荐工作条件

4.3.1 通用工作条件

表 4-4 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f _{HCLK}	内部AHB时钟频率	PWR_CR 寄存器中的VOS位=0x00 ⁽¹⁾	0	-	144	MHz
		PWR_CR 寄存器中的VOS位=0x01	0	-	168	MHz
f _{PCLK1}	内部APB1时钟频率	-	0	-	42	MHz
f _{PCLK2}	内部APB2时钟频率	-	0	-	84	MHz
V _{DD}	标准工作电压	-	1.8 ⁽²⁾	-	3.6	V
V _{DDA} ⁽³⁾⁽⁴⁾	模拟工作电压 (ADC限制在1.2M采样)	必须与V _{DD} 等电位 ⁽⁵⁾	1.8 ⁽²⁾	-	2.4	
	模拟工作电压 (ADC限制在1.4M采样)		2.4	-	3.6	
V _{BAT}	备份工作电压	-	1.65	-	3.6	
V _{I2}	调压器ON: V _{CAP_1} /V _{CAP_2} 引脚上的1.2V内部电压	PWR_CR寄存器中的VOS位=0x00 ⁽¹⁾ , 144MHz 最大频率	1.08	1.14	1.20	
		PWR_CR寄存器中的VOS位=0x01, 168MHz 最大频率	1.20	1.26	1.32	
	调压器OFF: 必须从外部调压器在V _{CAP_1} /V _{CAP_2} 引脚上提供1.2V外部电压	最大频率144MHz	1.10	1.14	1.20	
		最大频率168MHz	1.20	1.26	1.30	
V _{IN}	RST和FT引脚上的输入电压 ⁽⁶⁾	$2V \leq V_{DD} \leq 3.6V$	-0.3	-	5.5	
		$V_{DD} \leq 2V$	-0.3	-	5.2	
	TTa引脚上的输入电压	-	-0.3	-	V _{DDA} +0.3	
P _D	T _A =125°C时的功率耗散 ⁽⁷⁾	LQFP64	-	-	435	
		LQFP100	-	-	465	
		LQFP144	-	-	500	
		LQFP176	-	-	526	
		BGA176	-	-	513	
T _J	结温范围	-	-55	-	125	mW

1. 当系统时钟频率在30至144 MHz. 之间时，在整个温度范围内，VOS=0 比 VOS=1 的平均期

望功耗增益约为10%。

2. 当设备工作在低温范围内并使用外部电源监控器时，可达到1.7V的 V_{DD}/V_{DDA} 最小值（请参考2.2.17章节：内部复位OFF章节）。
3. 当使用ADC时，请参见表 4-59 ADC特性。
4. 若存在 V_{REF+} 引脚，则必须考虑下述条件： $V_{DDA}-V_{REF+} < 1.2V$ 。
5. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电。在上电和掉电期间， V_{DD} 和 V_{DDA} 之间容许的最大差值为300mV。
6. 要使电压保持在高于 $V_{DD}+0.3$ ，必须禁止内部上拉/下拉电阻。
7. 如果 T_A 较低，只要 T_J 不超过 T_{Jmax} ，便允许更高的 P_D 值。

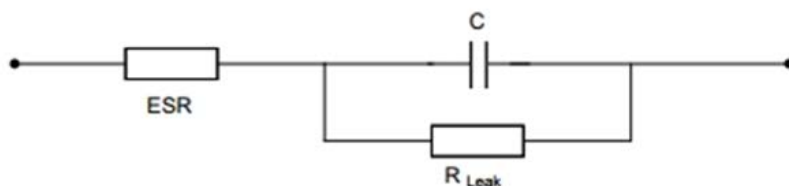
表 4-5 不同工作供电电压范围的限制

工作供电电压范围	ADC运算	最大Flash访问频率，无等待状态 ($f_{Flashmax}$)	最大HCLK频率 Flash等待状态 ⁽¹⁾ ⁽²⁾	I/O运算	时钟输出I/O引脚的频率	可能的Flash操作
$V_{DD}=1.8$ 至 $2.1V$ ⁽³⁾	转换时间高达 1.2Msps	20MHz ⁽⁴⁾	160MHz，有7个等待 状态	-没有I/O 补偿	高达30MHz	仅8位擦除 和编程操作
$V_{DD}=2.1$ 至 $2.4V$	转换时间高达 1.2Msps	22MHz	168MHz，有7个等待 状态	-没有I/O 补偿	高达30MHz	16位擦除和 编程操作
$V_{DD}=2.4$ 至 $2.7V$	转换时间高达 2.4Msps	24MHz	168MHz，有6个等待 状态	-有I/O补 偿	高达48MHz	16位擦除和 编程操作
$V_{DD}=2.7$ 至 $3.6V$ ⁽⁵⁾	转换时间高达 2.4Msps	30MHz	168MHz，有5个等待 状态	-有I/O补 偿	-当 $V_{DD}=2.7$ 至 3.0V时为 48MHz -当 $V_{DD}=3.0$ 至 3.6V时为 60MHz	32位擦除和 编程操作

1. 仅当从Flash执行代码时可用。当从RAM执行代码时，无需等待状态。
2. 得益于ART加速器和128位Flash，这里给出的等待状态数目不影响从Flash的执行速度，原因是ART加速器可达到等效于0等待状态程序执行的性能。
3. 当设备工作在低温范围内并使用外部电源监控器时，可达到1.7V的 V_{DD}/V_{DDA} 最小值（请参考：内部复位OFF章节）。
4. 预取不可用。
5. USB全速PHY的电压范围可低至2.7V。然而D-和D+引脚的电气特性在2.7至3V间会变差。

4.3.2 VCAP1/VCAP2外部电容

主调压器的稳定性是通过将外部电容 C_{EXT} 连接到 V_{CAP1}/V_{CAP2} 引脚实现的。 C_{EXT} 在表 4-6 中说明。



1、图例：ESR为等效串联电阻

图 4-5 外部电容CEXT

表 4-6 V_{CAP1}/V_{CAP2} 工作条件⁽¹⁾

符号	参数	条件
CEXT	外部电容的电容值	2.2 μ F
ESR	外部电容的ESR	<2 Ω

1、当旁路调压器时，不需要两个2.2 μ F的 V_{CAP} 电容，应将其替换为两个100nF的去耦电容。

4.3.3 上电/掉电时的工作条件（稳压器开）

T_A 服从一般工作条件。

表 4-7 上电/掉电时的工作条件（稳压器开）

符号	参数	最小值	最大值	单位
tvDD	V_{DD} 上升时间速率	20	∞	μ s/V
	V_{DD} 下降时间速率	20	∞	

4.3.4 上电/掉电时的工作条件（稳压器关）

T_A 服从一般工作条件。

表 4-8 上电/掉电时的工作条件（稳压器关）⁽¹⁾

符号	参数	条件	最小值	最大值	单位
tvDD	V_{DD} 上升时间速率	上电	20	∞	μ s/V
	V_{DD} 下降时间速率	掉电	20	∞	
tvCAP	V_{CAP_1} 和 V_{CAP_2} 上升时间速率	上电	20	∞	
	V_{CAP_1} 和 V_{CAP_2} 下降时间速率	掉电	20	∞	

1. 为在掉电时复位内部逻辑，必须当 V_{DD} 低于 V_{I2} 时在PA0引脚上应用复位。

4.3.5 嵌入式复位和电源控制模块特性

表 4-9中给出的参数是在表表 4-4中汇总的环境温度和 V_{DD} 电源电压条件下测试得出的。

表 4-9 嵌入式复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程电压检测器的电平选择	PLS[2:0]=000（上升沿）	2.09	2.14	2.19	V
		PLS[2:0]=000（下降沿）	1.98	2.04	2.08	V
		PLS[2:0]=001（上升沿）	2.23	2.30	2.37	V
		PLS[2:0]=001（下降沿）	2.13	2.19	2.25	V

符号	参数	条件	最小值	典型值	最大值	单位
		PLS[2:0]=010 (上升沿)	2.39	2.45	2.51	V
		PLS[2:0]=010 (下降沿)	2.29	2.35	2.39	V
		PLS[2:0]=011 (上升沿)	2.54	2.60	2.65	V
		PLS[2:0]=011 (下降沿)	2.44	2.51	2.56	V
		PLS[2:0]=100 (上升沿)	2.70	2.76	2.82	V
		PLS[2:0]=100 (下降沿)	2.59	2.66	2.71	V
		PLS[2:0]=101 (上升沿)	2.86	2.93	2.99	V
		PLS[2:0]=101 (下降沿)	2.65	2.84	2.92	V
		PLS[2:0]=110 (上升沿)	2.96	3.03	3.10	V
		PLS[2:0]=110 (下降沿)	2.85	2.93	2.99	V
		PLS[2:0]=111 (上升沿)	3.07	3.14	3.21	V
		PLS[2:0]=111 (下降沿)	2.95	3.03	3.09	V
V _{PVDhyst} ⁽¹⁾	PVD迟滞	-	-	100	-	mV
V _{POR/PDR}	上电/掉电复位阈值	下降沿	1.60	1.68	1.76	V
		上升沿	1.64	1.72	1.80	V
V _{PDRhyst} ⁽¹⁾	PDR迟滞	-	-	40	-	mV
VBOR1	1级欠压门限	下降沿	2.13	2.19	2.24	V
		上升沿	2.23	2.29	2.33	V
VBOR2	2级欠压门限	下降沿	2.44	2.50	2.56	V
		上升沿	2.53	2.59	2.63	V
VBOR3	3级欠压门限	下降沿	2.75	2.83	2.88	V
		上升沿	2.85	2.92	2.97	V
V _{BORhyst} ⁽¹⁾	BOR迟滞	-	-	100	-	mV
T _{RESTEMPO} ⁽¹⁾⁽²⁾	POR复位持续时间	-	0.5	1.5	3.0	ms
I _{RUSH} ⁽¹⁾	调压器上电时的浪涌电流 (POR 或从待机唤醒)	-	-	160	200	mA
E _{RUSH} ⁽¹⁾	调压器上电时的浪涌功率 (POR 或从待机唤醒)	V _{DD} =1.8V, T _A =125°C, I _{RUSH} =171mA 在31μs	-	-	5.4	μC

1. 由设计保证，未经生产测试。
2. 复位持续时间的测量方法为从上电（POR复位或从唤醒）到用户应用代码读取第一条指令的时刻。

4.3.6 供电电流特性

电流消耗受多个参数和因素影响，其中包括工作电压、环境温度、I/O引脚负载、器件软件配置、工作频率、I/O引脚开关速率、程序在存储器中的位置以及执行的二进制代码等。

图4-4：电流消耗测量方案中介绍了电流消耗的测量方法。

本节所述各种运行模式下的电流消耗测量值都通过一套精简代码得出，利用这套代码与CoreMark 代码得出的消耗相同。

典型和最大电流消耗

MCU处于下述条件下：

- 所有I/O引脚都处于输入模式，V_{DD}或V_{SS}上为静态值（无负载）。

- 所有的外设都处于禁止状态，有明确说明时除外。
- Flash访问时间调整至 f_{HCLK} 频率和 V_{DD} 范围。
- 启动外设时，系统时钟为HCLK， $f_{PCLK1}=f_{HCLK}/4$ ， $f_{PCLK2}=f_{HCLK}/2$ 。
- 除非特别说明， $V_{DD}=3.6V$ ，最大环境温度（ T_A ）时达到最大值，典型值为 $T_A=25^\circ C$ ，

$V_{DD}=3.3V$ 。

表 4-10 运行模式的典型和最大电流消耗，数据处理代码从Flash（启用除预取之外的ART加速器）或RAM⁽¹⁾运行

符号	参数	条件	f_{HCLK}	典型值	最大值 ⁽²⁾		单位
				$T_A=25^\circ C$	$T_A=85^\circ C$	$T_A=125^\circ C$	
I _{DD}	运行模式下的供电电流	启用所有外设 ^{(3)(4) (5)}	168MHz	87	102	109	mA
			144MHz	67	80	86	mA
			120MHz	56	69	75	mA
			90MHz	44	56	62	mA
			60MHz	30	42	49	mA
			30MHz	16	28	35	mA
			25MHz	12	24	31	mA
			16MHz ⁽⁶⁾	9	20	28	mA
			8MHz	5	17	24	mA
		4MHz	3	15	22	mA	
		2MHz	2	14	21	mA	
		禁止所有外设 ⁽³⁾⁽⁴⁾⁽⁵⁾	168MHz	40	54	61	mA
			144MHz	31	43	50	mA
			120MHz	26	38	45	mA
			90MHz	20	32	39	mA
			60MHz	14	26	33	mA
			30MHz	8	20	27	mA
			25MHz	6	18	25	mA
16MHz ⁽⁶⁾	5		16	24	mA		
8MHz	3		15	22	mA		
4MHz	2	14	21	mA			
2MHz	2	14	21	mA			

1. 使用BOOT引脚从SRAM1运行代码和数据处理。
2. 由特性分析结果保证，在生产测试 $V_{DD\ max}$ 和 $f_{HCLK\ max}$ 启动外设。
3. 当 $f_{HCLK}>25MHz$ 时，外部基座为4MHz，PLL为ON。
4. 当ADC为ON时（ADC_CR2寄存器中的ADON位置位），对于模拟部分，每ADC会增加1.6mA的功耗。
5. 当ADC、DAC、HSE、LSE、HSI、LSI等模拟外设块为ON时，应考虑额外功耗。
6. 在这种情况下，HCLK=系统时钟/2

表 4-11 运行模式的典型和最大电流消耗，数据处理代码从Flash（禁止ART加速器）运行

符号	参数	条件	f_{HCLK}	典型值	最大值 ⁽¹⁾		单位
				$T_A=25^\circ C$	$T_A=85^\circ C$	$T_A=125^\circ C$	
I _{DD}	运行模式下的供电电流	使能所有外设 ^{(2) (3) (4)}	168MHz	93	109	117	mA
			144MHz	76	89	96	mA
			120MHz	67	79	86	mA
			90MHz	53	65	73	mA
			60MHz	37	49	56	mA
			30MHz	20	32	39	mA
			25MHz	16	27	35	mA
			16MHz	11	23	30	mA

符号	参数	条件	f _{HCLK}	典型值	最大值 ⁽¹⁾		单位
				T _A =25°C	T _A =85°C	T _A =125°C	
			8MHz	6	18	25	mA
			4MHz	4	16	23	mA
			2MHz	3	15	22	mA
			168MHz	46	61	69	mA
			144MHz	40	52	60	mA
			120MHz	37	48	56	mA
			90MHz	30	42	50	mA
			60MHz	22	33	41	mA
			30MHz	12	24	31	mA
			25MHz	10	21	29	mA
			16MHz	7	19	26	mA
			8MHz	4	16	23	mA
			4MHz	3	15	22	mA
			2MHz	2	14	21	mA

1. 除非特别说明，由特性分析结果保证，未经生产测试。
2. 当f_{HCLK}>25MHz时，外部基座为4MHz，PLL为ON。
3. 当ADC、DAC、HSE、LSE、HSI、LSI等模拟外设块为ON时，应考虑额外功耗。
4. 当ADC为ON时（ADC_CR2寄存器中的ADON位置位），对于模拟部分，每ADC会增加1.6mA的功耗。

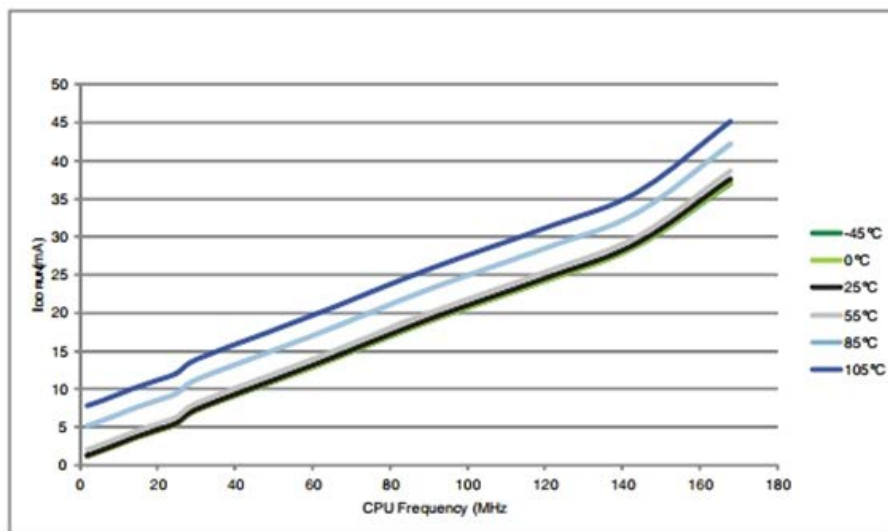


图 4-6 典型的电流消耗与温度，运行模式，从Flash（开启ART加速器）或RAM运行带有数据处理的代码，外设为OFF

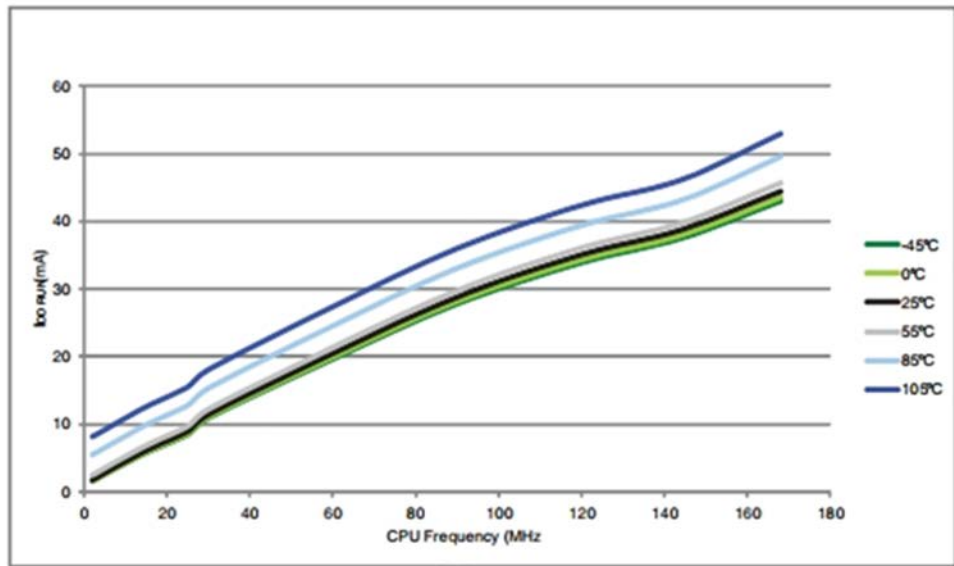


图 4-7典型的电流消耗与温度，运行模式，从Flash（开启ART加速器）或RAM运行带有数据处理的代码，外设为ON

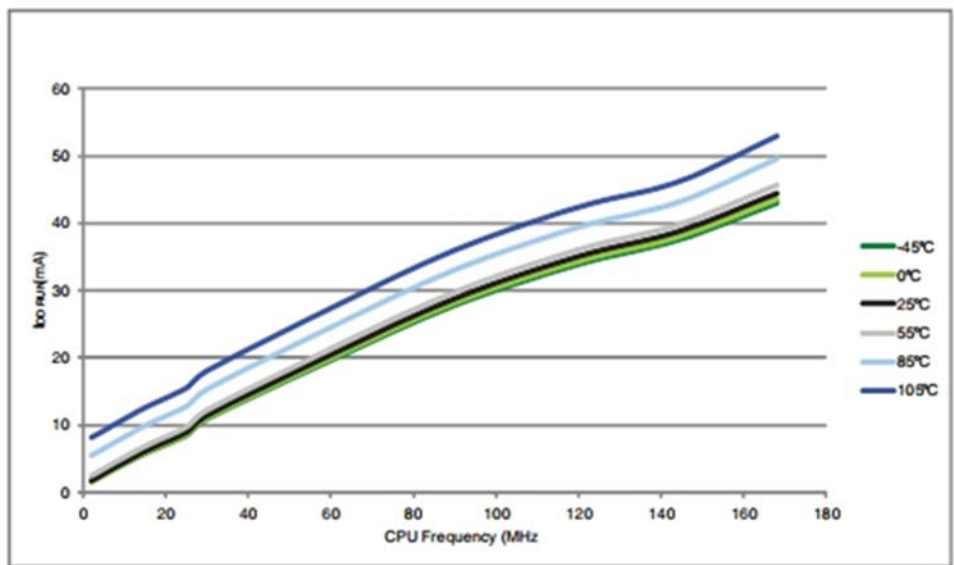


图 4-8典型的电流消耗与温度，运行模式，从Flash（开启ART加速器）或RAM运行带有数据处理的代码，外设为ON

表 4-12 睡眠模式的典型和最大电流消耗

符号	参数	条件	f _{HCLK}	典型值	最大值 ⁽¹⁾			单位
				T _A =25°C	T _A =85°C	T _A =125°C		
IDD	睡眠模式下的供电电流	使能所有外设 ^{(2) (3)}	168MHz	59	77	84	mA	
			144MHz	46	61	67		
			120MHz	38	53	60		
			90MHz	30	44	51		
			60MHz	20	34	41		
			30MHz	11	24	31		
			25MHz	8	21	28		
			16MHz	6	18	25		
			8MHz	3	16	23		
			4MHz	2	15	22		
		禁止所有外设 ⁽²⁾	168MHz	12	27	35		
			144MHz	9	22	29		
			120MHz	8	20	28		
			90MHz	7	19	26		
			60MHz	5	17	24		
			30MHz	3	16	23		
			25MHz	2	15	22		
			16MHz	2	14	21		
			8MHz	1	14	21		
			4MHz	1	13	21		
2MHz	1	13	21					

1. 由特性分析结果保证，在生产测试V_{DD}max和f_{HCLK}+max，启动外设。
2. 当f_{HCLK}>25MHz时，外部基座为4MHz，PLL为ON。
3. 当ADC为ON时（ADC_CR2寄存器中的ADON位置位），对于模拟部分，每ADC会增加1.6mA的功耗。

表 4-13 停止模式的典型和最大电流消耗

符号	参数	条件	典型值	最大值				单位
			T _A =25°C	T _A =25°C	T _A =85°C	T _A =125°C		
IDD_STOP	供电电流处于停止模式，调压器处于主调压器模式	Flash处于停止模式，所有振荡器OFF，无独立看门狗	0.40	1.50	14.00	25.00	mA	
		Flash处于深掉电模式，所有振荡器OFF，无独立看门狗	0.35	1.50	14.00	25.00	mA	
IDD_STOP	供电电流处于停止模式，调压器处于低功耗调压器模式	Flash处于停止模式，所有振荡器OFF，无独立看门狗	0.29	1.10	10.00	18.00	mA	
		Flash处于深掉电模式，所有振荡器OFF，无独立看门狗	0.23	1.10	10.00	18.00	mA	

表 4-14 待机模式的典型和最大电流消耗

符号	参数	条件	典型值 ⁽¹⁾			最大值 ⁽¹⁾		单位
			T _A =25°C			T _A =85°C	T _A =125°C	
			V _{DD} =1.8V	V _{DD} =2.4V	V _{DD} =3.3V	V _{DD} =3.6V		
I _{DD_STBY}	待机模式下的供电电流	备份SRAM ON, 低速振荡器LSE 和 RTC ON	3.0	3.4	4.0	20	36	μA
		备份SRAM OFF, 低速振荡器LSE 和 RTC ON	2.4	2.7	3.3	16	32	μA
		备份SRAM ON, RTC 和 LSE OFF	2.4	2.6	3.0	12.5	24.8	μA
		备份SRAM OFF, RTC 和LSE OFF	1.7	1.9	2.2	9.8	19.2	μA

1. 数据通过特性分析确定，经生产测试。

表 4-15 V_{BAT}模式的典型和最大电流消耗

符号	参数	条件	典型值 ⁽¹⁾			最大值 ⁽¹⁾		单位
			T _A =25°C			T _A =85°C	T _A =125°C	
			V _{DD} =1.8V	V _{DD} =2.4V	V _{DD} =3.3V	V _{DD} =1.8V		
I _{DD_VBAT}	备份域的供电电流	备份SRAM ON, 低速振荡器LSE) 和RTC ON	1.29	1.42	1.68	6	11	μA
		备份SRAM OFF, 低速振荡器 LSE) 和RTC ON	0.62	0.73	0.96	3	5	μA
		备份SRAM ON, RTC和LSE OFF	0.79	0.81	0.86	5	10	μA
		备份SRAM OFF, RTC和LSE OFF	0.10	0.10	0.10	2	4	μA

1. 数据通过特性分析确定，经生产测试。

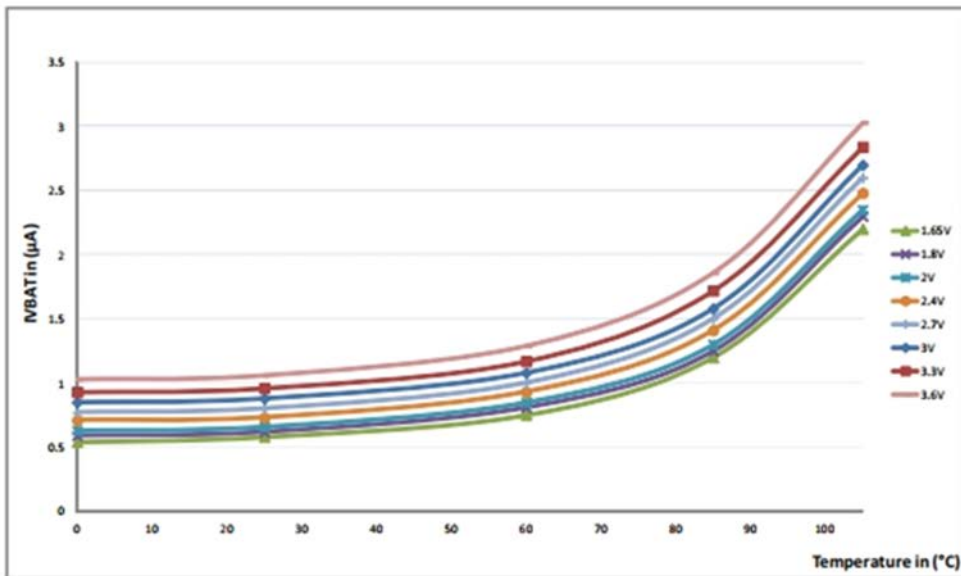


图 4-9 典型的 V_{BAT} 电流消耗 (LSE 和 RTC ON/备份 RAM OFF)

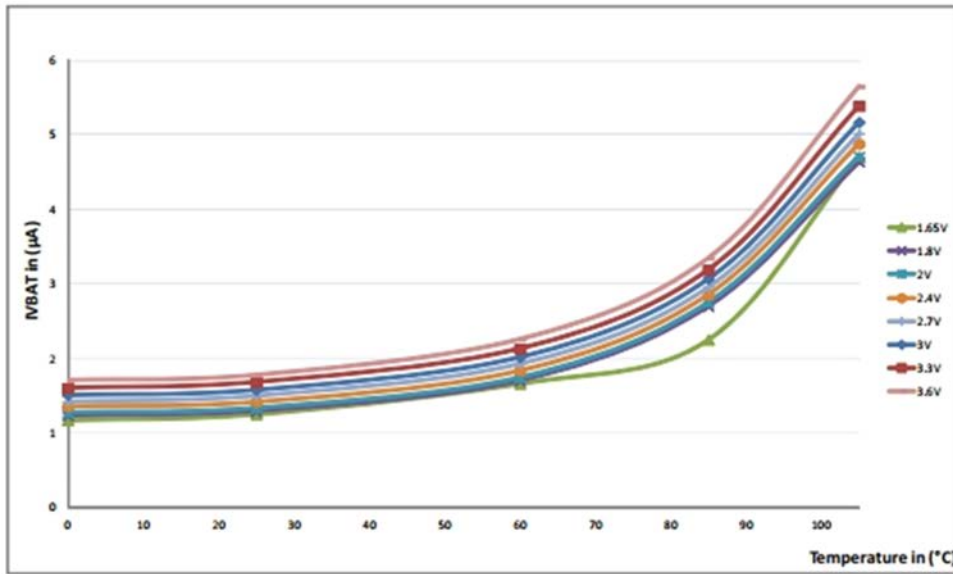


图 4-10典型的V_{BAT}电流消耗（LSE和RTC ON/备份RAM ON）

额外电流消耗

MCU处于下述条件下：

- 所有I/O引脚都配置为模拟模式。
- Flash访问时间调整为f_{HCLK}频率。
- 电压缩放如下调整为f_{HCLK}频率：
 - 级别2用于f_{HCLK} ≤ 144MHz
 - 级别1用于144MHz < f_{HCLK} ≤ 168MHz。
- 系统时钟为HCLK，f_{PCLK1} = f_{HCLK}/4，f_{PCLK2} = f_{HCLK}/2。
- HSE晶振时钟频率为 25MHz。
- T_A=25° C。

表 4-16 运行模式的典型电流消耗，数据处理代码从Flash运行，调压器ON（启用除预取之外的ART加速器），V_{DD}=1.8V⁽¹⁾

符号	参数	条件	f _{HCLK} (MHz)	典型值	单位
I _{DD}	RUN模式的V _{DD} 供电电流	使能所有外设	160	36.2	mA
			144	29.3	mA
			120	24.7	mA
			90	19.3	mA
			60	13.4	mA
			30	7.7	mA
			25	6.0	mA

1. 当启用外设时，不包括对应于外设模拟部分的功耗（如ADC或DAC）。

I/O系统电流消耗

I/O系统的电流消耗有两部分：静态和动态。

I/O静态电流消耗

所有用作带上拉电阻输入的I/O都会在引脚外部保持为低时产生电流消耗。此电流消耗的值可通过使用表4-38:I/O静态特性中给出的上拉/下拉电阻值简单算出。

对于输出引脚，还必须考虑任何外部下拉电阻或外部负载以估计电流消耗。

若外部施加了中间电平，则额外的I/O电流消耗是因为配置为输入的I/O。此电流消耗是由用于区分输入值的输入施密特触发器电路导致。除非应用需要此特定配置，否则可通过将这些I/O配置为模拟模式以避免此供电电流消耗。ADC输入引脚应配置为模拟输入就是这种情况。

注意：任何浮空的输入引脚都可能由于外部电磁噪声，成为中间电平或意外切换。为防止浮空引脚相关的电流消耗，它们必须配置为模拟模式，或内部强制为确定的数字值。这可通过使用上拉/下拉电阻或将引脚配置为输出模式做到。

I/O动态电流消耗

除了内部外设的电流消耗（请参见表4-18:外设电流消耗），应用所使用的I/O也对电流消耗有贡献。当I/O引脚切换时，它使用MCU供电电压的电流为I/O引脚电路供电，并对连至该引脚的（内部或外部）容性负载充电/放电：

$$I_{sw}=V_{DD} \times f_{sw} \times C$$

其中：

I_{sw} 为切换I/O对容性负载充电/放电的灌电流

V_{DD} 为MCU供电电压

f_{sw} 为I/O切换频率

C为I/O引脚看到的总电容： $C=C_{INT}+C_{EXT}$

表 4-17 切换输出I/O电流消耗

符号	参数	条件 ⁽¹⁾	I/O切换频率 (fsw)	典型值	单位
IDDIO	I/O切换电流	$V_{DD}=3.3V^{(2)}$ $C=C_{INT}$	2MHz	0.02	mA
			8MHz	0.14	
			25MHz	0.51	
			50MHz	0.86	
			60MHz	1.30	
		$V_{DD}=3.3V$ $C_{EXT}=0pF$ $C=C_{INT}+C_{EXT}+C_S$	2MHz	0.10	
			8MHz	0.38	
			25MHz	1.18	
			50MHz	2.47	
			60MHz	2.86	
		$V_{DD}=3.3V$ $C_{EXT}=10pF$ $C=C_{INT}+C_{EXT}+C_S$	2MHz	0.17	
			8MHz	0.66	
			25MHz	1.70	
			50MHz	2.65	
		$V_{DD}=3.3V$ $C_{EXT}=22pF$	50MHz	3.48	
			2MHz	0.23	

符号	参数	条件 ⁽¹⁾	I/O切换频率 (fsw)	典型值	单位
		C=C _{INT} +C _{EXT} +C _S	8MHz	0.95	
			25MHz	3.20	
			50MHz	4.69	
			60MHz	8.06	
		V _{DD} =3.3V C _{EXT} =33pF C=C _{INT} +C _{EXT} +C _S	2MHz	0.30	
			8MHz	1.22	
			25MHz	3.90	
			50MHz	8.82	
			60MHz	-- ⁽³⁾	

1. C_S为PCB板电容，包括板引脚。C_S=7pF（估计值）。
2. 此测试通过切断LQFP封装引脚执行（移除板）。
3. 在60MHz时，C的最大负载被指定为30pF

- 片上外设电流消耗
- MCU处于下述条件下：
 - 在启动时，所有I/O引脚都为模拟输入配置。
 - 所有外设都处于禁止状态，另有说明时除外。
 - 代码从Flash内存中运行，Flash内存访问时间在168Mhz时等于5个等待状态。
 - 代码从Flash内存中运行，Flash内存访问时间在144Mhz时等于4个等待状态，功率比例模式设置为2。
- ART加速器为ON。
- 给出的数值通过测量电流消耗差计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- HCLK为系统时钟。f_{PCLK1}=f_{HCLK}/4和f_{PCLK2}=f_{HCLK}/2。
- 环境工作温度为25° C，V_{DD}=3.3V。

表 4-18 外设电流消耗

外设	I _{DD} (典型值)		单位	
	级别1(高达168MHz)	级别2(高达144MHz)		
AHB1(高达168MHz)	GPIOA	2.70	2.40	μA/MHz
	GPIOB	2.50	2.22	
	GPIOC	2.54	2.28	
	GPIOD	2.55	2.28	
	GPIOE	2.68	2.40	
	GPIOF	2.53	2.28	
	GPIOG	2.51	2.22	
	GPIOH	2.51	2.22	
	GPIOI	2.50	2.22	
	OTG_HS+ULPI	28.33	25.38	
	CRC	0.41	0.40	
	BKPSRAM	0.63	0.58	

外设	I _{DD} (典型值)		单位
	级别1(高达168MHz)	级别2(高达144MHz)	
DMA1	37.44	33.58	
DMA2	37.69	33.93	
ETH_MAC ETH_MAC_TX ETH_MAC_RX ETH_MAC_PTP	20.43	18.39	

表 4-19 外设电流消耗 (续)

外设	I _{DD} (典型值) ⁽¹⁾		单位
	级别1(高达168MHz)	级别2(高达144MHz)	
AHB2 (高达168MHz)	OTG_FS	26.45	μA/MHz
	DCMI	5.87	
	RNG	1.50	
AHB3 (高达168MHz)	FSMC	12.46	μA/MHz
总线矩阵(2)		13.10	μA/MHz
APB1 (高达42MHz)	TIM2	16.71	μA/MHz
	TIM3	12.33	
	TIM4	13.45	
	TIM5	17.14	
	TIM6	2.43	
	TIM7	2.43	
	TIM12	6.62	
	TIM13	5.05	
	TIM14	5.26	
	PWR	1.00	
	USART2	2.69	
	USART3	2.74	
	UART4	3.24	
	UART5	2.69	
	I2C1	2.67	
	I2C2	2.83	
	I2C3	2.81	
	SPI2	2.43	
	SPI3	2.43	
	I2S2 ⁽³⁾	2.43	
I2S3 ⁽³⁾	2.26		
CAN1	5.12		
CAN2	4.81		
DAC ⁽⁴⁾	1.67		
WWDG	1.00	0.83	

表 4-20 外设电流消耗 (续)

外设	I _{DD} (典型值)		单位
	级别1(高达168MHz)	级别2(高达144MHz)	
APB2 (高达84MHz)	SDIO	7.08	μA/MHz
	TIM1	16.79	
	TIM8	17.88	
	TIM9	7.64	
	TIM10	4.89	
	TIM11	5.19	
	ADC1 ⁽⁵⁾	4.67	
	ADC2 ⁽⁵⁾	4.67	
	ADC3 ⁽⁵⁾	4.43	
	SPI1	1.32	

外设	I _{DD} (典型值)		单位
	级别1(高达168MHz)	级别2(高达144MHz)	
USART1	3.51	3.72	
USART6	3.55	3.75	
SYSCFG	0.74	0.56	

1. 当I/O补偿单元为ON时，I_{DD}典型值增加0.22mA。
2. 当至少有一个主设备为ON时，总线矩阵自动激活。
3. 若需启用I2S外设，首先设置SPI_I2SCFGR寄存器中的I2SMOD位，然后是I2SE位。
4. 当DAC为ON且DAC_CR寄存器中的EN1/2位置位时，每个DAC通道的模拟部分会增加额外的0.8mA功耗。
5. 当ADC为ON时（ADC_CR2寄存器中的ADON位置位），对于模拟部分，每ADC会增加1.6mA的功耗。

4.3.7 低功耗模式唤醒时序

表4-21中给出的唤醒时间测量方法为，从唤醒事件触发至CPU执行的第一条指令：

- 对于停止或睡眠模式：时钟源为RC振荡器。
- 休眠模式：时钟源为进入休眠模式前设置的时钟。

所有时序均在环境温度及V_{DD}供电电压条件下进行的测试。

表 4-21 低功耗模式唤醒时间

符号	参数	最小值	典型值(1)	最大值	单位
twUSLEEP ⁽²⁾	从睡眠唤醒	-	5	-	CPU时钟周期
twUSTOP ⁽²⁾	从停止模式唤醒（调节器在运行模式和停止模式下的闪存）	-	13	-	μs
	从停止模式唤醒（调节器在低功率模式和停止模式下的闪存）	-	17	40	
	从停止模式唤醒（调节器在运行模式和深度关机模式下的闪存）	-	105	-	
	从停止模式唤醒（调节器在低功率模式和深度关机模式下的闪存）	-	110	-	
twUSTDBY ⁽²⁾⁽³⁾	从待机模式唤醒	260	375	480	μs

1. 通过特性分析确定，未经生产测试。
2. 唤醒时间的测量从触发唤醒事件开始，到应用程序代码读取第一条指令为止。
3. twUSTDBY的最小值和最大值分别在125° C和 - 45° C时给出

4.3.8 外部时钟源特性

外部源产生的高速外部用户时钟

表4-22中给出的特性是使用高速外部时钟源在表 4-4中汇总的环境温度和电源电压条件下测得的。

表 4-22 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟源频率 ⁽¹⁾	-	1	-	50	MHz
V_{HSEH}	OSC_IN输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	V
$t_{w(HSE)}$ $t_{w(HSE)}$	OSC_IN高电平或低电平时间 ⁽¹⁾		5	-	-	ns
$t_r(HSE)$ $t_f(HSE)$	OSC_IN上升或下降时间		-	-	10	ns
$C_{in(HSE)}$	OSC_IN输入电容 ⁽¹⁾		-	-	5	pF
$DuCy(HSE)$	占空比		-	45	-	55
I_L	OSC_IN输入泄漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1. 由设计保证，未经生产测试。

外部源产生的低速外部用户时钟

表4-23中给出的特性是使用低速外部时钟源在表 4-4中汇总的环境温度和电源电压条件下测得的。

表 4-23 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟源频率(1)	-	-	32.768	1000	kHz
V_{LSEH}	OSC32_IN输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	V
$t_{w(LSE)}$ $t_f(LSE)$	OSC32_IN高电平或低电平时间(1)		450	-	-	ns
$t_r(LSE)$ $t_f(LSE)$	OSC32_IN上升或下降时间		-	-	50	ns
$C_{in(LSE)}$	OSC32_IN输入电容(1)		-	-	5	pF
$DuCy(LSE)$	占空比		-	30	-	70
I_L	OSC32_IN输入泄漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1. 由设计保证，未经生产测试。

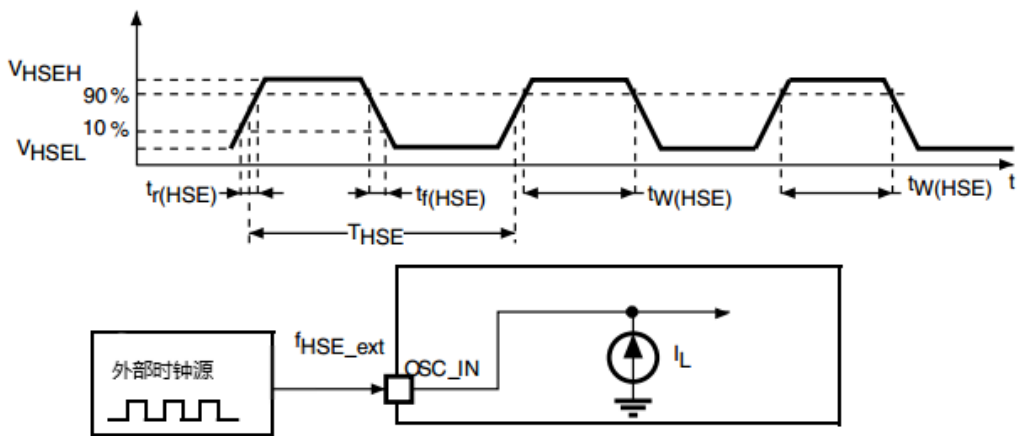


图 4-11 高速外部时钟源的交流时序图

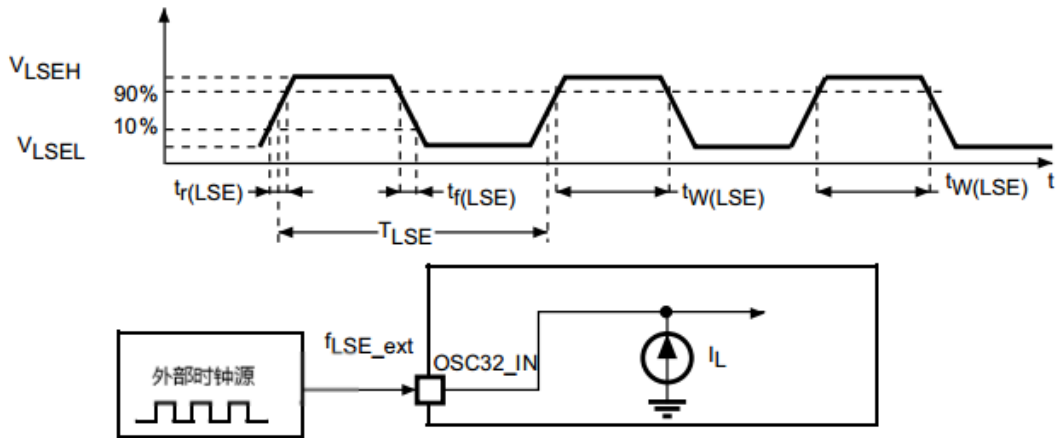


图 4-12 低速外部时钟源的交流时序图

晶振/陶瓷谐振器产生的高速外部时钟

高速外部 (HSE) 时钟可以使用一个4到26MHz的晶振/陶瓷谐振振荡器产生。本节介绍的信息通过特性分析结果确定，这些结果是使用表 4-24 中列出的典型外部元器件获得的。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 4-24 HSE 4-26MHz振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{OSC_IN}	振荡器频率	-	4	-	26	MHz
R _F	反馈电阻	-	-	200	-	kΩ
G _m	HSE电流消耗	V _{DD} =3.3V,ESR=30Ω, C _L =5pF@25MHz	-	450	-	μA
		V _{DD} =3.3V,ESR=30Ω, C _L =10pF@25MHz	-	530	-	μA
G _{mcritmax}	最大关键晶振gm	起振	-	-	1	mA/V
T _{SU(HSE)} ⁽²⁾	启动时间	V _{DD} 稳定	-	2	-	ms

1. 由设计保证，未经生产测试。

2. t_{SU(HSE)}是起振时间，即从软件使能HSE开始测量，直至得到稳定的8MHz振荡频率这段时间。

此值基于特性分析，未经生产测试。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

对于C_{L1}和C_{L2}，建议使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于5pF到25pF（典型值）之间的高质量外部陶瓷电容（请参见图4-13）。C_{L1}和C_{L2}的大小通常相同。晶振制造商指定的负载电容通常是C_{L1}和C_{L2}的串联组合。确定C_{L1}和C_{L2}的规格时，必须将PCB和MCU引脚的电容考虑在

内（引脚与电路板的电容可粗略地估算为10pF）。

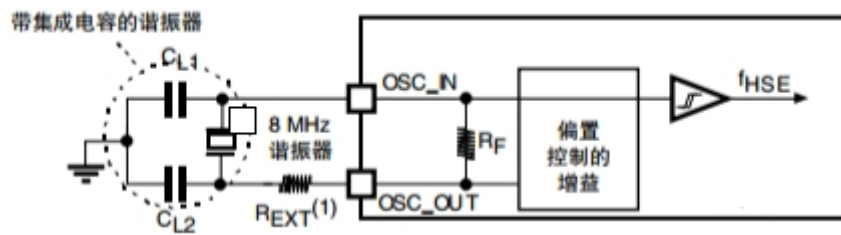


图 4-13 采用8MHz晶振的典型应用

1. R_{EXT} 的值取决于晶振特性。

晶振/陶瓷谐振器产生的低速外部时钟

低速外部 (LSE) 时钟可以使用一个由32.768kHz的晶振/陶瓷谐振器构成的振荡器产生。本节介绍的信息通过特性分析结果确定。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 4-25 LSE振荡器特性 ($f_{LSE}=32.768\text{kHz}$)⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻	-	-	18.4	-	M Ω
I_{DD}	LSE电流消耗	-	-	-	1	μA
$G_{meritmax}$	最大关键晶振gm	起振	-	-	0.56	$\mu\text{A/V}$
$T_{su(LSE)}^{(3)(2)}$	启动时间	V_{DD} 稳定	-	2	-	s

1. 由设计保证，未经生产测试。
2. 此参数取决于应用中使用的晶振。
3. $t_{su(LSE)}$ 是起振时间，即从软件使能HSE开始测量，直至得到稳定的32.768kHz振荡频率这段时间。此值基于特性分析，未经生产测试。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

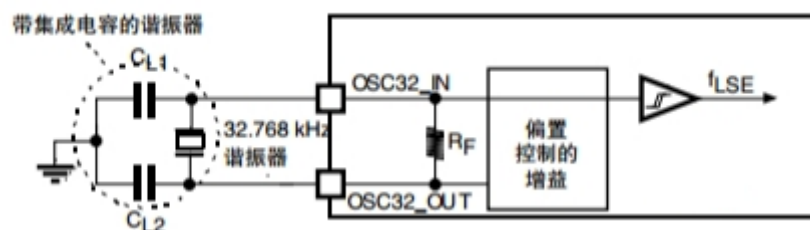


图 4-14采用32.768kHz晶振的典型应用

4.3.9 内部时钟源特性

表4-26和表4-27中给出的参数是在表 4-4中汇总的环境温度和VDD的。

高速内部 (HSI) RC振荡器

表 4-26 HSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位	
f_{HSI}	频率		-	16	-	MHz	
ACC_{HSI}	HSI振荡器精度	用户通过RCC_CR寄存器调整(2)	-	-	1	%	
		工厂校准	TA=-55到125°C ⁽³⁾	-8	-	4.5	%
			TA=-10到85°C ⁽³⁾	-4	-	4	%
		TA=25°C	-1	-	1	%	
$t_{\text{su(HSI)}}^{(2)}$	HSI振荡器起振时间	-	-	2.2	4	μs	
$I_{\text{DD(HSI)}}^{(2)}$	HSI振荡器功耗	-	-	60	80	μA	

1. 除非特别说明，否则 $V_{\text{DD}}=3.3\text{V}$ ， $T_{\text{A}}= -55$ 到 125°C 。
2. 由设计保证，未经生产测试。
3. 通过特性分析确定，未经生产测试。

低速内部 (LSI) RC振荡器

表 4-27 LSI 振荡器特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
$f_{\text{LSI}}^{(2)}$	频率	17	32	47	kHz
$t_{\text{su(LSI)}}^{(3)}$	LSI振荡器起振时间	-	15	40	μs
$I_{\text{DD(LSI)}}^{(3)}$	LSI振荡器功耗	-	0.4	0.6	μA

1. 除非特别说明，否则 $V_{\text{DD}}=3\text{V}$ ， $T_{\text{A}}= -55$ 到 125°C 。
2. 通过特性分析确定，未经生产测试。
3. 由设计保证，未经生产测试。

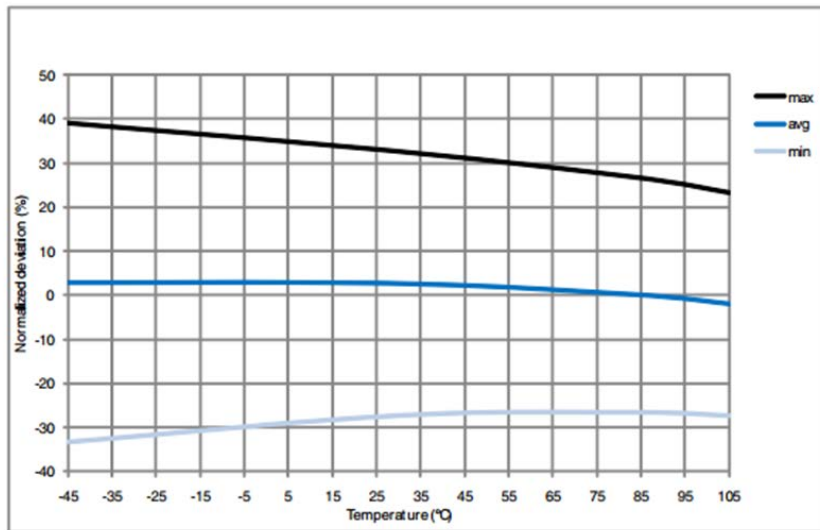


图 4-15 ACC_{LSI} 与温度

4.3.10 PLL特性

表4-28和表4-29中给出的参数是在表 4-4中汇总的温度和V_{DD}电源电压条件下测试得出的。

表 4-28 主PLL特性

符号	参数	条件	最小值	典型值	最大值	单位	
f _{PLL_IN}	PLL输入时钟 ⁽¹⁾	-	0.95 ⁽²⁾	1	2.10	MHz	
f _{PLL_OUT}	PLL倍频输出时钟	-	24	-	180	MHz	
f _{PLL48_OUT}	48 MHz PLL倍频输出时钟	-	-	48	75	MHz	
f _{VCO_OUT}	PLL VCO输出	-	192	-	432	MHz	
t _{LOCK}	PLL锁相时间	VCO频率 = 192MHz	75	-	200	μs	
	PLL锁相时间	VCO频率 = 432MHz	100	-	300	μs	
Jitter ⁽³⁾	周期间抖动	系统时钟 120MHz	RMS	-	25	-	ps
			峰到峰	-	±150	-	ps
			RMS	-	15	-	ps
			峰到峰	-	±200	-	ps
	RMII以太网的主时钟输出 (MCO)	50MHz, 1000采样的周期到周期	-	32	-	ps	
	MII以太网的主时钟输出 (MCO)	25MHz, 1000采样的周期到周期	-	40	-	ps	
	位时间CAN抖动	1MHz, 1000采样的周期到周期	-	330	-	ps	
I _{DD(PLL)} ⁽⁴⁾	V _{DD} 上的PLL功耗	VCO频率=192MHz	0.15	-	0.40	mA	
		VCO频率=432MHz	0.45	-	0.75		
I _{DDA(PLL)} ⁽⁴⁾	V _{DDA} 上的PLL功耗	VCO频率=192MHz	0.30	-	0.40	mA	
		VCO频率=432MHz	0.55	-	0.85		

1. 请注意使用适当的分频因子M以得到特定的PLL输入时钟值。PLL和PLLI2S共享M因子。
2. 由设计保证，未经生产测试。
3. 并行使用2个PLL可最多使抖动恶化+30%。
4. 通过特性分析确定，未经生产测试。

表 4-29 PLLI2S (音频PLL) 特性

符号	参数	条件	最小值	典型值	最大值	单位	
f _{PLLI2S_IN}	PLLI2S输入时钟(1)	-	0.95 ⁽²⁾	1	2.10	MHz	
f _{PLLI2S_OUT}	PLLI2S倍频输出时钟	-	-	-	216	MHz	
f _{VCO_OUT}	PLLI2S VCO输出	-	192	-	432	MHz	
t _{LOCK}	PLLI2S锁相时间	VCO频率=192MHz	75	-	200	μs	
	PLLI2S锁相时间	VCO频率=432MHz	100	-	300	μs	
Jitter ⁽³⁾	主I2S时钟抖动	12.288 MHz, 48KHz周期, N=432, R=5的周期到周期	RMS	-	90	-	
		12.288 MHz, 48KHz周期, N=432, R=5的周期到周期	峰到峰	-	±280	-	ps
		12.288 MHz的平均频率N=432,R=5 1000采样		-	90	-	ps
	WS I2S时钟抖动	48KHz的周期到周期1000采样	-	400	-	ps	
I _{DD(PLLI2S)} ⁽⁴⁾	V _{DD} 上的PLL功耗	VCO频率=192MHz	0.15	-	0.40	mA	
		VCO频率=432MHz	0.45	-	0.75		
I _{DDA(PLLI2S)} ⁽⁴⁾	V _{DDA} 上的PLL功耗	VCO频率=192MHz	0.30	-	0.40	mA	
		VCO频率=432MHz	0.55	-	0.85		

1. 请注意使用适当的分频因子M以得到特定的PLL输入时钟值。

2. 由设计保证，未经生产测试。
3. 主PLL运行给出的值。
4. 通过特性分析确定，未经生产测试。

4.3.11 PLL扩频时钟生成 (SSCG) 特性

扩频时钟生成 (SSCG) 特性可降低电磁干扰 (请参见表4-35:EMI特性)。它仅在主PLL上可用。

表 4-30 SSCG参数约束

符号	参数	最小值	典型值	最大值 ⁽¹⁾	单位
f _{Mod}	调制频率	-	-	10	KHz
md	调峰深度	0.25	-	2	%
MODEPER*INCSTEP		-	-	2 ¹⁵ -1	-

1. 由设计保证，未经生产测试。

公式1

调频周期 (MODEPER) 由下式给出:

$$\text{MODEPER} = \text{round}[f_{\text{PLL_IN}} / (4 \times f_{\text{MOD}})]$$

f_{PLL_IN} 和 f_{Mod} 必须以 Hz 表示。

例如:

若 f_{PLL_IN}=1MHz, f_{MOD}=1kHz, 则调制深度 (MODEPER) 由公式1给出:

$$\text{MODEPER} = \text{round}[10^6 / (4 \times 10^3)] = 250$$

公式2

公式2可计算增量步长 (INCSTEP):

$$\text{INCSTEP} = \text{round}[(2^{15} - 1) \times \text{md} \times \text{PLLN}] / (100 \times 5 \times \text{MODEPER})$$

f_{VCO_OUT} 必须以 MHz 表示。

调制深度 (md) = ±2% (4%峰到峰), PLLN = 240 (单位MHz):

$$\text{INCSTEP} = \text{round}[(2^{15} - 1) \times 2 \times 240] / (100 \times 5 \times 250) = 126 \text{md}(\text{quantitized})\%$$

因为线性调制曲线由MODEPER和INCSTEP的量化值 (取整至最接近的整数) 得到, 所以可能产生幅度量化误差。因此, 得到的调制深度是量化的。调制深度的量化百分比由下式给出:

$$\text{Md}_{\text{quantized}}\% = (\text{MODEPER} \times \text{INCSTEP} \times 100 \times 5) / ((2^{15} - 1) \times \text{PLLN})$$

因此:

$$\text{Md}_{\text{quantized}}\% = (250 \times 126 \times 100 \times 5) / ((2^{15} - 1) \times 240) = 2.002\%(\text{peak})$$

图4-16 和 图4-17 显示了中央扩频和下扩频模式的主PLL输出时钟波形, 其中:

F0为 f_{PLL_OUT} 标称。

T_{mode} 为调制周期。

md为调制深度。

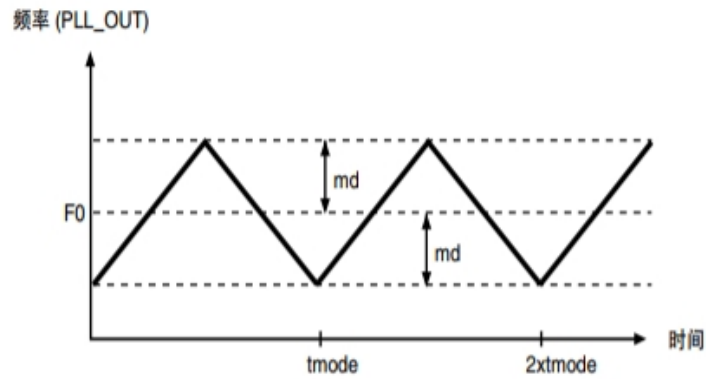


图 4-16 中央扩频模式的PLL输出时钟波形

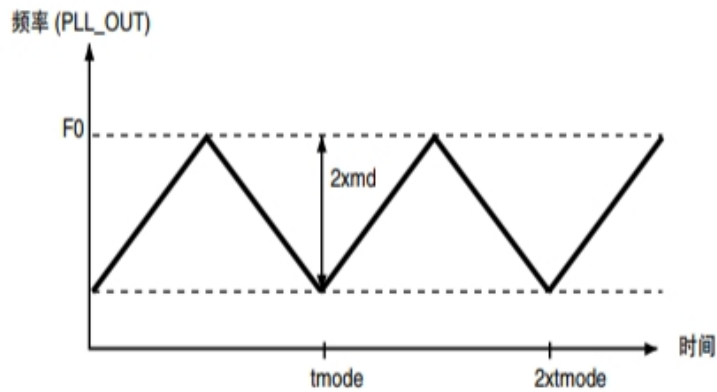


图 4-17 下扩频模式的PLL输出时钟波形

4.3.12 存储器特性

Flash

除非特别说明，否则所有特性均在 $T_A = -55$ 到 125°C 时测得。

器件交付给客户时，Flash已被擦除。

表 4-31 Flash特性

符号	参数	条件	最小值	典型值	最大值	单位
I_{DD}	供电电流	写入/擦除8位模式， $V_{DD}=1.7\text{V}$	-	5	-	mA
		写入/擦除16位模式， $V_{DD}=2.1\text{V}$	-	8	-	
		写入/擦除32位模式， $V_{DD}=3.3\text{V}$	-	12	-	

表 4-32 Flash编程

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
t_{prog}	字编程时间	编程/擦除并行位数 (PSIZE) = $\times 8/16/32$	-	16	100(2)	μs
$t_{ERASE16KB}$	扇区(16KB)擦除时间	编程/擦除并行位数 (PSIZE) = $\times 8$	-	400	800	ms
		编程/擦除并行位数 (PSIZE) = $\times 16$	-	300	600	

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
		编程/擦除并行位数 (PSIZE) =×32	-	250	500	
t _{ERASE64KB}	扇区(64KB)擦除时间	编程/擦除并行位数 (PSIZE) =×8	-	1200	2400	ms
		编程/擦除并行位数 (PSIZE) =×16	-	700	1400	
		编程/擦除并行位数 (PSIZE) =×32	-	550	1100	
t _{ERASE128KB}	扇区(128KB)擦除时间	编程/擦除并行位数 (PSIZE) =×8	-	2	4	s
		编程/擦除并行位数 (PSIZE) =×16	-	1.3	2.6	
		编程/擦除并行位数 (PSIZE) =×32	-	1	2	
t _{ME}	整体擦除时间	编程/擦除并行位数 (PSIZE) =×8	-	16	32	s
		编程/擦除并行位数 (PSIZE) =×16	-	11	22	
		编程/擦除并行位数 (PSIZE) =×32	-	8	16	
V _{prog}	编程电压	32位程序操作	2.7	-	3.6	V
		16位程序操作	2.1	-	3.6	V
		8位程序操作	1.7	-	3.6	V

1. 通过特性分析确定，未经生产测试。
2. 最大编程时间为 100K 次擦除操作之后测得。

表 4-33 Flash可擦写次数和数据保存期限

符号	参数	条件	数值	单位
			最小值(1)	
N _{END}	可擦写次数	T _A =-55到+85℃ (后缀为6) T _A =-55到+125℃ (后缀为7)	10	千次
t _{RET}	数据保存期限	T _A =85℃时1000次擦写(2)	30	年
		T _A =125℃时1000次擦写(2)	10	
		T _A =55℃时10,000次擦写(2)	20	

1. 通过特性分析确定，未经生产测试。
2. 循环测试在整个温度范围内进行。

4.3.13 EMC特性

敏感性测试在器件特性分析期间通过抽样来完成。

功能性EMS（电磁敏感性）

在器件上运行一个简单的应用程序（通过I/O端口切换两个LED）时，器件承受两种电磁干扰，直至出现故障。故障状况由LED指示：

- 静电放电(ESD)（正电和负电）施加到器件所有引脚，直至器件发生功能性故障。该测试符合 IEC 61000-4-2标准。

- FTB：通过一个100pF电容对V_{DD}和V_{SS}引脚施加一个突发的快速瞬变电压（正电压和负电压），直至器件发生功能性故障。该测试符合IEC 61000-4-4 标准。

通过器件复位可恢复正常工作。

测试结果参见表4-34。

表 4-34 EMS特性

符号	参数	条件	级别/分类
V _{FESD}	施加在任意I/O引脚并导致功能性故障的极限电压	V _{DD} =3.3V, LQFP176, T _A =+25°C, f _{HCLK} =168MHz, 符合 IEC61000-4-2标准	2B
V _{EFTB}	通过100pF电容施加在V _{DD} 和V _{SS} 引脚上并导致功能性故障的突发快速瞬变电压	V _{DD} =3.3V, LQFP176, T _A =+25°C, f _{HCLK} =168MHz符合 IEC61000-4-2标准	4A

设计更稳健的软件以避免噪声问题

EMC特性评定与优化通常在组件级采用典型的应用环境和简化的MCU软件执行。应当注意，良好的EMC性能与具体的用户应用和软件密切相关。

因此，建议用户根据其应用所需的EMC级别来执行EMC软件优化和预审测试。

软件建议

- 软件流程图中必须包括对如下失控情况的管理：
- 程序计数器损坏
- 意外复位
- 关键数据损坏（控制寄存器...）

预审试验

大多数常见故障（意外复位和程序计数器损坏）都可以通过在NRST引脚或振荡器引脚手动施加1秒的低电平来再现。

要完成这些测试，可直接对器件施加超出规范值范围的ESD应力。当检测到意外行为时，可相应改进软件以防止发生不可恢复的错误。

电磁干扰(EMI)

当执行EEMBC代码的简单应用运行时，会监控器件发射的电磁场。这项发射测试符合SAE IEC61967-2标准，该标准规定了测试电路板和引脚负载。

表 4-35 EMI特性

符号	参数	条件	监测的频段	最大值与[f _{HSE} /f _{CPU}]	单位
				25/168MHz	
S _{EMI}	峰值	V _{DD} =3.3V, T _A =25°C, LQFP176封装, 符合SAE J1752/3 EEMBC, ART ON, 所有外设时钟启用, 时钟抖动禁用。	0.1 到 30MHz	16	dBμV
			30 到 130MHz	23	
			130 MHz 到 1GHz	25	
			SAM EMI级别	4	-
		V _{DD} =3.3V, T _A =25°C, LQFP176封装, 符合SAE J1752/3 EEMBC, ART ON, 所有外设时钟启用, 时钟抖动启用	0.1 到 30 MHz	17	dBμV
			30 到 130 MHz	8	
			130 MHz到 1GHz	11	
			SAE EMI级别	3.5	-

4.3.14 绝对最大额定值（电气敏感性）

使用特定的测量方法对器件进行三种不同的测试（ESD、LU），以确定其在电气敏感性方面的性能。

静电放电(ESD)

根据每种引脚组合，对每个样本的引脚施加静电放电（一个正脉冲后接着一个负脉冲，两个脉冲间隔一秒钟）。样本大小取决于器件中供电引脚的数目（3个器件x(n+1)个供电引脚）。此项测试符合JESD22-A114/C101标准。

表 4-36 ESD绝对最大额定值

符号	额定值	条件	分类	最大值 ⁽¹⁾	单位
V _{ESD(HBM)}	静电放电电压（人体模型）	T _A =+25°C，符合JESD22-A114标准	2	2000	V
V _{ESD(CDM)}	静电放电电压（充电设备模型）	T _A =+25°C，符合JESD22-C101标准。	II	500	

1. 由特性分析结果保证，未经生产测试。

静态闭锁

为评估闭锁性能，需要对六个器件执行两项互补的静态闭锁测试：

- 对每个电源引脚施加过压
- 对每个输入、输出和可配置I/O引脚施加电流注入

这些测试符合EIA/JESD 78A IC闭锁标准。

表 4-37电气敏感性

符号	参数	条件	分类
LU	静态闭锁分类	T _A =+125°C，符合JESD78A标准	II级A类

4.3.15 I/O电流注入特性

通常情况下，在产品正常工作期间，应避免因外部电压低于VSS或高于VDD（以3VI/O引脚为标准）而引起电流注入I/O引脚。但为了说明微控制器在意外发生异常注入时的稳健性，在器件特性评定期间对样本执行了敏感性测试。

I/O电流的功能敏感性

在器件上执行简单的应用程序，同时在设定为悬空输入模式的I/O引脚注入电流，以向器件施加电流应力。在逐个向I/O引脚注入电流的同时，检查器件是否发生功能性故障。

一旦出现以下参数超出范围的情况，即表明出现故障：ADC误差超过特定限值(>5LSB TUE)，相邻引脚的感应漏电流超出常规限制（超出 - 5μA/+0μA的范围），或出现其它功能性故障（例如复位、振荡器频率偏移）。

负感应漏电流由负注入导致，正感应漏电流由正注入导致。

测试结果参见表4-38。

表 4-38 I/O电流注入敏感性⁽¹⁾

符号	说明	功能敏感性		单位
		注入负电流	注入正电流	
I _{INJ}	BOOT0引脚上的注入电流	-0	NA	mA
	NRST引脚上的注入电流	-0	NA	
	PE2, PE3, PE4, PE5, PE6, PI8, PC13, PC14, PC15, PI9, PI10, PI11, PF0, PF1, PF2, PF3, PF4, PF5, PF10, PH0/OSC_IN, PH1/OSC_OUT, PC0, PC1, PC2, PC3, PB6, PB7, PB8, PB9, PE0, PE1, PI4, PI5, PI6, PI7, PDR_ON, BYPASS_REG上的注入电流	-0	NA	
	TTa引脚上的注入电流: PA4和PA5	-0	+5	
	任何其他FT引脚上的注入电流	-5	NA	

1. 注: 建议在可能注入反向电流的模拟引脚上增加一个肖特基二极管(引脚与地之间)。

4.3.16 I/O端口特性

常规输入/输出特性

除非特别说明, 否则表4-39: I/O静态特性中的参数均在表 4-4所列条件下测试得出。所有I/O均兼容CMOS和TTL。

表 4-39 I/O静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{IL}	FT、TTa和NRST I/O输入低电平	1.7V ≤ V _{DD} ≤ 3.6V	-	-	0.35V _{DD} -0.04 ⁽¹⁾	V
					0.3V _{DD} (2)	
	BOOT0 I/O输入低电平电压	1.75V ≤ V _{DD} ≤ 3.6V, -55°C ≤ T _A ≤ 125°C	-	-	0.1V _{DD} +0.1	
V _{IH}	FT、TTa和NRST I/O输入高电平(5)	1.7V ≤ V _{DD} ≤ 3.6V	0.45V _{DD} +0.3 ⁽¹⁾	-	-	V
	BOOT0 I/O输入高电平电压	1.75V ≤ V _{DD} ≤ 3.6V, -55°C ≤ T _A ≤ 125°C	0.17V _{DD} +0.7 ⁽¹⁾	-	-	
V _{HYS}	FT、TTa和NRST I/O输入迟滞	1.7V ≤ V _{DD} ≤ 3.6V	0.45V _{DD} +0.3 ⁽¹⁾	-	-	V
I _{lkg}	I/O输入泄漏电流 ⁽⁴⁾	V _{SS} ≤ V _{IN} ≤ V _{DD}	-	-	±1	μA
	I/O FT输入泄漏电流(5)	V _{IN} =5V	-	-	3	
R _{PU}	弱上拉等效电阻(6)	V _{IN} =V _{SS}	30	40	50	kΩ
R _{PD}	弱下拉等效电阻(7)	V _{IN} =V _{DD}	30	40	50	kΩ
C _{IO} ⁽⁸⁾	I/O引脚电容	-	5	-	pF	pF

1. 由设计保证, 未经生产测试。
2. 经生产测试。
3. 至少200mV。
4. 若负电流注入相邻引脚, 则漏电流可能高于最大值, 请参考表4-40: I/O电流注入敏感性
5. 要使电压保持在高于V_{DD}+0.3V, 必须禁止内部上拉/下拉电阻。若负电流注入相邻引脚, 则漏电流可能高于最大值, 请参考表4-37: I/O电流注入敏感性

6. 上拉电阻设计为一个串联了可开关PMOS的实际电阻。该PMOS对串联电阻的影响极小（10%左右）。

7. 下拉电阻设计为一个串联了可开关NMOS的实际电阻。该NMOS对串联电阻的影响极小（10%左右）。

8. 施密特触发器开关电平之间的迟滞电压。通过特性分析确定，未经生产测试。

所有I/O均兼容CMOS和TTL（无需软件配置）。它们的特性并不仅限于满足严格的CMOS技术或TTL参数要求。

输出驱动电流

GPIO（通用输入/输出）可提供最大±8mA的拉电流或灌电流，（在放宽 V_{OL}/V_{OH} 的条件下），拉电流或灌电流可达到±20mA，而PC13、PC14、PC15、PI8只提供最大±3mA的拉电流或灌电流。当在输出模式使用PC13至PC15和PI8 GPIO时，在负载最大为30pF时速度不应超过2MHz。

- 所有I/O从 V_{DD} 获得的拉电流总和，加上MCU从 V_{DD} 过绝对最大额定 $\Sigma I_{V_{DD}}$ （请参见表4-2）。
- 所有I/O从 V_{SS} 获得的拉电流总和，加上MCU从 V_{SS} 获得的最大运行消耗拉电流，不能超过绝对最大额定 $\Sigma I_{V_{SS}}$ （请参见表4-2）。

输出电压

除非特别说明，否则表4-40中给出的参数是在表4-4中汇总的环境温度和 V_{DD} 电源电压条件下测试得出的。所有I/O均兼容CMOS和TTL。

表 4-40输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL(1)}$	I/O引脚的输出低电平	CMOS端口(2) $I_{IO}=+8mA$ $2.7V \leq V_{DD} \leq 3.6V$	-	0.4	V
$V_{OH(3)}$	I/O引脚的输出高电平		$V_{DD}-0.4$	-	
$V_{OL(1)}$	I/O引脚的输出低电平	TTL端口(2) $I_{IO}=+8mA$ $2.7V \leq V_{DD} \leq 3.6V$	-	0.4	V
$V_{OH(3)}$	I/O引脚的输出高电平		2.4	-	
$V_{OL(1)}$	I/O引脚的输出低电平	$I_{IO}=+20mA$ $2.7V \leq V_{DD} \leq 3.6V$	-	1.3	V
$V_{OH(3)}$	I/O引脚的输出高电平		$V_{DD}-1.3^{(4)}$	-	
$V_{OL(1)}$	I/O引脚的输出低电平	$I_{IO}=+6mA$ $1.8V \leq V_{DD} \leq 3.6V$	-	0.4	V
$V_{OH(3)}$	I/O引脚的输出高电平		$V_{DD}-0.4$	-	
$V_{OL(1)}$	I/O引脚的输出低电平	$I_{IO}=+4mA$ $1.7V \leq V_{DD} \leq 3.6V$	-	0.4	V
$V_{OH(3)}$	I/O引脚的输出高电平		$V_{DD}-0.4$	-	

1. 器件的 I_{IO} 灌电流必须一直考虑表4-2中规定的绝对最大额定。 I_{IO} （I/O端口和控制引脚）之和一定不能超过 $I_{V_{SS}}$ 。

2. TTL和CMOS输出均符合JEDEC标准 JESD 36和 JESD 52。

3. 器件的IO拉电流必须始终遵循表4-2所列的绝对最大额定值， I_{IO} （I/O端口和控制引脚）的总和不得超过 $I_{V_{DD}}$ 。

4. 基于特性分析数据。

输入/输出交流特性

输入/输出交流特性的定义和值分别在图4-18和表4-41中给出。

除非特别说明，否则表4-41中给出的参数是在表 4-4 中汇总的环境温度和V_{DD}电源电压条件下测试得出的。

表 4-41 I/O交流特性^{(1) (2)}

OSPEEDRy[1:0]位值	参数	符号	测试条件 除另有规定外,V _{DD} =3.3V, V _{BAT} =3.3V, V _{DDA} =3.3V, T _A =-55℃~125℃	最小值	最大值	单位
00	最大频率 ⁽³⁾	f _{max(IO)out}	C _L =50pF, V _{DD} ≥2.7V	—	4	MHz
			C _L =50pF, V _{DD} ≥1.5V	—	2	
			C _L =10pF, V _{DD} ≥2.7V	—	8	
			C _L =10pF, V _{DD} ≥1.8V	—	4	
	输出高至低电平下降时间 及输出低至高电平上升时间	t _{f(IO)out} t _{r(IO)out}	C _L =50pF, V _{DD} =1.8V到3.6V	—	100	ns
01	最大频率 ⁽³⁾	f _{max(IO)out}	C _L =50pF, V _{DD} ≥2.7V	—	25	MHz
			C _L =50pF, V _{DD} ≥1.8V	—	12.5	
			C _L =10pF, V _{DD} ≥2.7V	—	50 ⁽⁴⁾	
			C _L =10pF, V _{DD} ≥1.8V	—	20	
	输出高至低电平下降时间 及输出低至高电平上升时间	t _{f(IO)out} t _{r(IO)out}	C _L =50pF, V _{DD} ≥2.7V	—	10	ns
			C _L =50pF, V _{DD} ≥1.8V	—	20	
			C _L =10pF, V _{DD} ≥2.7V	—	6	
			C _L =10pF, V _{DD} ≥1.8V	—	10	
10	最大频率 ⁽³⁾	f _{max(IO)out}	C _L =40pF, V _{DD} ≥2.7V	—	50	MHz
			C _L =40pF, V _{DD} ≥1.8V	—	25	
			C _L =10pF, V _{DD} ≥2.7V	—	100 ⁽⁴⁾	
			C _L =10pF, V _{DD} ≥1.8V	—	50 ⁽⁴⁾	
	输出高至低电平下降时间 及输出低至高电平上升时间	t _{f(IO)out} t _{r(IO)out}	C _L =40pF, V _{DD} ≥2.7V	—	6	ns
			C _L =40pF, V _{DD} ≥1.8V	—	10	
			C _L =10pF, V _{DD} ≥2.7V	—	4	
			C _L =10pF, V _{DD} ≥1.8V	—	6	
11	最大频率 ⁽³⁾	f _{max(IO)out}	C _L =30pF, V _{DD} ≥2.7V	—	100 ⁽⁴⁾	MHz
			C _L =30pF, V _{DD} ≥1.8V	—	50 ⁽⁴⁾	
			C _L =10pF, V _{DD} ≥2.7V	—	180 ⁽⁴⁾	
			C _L =10pF, V _{DD} ≥1.8V	—	100 ⁽⁴⁾	
	输出高至低电平下降时间 及输出低至高电平上升时间	t _{f(IO)out} t _{r(IO)out}	C _L =30pF, V _{DD} ≥2.7V	—	4	ns
			C _L =30pF, V _{DD} ≥1.8V	—	6	
			C _L =10pF, V _{DD} ≥2.7V	—	2.5	
			C _L =10pF, V _{DD} ≥1.8V	—	4	
-	EXTI控制器检测到的外部信号的脉冲宽度	t _{EXTIpw}	-	10	-	ns

1. 由设计保证，未经生产测试。
2. I/O速度通过OSPEEDRy[1:0]位配置。有关GPIOx_SPEEDR GPIO端口输出速度寄存器的说明，请参见AST32F4xx参考手册。
3. 最大频率在图4-18中定义。
4. 对于最大频率超过 50MHz 且 V_{DD}>2.4V，应使用补偿单元。

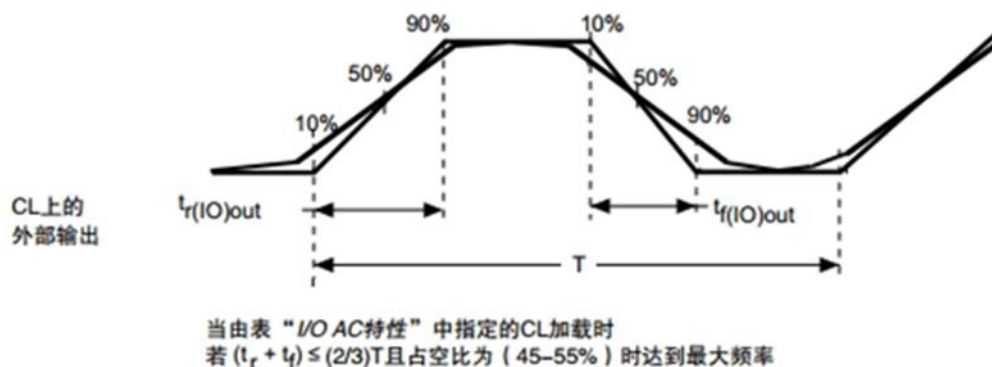


图 4-18 I/O交流特性定义

4.3.17 NRST引脚特性

NRST引脚输入驱动器采用CMOS技术。它连接至一个永久上拉电阻 R_{PU} （请参见表4-39:I/O静态特性）。

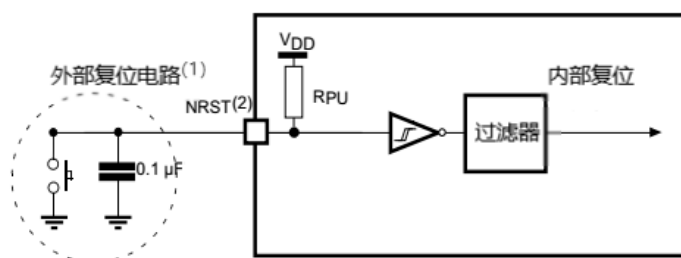
除非特别说明，否则表4-42中给出的参数是在表 4-4 中汇总的环境温度和 V_{DD} 电源电压条件下测试得出的。

表 4-42 NRST引脚特性

符号	参数	测试条件	最小值	典型	最大值	单位
$V_{IL(NRST)}$	NRST输入低电平电压	TTL □ $2.7V \leq V_{DD} \leq 3.6V$	-	-	0.8	V
$V_{IH(NRST)}$	NRST输入高电平电压		2	-	-	
$V_{IL(NRST)}$	NRST输入低电平电压	CMOS □ $1.8V \leq V_{DD} \leq 3.6V$	-	-	$0.3V_{DD}$	
$V_{IH(NRST)}$	NRST输入高电平电压		$0.7V_{DD}$	-	-	
$V_{hys(NRST)}$	NRSTS施密特迟滞	-	-	200	-	mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$	30	40	50	k Ω
$V_{F(NRST)(1)}$	NRST输入滤波脉冲		-	-	100	ns
$V_{NF(NRST)(1)}$	NRST输入非滤波脉冲	$V_{DD} > 2.7V$	300	-	-	ns
T_{NRST_OUT}	生成的复位脉冲时长	内部复位源	20	-	-	μs

1. 上拉电阻和下拉电阻设计为一个串联了可开关PMOS/NMOS的实际电阻。该MOS/NMOS对串联电阻的影响极小（10%左右）。

2. 由设计保证，未经生产测试。



1. 该复位网络可保护器件不发生寄生复位。
2. 用户必须确保NRST引脚上的电平可降至表4-42中指定的 V_{IL} (NRST) 最大电平以下。否则器件不会执行复位。

图 4-19 推荐的NRST引脚保护

4.3.18 TIM定时器特性

表4-43和表4-44中列出的参数由设计保证。

有关输入/输出复用功能特性（输出比较、输入捕捉、外部时钟、PWM输出）的详细信息，请参见第4.3.16章节：I/O端口特性。

表 4-43连接到APB1域⁽¹⁾的TIMx特性

符号	参数	条件	最小值	最大值	单位
t _{res} (TIM)	定时器分辨率时间	AHB/APBx 预分频=1, f _{TIMxCLK} =84MHz	1	-	t _{TIMxCLK}
			11.9	-	ns
		AHB/APBx 预分频=4, f _{TIMxCLK} =42MHz	1	-	t _{TIMxCLK}
			23.8	-	ns
f _{EXT}	CH1到CH4上的定时器外部时钟频率	f _{TIMxCLK} =84MHz APB1=42MHz	0	f _{TIMxCLK} /2	MHz
Re _{STIM}	定时器分辨率		0	42	MHz
t _{COUNTER}	16位计数器选择内部时钟的周期		-	16/32	Bit
	32位计数器选择内部时钟的周期		1	65536	t _{TIMxCLK}
t _{MAX_COUNT}	最大可能计数		0.0119	780	us
			1	-	t _{TIMxCLK}
			0.0119	51130563	us
			-	65536 x 65536	t _{TIMxCLK}
				51.1	s

1. TIMx是TIM2, TIM3, TIM4, TIM5, TIM6, TIM7和TIM12定时器的统称。

表 4-44 连接APB2域⁽¹⁾的TIMx特性

符号	参数	条件	最小值	最大值	单位
t _{res} (TIM)	定时器分辨率时间	AHB/APBx 预分频=1, f _{TIMxCLK} =168MHz	1	-	t _{TIMxCLK}
			5.95	-	ns
		AHB/APBx 预分频=4, f _{TIMxCLK} =84MHz	1	-	t _{TIMxCLK}
			11.9	-	ns
f _{EXT}	CH1到CH4上的定时器外部时钟频率	f _{TIMxCLK} =168MHz APB1=84MHz	0	f _{TIMxCLK} /2	MHz
Re _{STIM}	定时器分辨率		0	84	MHz
t _{COUNTER}	16位计数器选择内部时钟的周期		-	16	Bit
t _{MAX_COUNT}	最大可能计数		1	65536	t _{TIMxCLK}
			-	32768	t _{TIMxCLK}

1. TIMx是TIM8, TIM9, TIM10和TIM11定时器的统称。

4.3.19 通信接口

I2C接口特性

I²C接口符合标准I2C总线规范

- 标准模式 (Sm) : 比特率高达100kbit/s
- Fast-mode (Fm) : 速率可达400kbit/s

当I²C外设被正确配置时, 设计保证了I²C时序要求。

SDA和SCL的 I/O要求满足以下限制: SDA 和 SCL的 I/O 引脚不是“真正的”开路漏极。当配置为开路漏极时, 连接在 I/O 引脚和 V_{DD} 之间的 PMOS 被禁用, 但仍然存在。关于 I²C I/O的详细信息, 请参见4.3.16节: I/O端口特性。

所有I²C SDA 和 SCL I/O 内置模拟滤波器。参考下表的模拟滤波器特点:

表 4-45 I2C模拟滤波器特性⁽¹⁾

符号	参数	最小值	最大值	单位
t _{AF}	被模拟滤波器抑制的峰值的最大脉冲宽度	50 ⁽²⁾	260 ⁽³⁾	ns

1. 由设计保证, 未经生产测试。
2. 对宽度低于t_{AF} (min) 的尖峰进行滤波。
3. 宽度超过t_{AF} (min) 的峰值不被过滤。

SPI接口特性

除非特别说明, 否则表4-46中给出的SPI接口参数均在表4-4中汇总的环境温度、f_{PCLKx}的频率和V_{DD}电源电压条件下测试得出, 其配置如下:

- 输出速度设为OSPEEDRy[1:0]=10
- 容性负载C=30pF
- 在CMOS电平为0.5V_{DD}时完成测量。

有关输入/输出复用功能特性 (对于SPI为NSS、SCK、MOSI、MISO) 的详细信息, 请参见第4.3.16章节: I/O端口特性。

表 4-46 SPI动态特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
t _w (SCKH)	SCK高电平和低电平时间	主模式, SPI预分频=2, 2.7V≤V _{DD} ≤3.6V	T _{PCLK} -0.5	T _{PCLK}	T _{PCLK} +0.5	ns
		主模式, SPI预分频=2, 1.7V≤V _{SS} ≤3.6V	T _{PCLK} -2	T _{PCLK}	T _{PCLK} +2	
t _{su} (NSS)	NSS建立时间	从模式, SPI预分频=2	4xT _{PCLK}	-	-	
t _h (NSS)	NSS保持时间	从模式, SPI预分频=2	4xT _{PCLK}	-	-	
t _{su} (MI)	数据输入建立时间	主模式	6.5	-	-	
t _{su} (SI)		从模式	2.5	-	-	
t _h (MI)	数据输入保持时间	主模式	2.5	-	-	
t _h (SI)		从模式	4	-	-	
t _a (SO) ⁽²⁾	数据输出访问时间	从模式, SPI预分频=2	0	-	4xT _{PCLK}	
t _{dis} (SO) ⁽³⁾	数据输出禁止时间	从模式, SPI1, 2.7V≤V _{DD} ≤3.6V	0	-	7.5	
		从模式, SPI1/2/3和1.7V≤V _{SS} ≤3.6V	0	-	16.5	
t _v (SO)	数据输出有效/保持时	从模式 (使能边沿之后), SPI1,	-	11	13	

符号	参数	条件	最小值	典型值	最大值	单位
t _{h(SO)}	间	2.7V ≤ V _{DD} ≤ 3.6V				
		从模式（使能边沿之后），SPI2/3， 2.7V ≤ V _{DD} ≤ 3.6V	-	12	16.5	
		从模式（使能边沿之后），SPI1， 1.7V ≤ V _{SS} ≤ 3.6V	-	15.5	19	
t _{v(MO)}	数据输出有效时间	从模式（使能边沿之后），SPI2/3， 1.7V ≤ V _{SS} ≤ 3.6V	-	18	20.5	
		主模式（使能边沿之后），SPI1， 2.7V ≤ V _{DD} ≤ 3.6V	-	-	2.5	
		主模式（使能边沿之后）， SPI1/2/3，1.7V ≤ V _{SS} ≤ 3.6V	-	-	4.5	
t _{h(MO)}	数据输出保持时间	主模式（使能边沿之后）	0	-	-	
f _{SCK}	SPI时钟频率	主模式，SPI1，2.7V ≤ V _{DD} ≤ 3.6V	-	-	42	MHz
		从模式，SPI1，2.7V ≤ V _{DD} < 3.6V	-	-	42	
主模式，SPI1/2/3，1.7V ≤ V _{DD} < 3.6V		-	-	21		
从模式，SPI1/2/3，1.7V ≤ V _{DD} < 3.6V		-	-	21		
1/t _{c(SCK)}						
Duty(SCK)	SPI时钟频率的占空比	从模式	30	50	70	%

1. 由特性分析结果保证，未经生产测试
2. 最小时间是驱动输出的最小时间，最大时间是验证数据的最大时间。
3. 最小时间是使输出失效的最小时间，最大时间是将数据放入Hi-Z的最大时间。

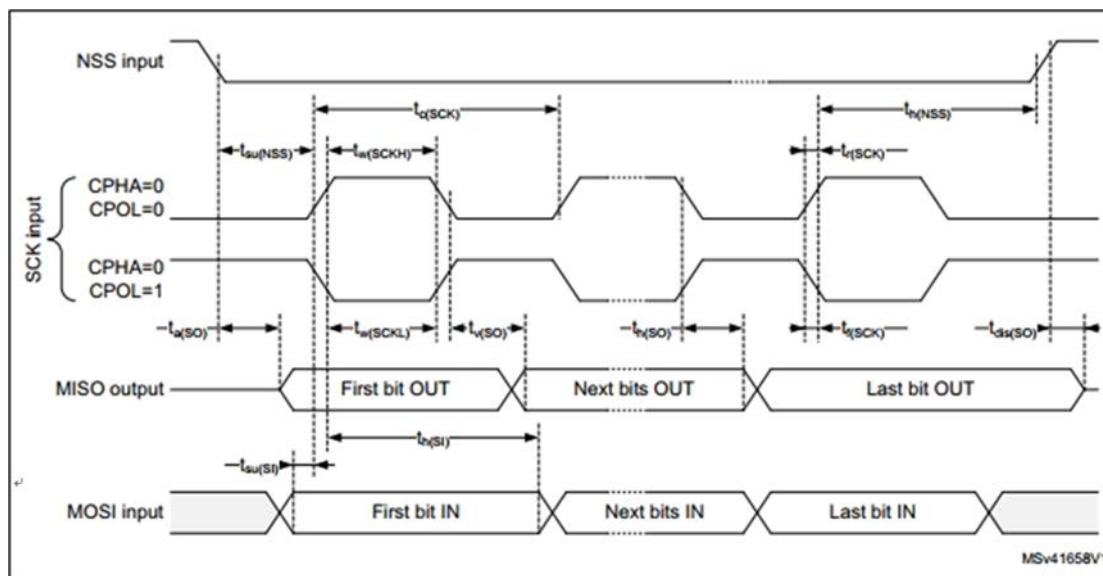


图 4-20 SPI时序图 - 从模式且CPHA=0

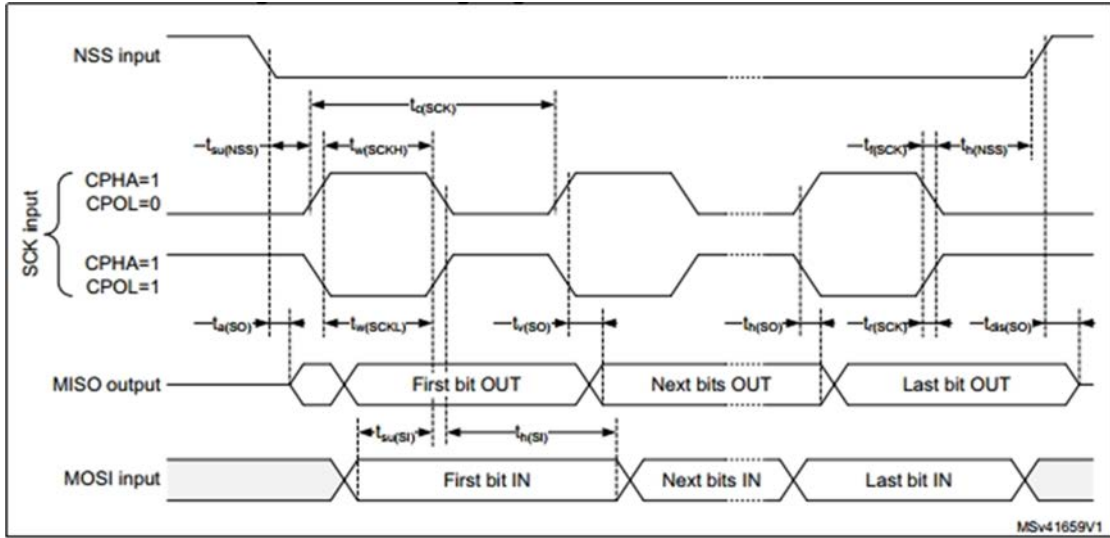


图 4-21 SPI时序图 - 从模式且CPHA=1

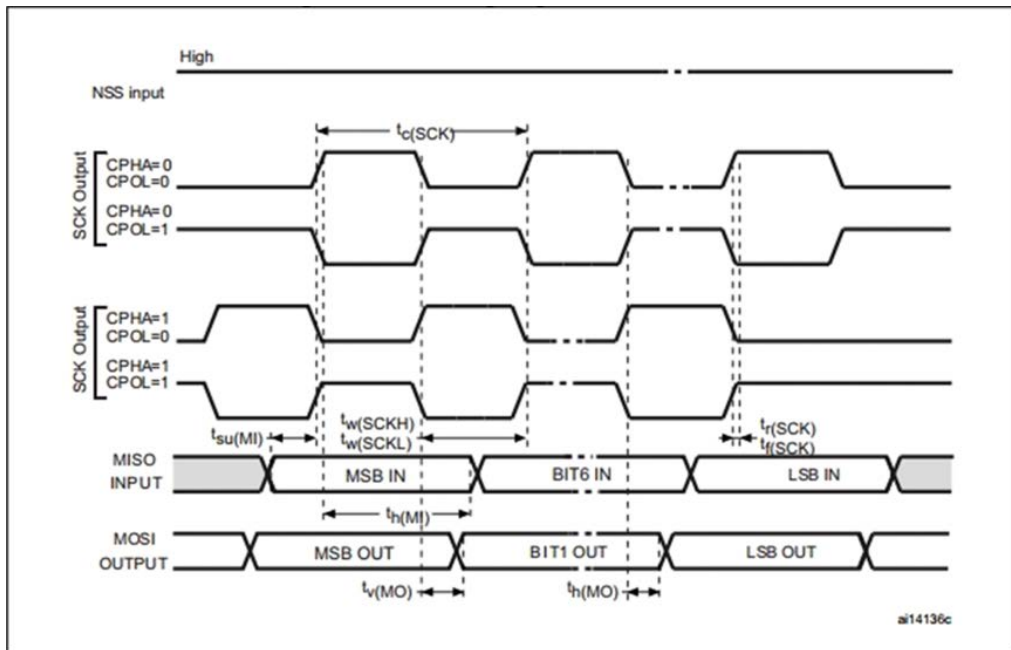


图 4-22 SPI时序图 - 主模式

I2S接口特性

除非特别说明，否则表4-47中给出的I2S接口参数均在表4-4中汇总的环境温度、 $f_{PCL,K}$ 频率和 V_{DD} 电源电压条件下测试得出，其配置如下：

- 输出速度设为 $OSPEEDR_y[1:0]=10$
- 容性负载 $C=30pF$
- 在CMOS电平为 $0.5V_{DD}$ 时完成测量。

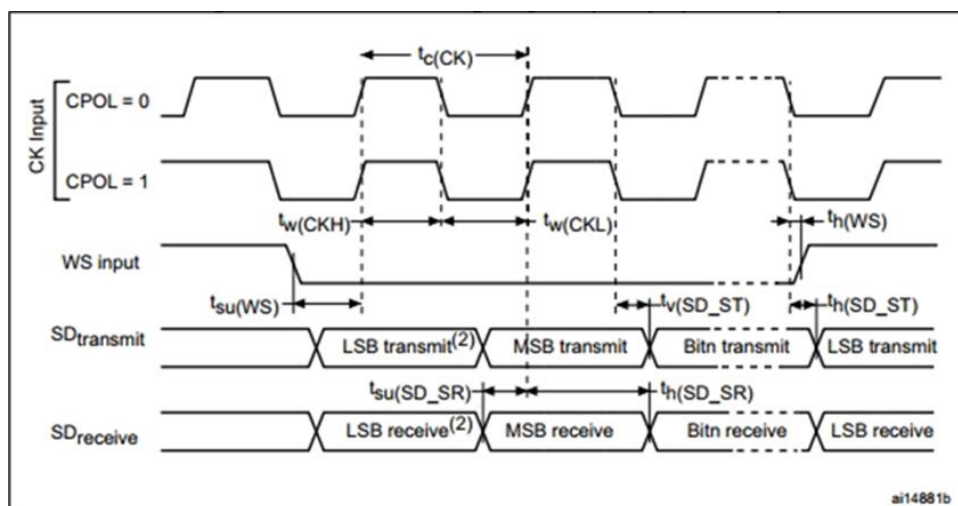
有关输入/输出复用功能特性（CK、SD、WS）的详细信息，请参见第4.3.16章节：I/O端口特

性。

表 4-47 I2S动态特性⁽¹⁾

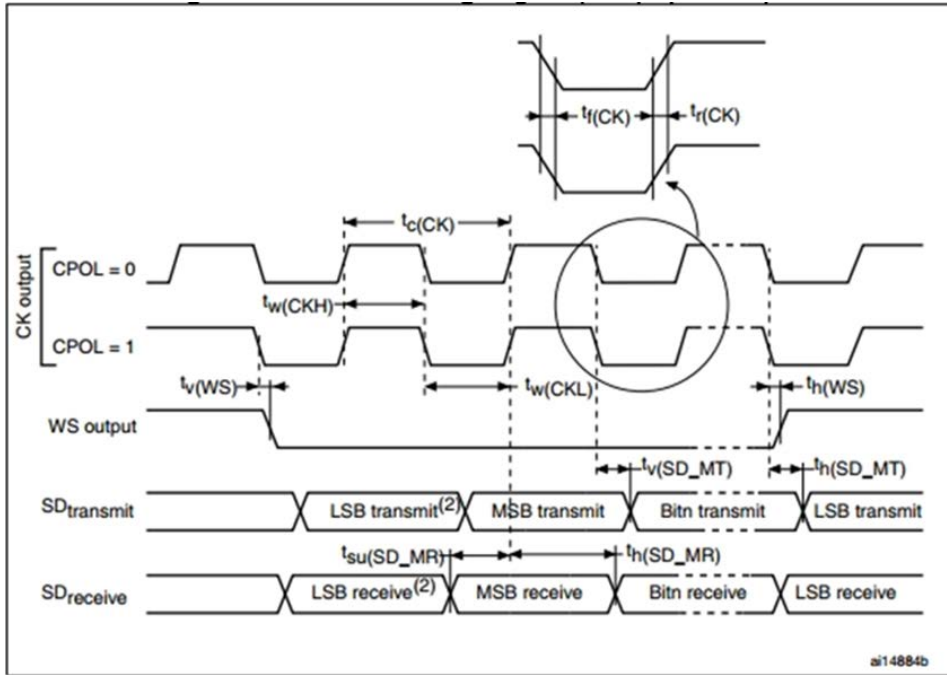
符号	参数	条件	最小值	最大值	单位
f_{MCK}	I2S主时钟输出	-	256x8K	256xFs ⁽²⁾	MHz
f_{CK}	I2S时钟频率	主数据：32位	-	64xFs	MHz
		从数据：32位	-	64xFs	MHz
DCK	I2S时钟频率占空比	从接收器	30	70	%
$t_{v(WS)}$	WS有效时间	主模式	0	6	ns
$t_{h(WS)}$	WS保持时间	主模式	0	-	
$t_{su(WS)}$	WS建立时间	从模式	1	-	
$t_{h(WS)}$	WS保持时间	从模式	0	-	
$t_{su(SD_MR)}$	数据输入建立时间	主接收器	7.5	-	
$t_{su(SD_SR)}$		从接收器	2	-	
$t_{h(SD_MR)}$	数据输入保持时间	主接收器	0	-	
$t_{h(SD_SR)}$		从接收器	0	-	
$t_{v(SD_ST)}$	数据输出有效时间	从发送器（使能边沿之后）	-	27	
$t_{h(SD_ST)}$		主发送器（使能边沿之后）	-	20	
$t_{v(SD_MT)}$	数据输出保持时间	主发送器（使能边沿之后）	2.5	-	
$t_{h(SD_MT)}$		主发送器（使能边沿之后）	2.5	-	

1. 由特性分析结果保证，未经生产测试。
2. 256 x Fs 的最大值为45MHz（APB1最大频率）。



1. 前一发送字节的LSB发送/接收。在首字节前不发送任何LSB发送/接收。

图 4-23 I²S从模式时序图（Philips协议）



1. 前一发送字节的LSB发送/接收。在首字节前不发送任何LSB发送/接收。

图 4-24 I²S从模式时序图 (Philips协议)

USB OTG 全速 (FS) 特性

此接口在 USB OTG HS 和 USB OTG FS 控制器中都存在。

表 4-48 USB OTG全速启动时间

符号	参数	最大值	单位
tSTARTUP(1)	USBOTG全速收发器启动时间	1	μs

1. 由设计保证，未经生产测试。

表 4-49 USB OTG全速直流电气特性

符号	参数	条件	最小值 ⁽¹⁾	典型	最大值 ⁽¹⁾	单位	
输入电平	V _{DD}	USBOTG全速收发器工作电压	-	3.0 ⁽²⁾	-	3.6	V
	V _{DI} ⁽³⁾	差分输入灵敏度	I(USB_FS_DP/DM, USB_HS_DP/DM)	0.2	-	-	
	V _{CM} ⁽³⁾	差分共模范围	包括V _{DI} 范围	0.8	-	2.5	V
	V _{SE} ⁽³⁾	单端接收器阈值	-	1.3	-	2.0	
输出电平	V _{OL}	静态输出低电平	1.5kΩ的R _L 接至3.6V ⁽⁴⁾	-	-	0.3	V
	V _{OH}	静态输出高电平	15kΩ的R _L 接至V _{SS} ⁽⁴⁾	2.8	-	3.6	

1. 所有电压均基于局部接地电位测得。
2. 工作电压降至2.7V时，仍可保证USB OTG全速收发器的功能，但不能保证完整的USB全速电气特性，后者在2.7到3.0V的V_{DD}电压范围内会降级。
3. 由设计保证，未经生产测试。
4. R_L是连接至USB OTG全速驱动器的负载

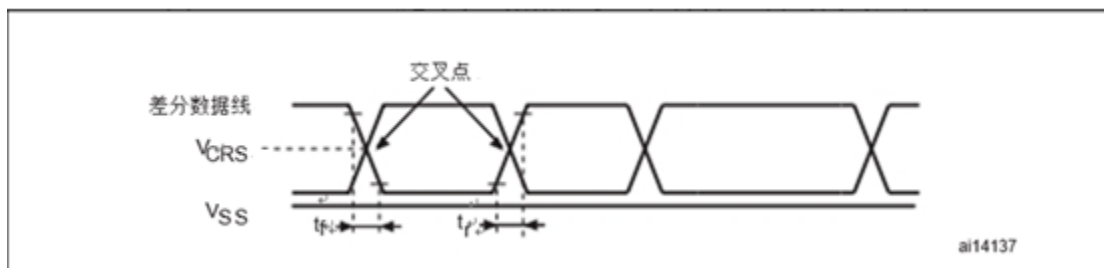


图 4-25 USB OTG全速时序：数据信号上升时间和下降时间的定义

表 4-50 USB OTG全速电气特性⁽¹⁾

驱动器特性					
符号	参数	条件	最小值	最大值	单位
tr	上升时间(2)	CL=50pF	4	20	ns
tf	下降时间(2)	CL=50pF	4	20	ns
trfm	上升/下降时间匹配	tr/tf	90	110	%
VCRS	输出信号交叉电压	-	1.3	2.0	V

- 1、由设计保证，未经生产测试。
- 2、在10%到90%的数据信号区间内测得。更多详细信息，请参见USB技术规范第7章（版本2.0）

USB高速（HS）特性

除非特别说明，否则表4-53中给出的ULPI参数均在表4-52中汇总的环境温度、 f_{HCLK} 频率和表4-50中汇总的 V_{DD} 电源电压条件下测试得出，其配置如下：

- 除非特别说明，输出速度设为OSPEEDRy[1:0]=10
- 除非特别说明，容性负载C=30pF
- 在CMOS电平为0.5VDD时完成测量。

表 4-51 USB HS直流电气特性

符号		参数	最小值(1)	最大值(1)	单位
输入电平	V_{DD}	USBOTGHS工作电压	1.7	3.6	V

- 1、所有电压均基于局部接地电位测得。

表 4-52 USB HS时钟时序参数⁽¹⁾

符号	参数		最小值	典型值	最大值	单位
-	f_{HCLK} 值保证USB HS接口的正常工作		30	-	-	MHz
FSTART_8BIT	频率（第一次转换）	8-bit±10%	54	60	66	MHz
FSTEADY	频率（稳定状态）±500ppm		59.97	60	60.03	MHz
DSTART_8BIT	占空比（第一次转换）	8-bit±10%	40	50	60	%
DSTEADY	占空比（稳定状态）±500ppm		49.975	50	50.025	%
tSTEADY	第一次转换后，达到稳定状态频率和占空比的时间		-	-	1.4	ms
tSTART_DEV	禁止后的时钟启动时间	外设	-	-	5.6	ms
tSTART_HOST		主机	-	-	-	ms
tPREP	输入时钟第一次转换后的PHY准备时间		-	-	-	μs

1. 由设计保证，未经生产测试。

表 4-53 动态特性：USB ULPI

参数	符号	数值 ⁽¹⁾		单位
		最小值	最大值	
ULPI_DIR建立时间内的控制	tsc	-	2.0	ns
ULPI_NXT建立时间内的控制	thc	-	1.5	
(ULPI_DIR, ULPI_NXT)保持时间内的控制	tsd	0	-	
建立时间内的数据	thd	-	2.0	
数据输入保持时间		0	-	
控制输出延迟	tDC	-	9.2	
数据输出延迟	tDD	-	10.7	

1. $V_{DD}=2.7V$ 至 $3.6V$ 和 $T_A = -55$ 至 $85^\circ C$

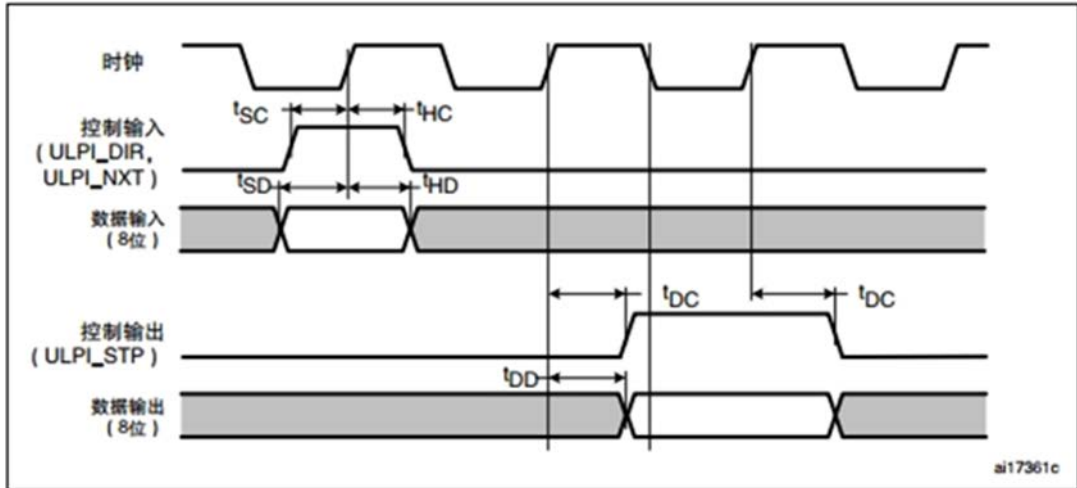


图 4-26 ULPI时序图

以太网特性

除非特别说明，否则表4-55、表4-56、表4-57中给出的SMI、RMII、MII参数均在表4-4中汇总的环境温度、 f_{HCLK} 频率和表4-54中汇总的 V_{DD} 电源电压条件下测试得出，其配置如下：

- 输出速度设为 $OSPEEDRy[1:0]=10$
- 容性负载 $C=30pF$
- 在CMOS电平为 $0.5V_{DD}$ 时完成测量

表 4-54 以太网直流电气特性

符号	参数	最小值(1)	最大值(1)	单位	
输入电平	VDD	以太网工作电压	2.7	3.6	V

1. 所有电压均基于局部接地电位测得。

表4-55 给出了SMI（站管理接口）的以太网MAC信号列表，图4-27显示了相应的时序图。

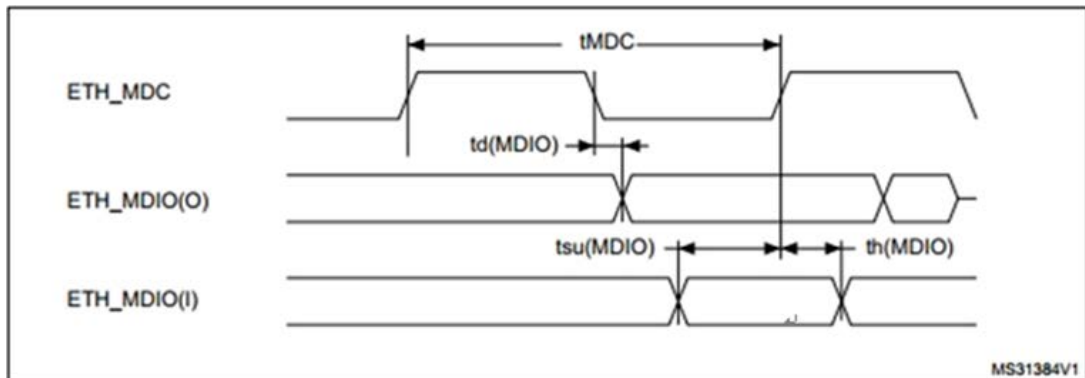


图 4-27 以太网SMI时序图

表 4-55 动态特性：SMI的以太网MAC信号⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
t _{MDC}	MDC周期时间 (2.38MHz)	411	420	425	ns
T _d (MDIO)	写数据有效时间	6	10	13	
t _{su} (MDIO)	读数据建立时间	12	-	-	
t _h (MDIO)	读数据保持时间	0	-	-	

1. 由特性分析结果保证，未经生产测试。

表4-56给出了RMII的以太网MAC信号列表，图4-28显示了相应的时序图。

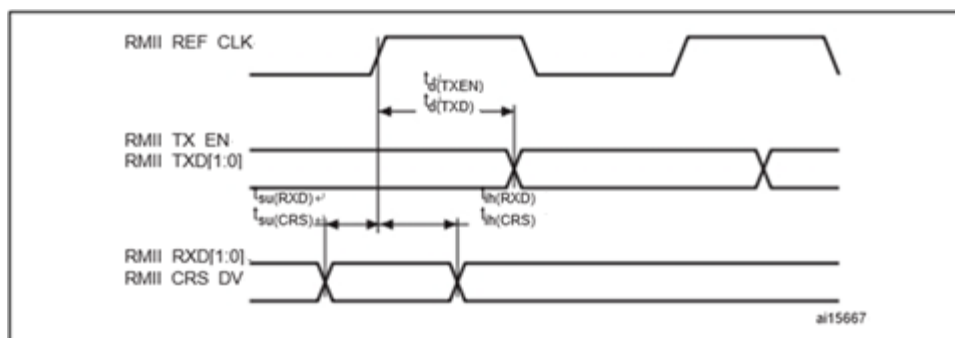


图 4-28 以太网RMII时序图

表 4-56 动态特性：RMII的以太网MAC信号

符号	参数	最小值	典型值	最大值	单位
t _{su} (RXD)	接收数据建立时间	2	-	-	ns
t _{ih} (RXD)	接收数据保持时间	1	-	-	
t _{su} (CRS)	载波监听建立时间	0.5	-	-	
t _{ih} (CRS)	载波监听保持时间	2	-	-	
t _d (TXEN)	发送使能有效延迟时间	8	9.5	11	
t _d (TXD)	发送数据有效延迟时间	8.5	10	11.5	

表4-57给出了MII的以太网MAC信号列表，图4-29显示了相应的时序图。

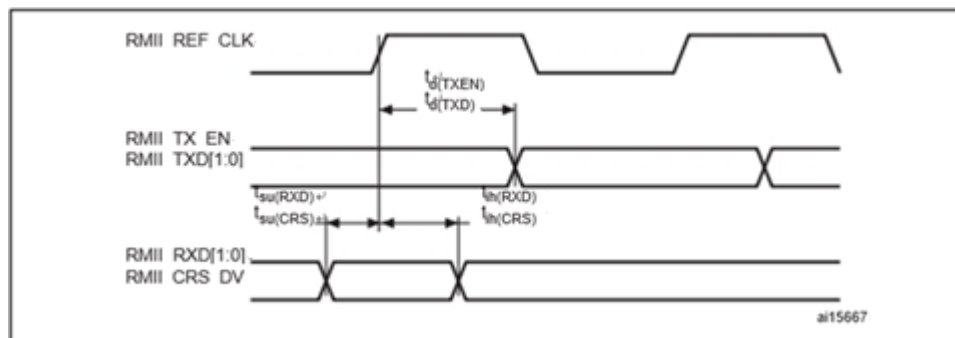


图 4-29 以太网MII时序图

表 4-57 动态特性：MII的以太网MAC信号⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
t _{su} (RXD)	接收数据建立时间	9		-	ns
t _{ih} (RXD)	接收数据保持时间	10		-	
t _{su} (DV)	数据有效建立时间	9		-	
t _{ih} (DV)	数据有效保持时间	8		-	
t _{su} (ER)	误差建立时间	6		-	
t _{ih} (ER)	误差保持时间	8		-	
t _d (TXEN)	发送使能有效延迟时间	0	10	14	
t _d (TXD)	发送数据有效延迟时间	0	10	15	

1. 由特性分析结果保证，未经生产测试。

4.3.20 CAN（控制器局域网）接口

有关输入/输出复用功能特性（CAN_x_TX和CAN_x_RX）的详细信息，请参见第4.3.16章节：I/O端口特性。

4.3.21 12位ADC特性

除非特别说明，否则表4-58中给出的参数均在表 4-4中汇总的环境温度、f_{PCLK2}频率和V_{DDA}电源电压条件下测试得出的。

表 4-58 ADC特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	电源		1.8 ⁽¹⁾	-	3.6	V
V _{REF+}	正参考电压		1.8 ^{(1) (2)} (3)	-	V _{DD}	
V _{REF-}	负参考电压		-	0	-	
f _{ADC}	ADC时钟频率	V _{DDA} =1.8 ^{(1) (3)} 到2.4V	0.6	15	18	MHz
		V _{DDA} =2.4到3.6V ⁽³⁾	0.6	30	36	MHz
f _{TRIG} ⁽⁴⁾	外部触发器频率	f _{ADC} =30MHz 12位分辨率	-	-	1764	KHz
		-	-	-	17	1/f _{ADC}
V _{AIN}	转换电压范围 ⁽⁵⁾	-	0	-	V _{REF+}	V
R _{AIN} ⁽⁴⁾	外部输入阻抗		-	-	50	kΩ
R _{ADC} ^{(4) (6)}	采样开关电阻		-	-	6	kΩ
C _{ADC} ⁽⁴⁾	内部采样和保持电容		-	4	-	pF
t _{lat} ⁽⁴⁾	注入触发器转换延迟	f _{ADC} =30MHz	-	-	0.100	us
			-	-	3 ⁽⁷⁾	1/f _{ADC}
t _{latr} ⁽⁴⁾	常规触发器转换延迟	f _{ADC} =30MHz	-	-	0.067	us
			-	-	2 ⁽⁷⁾	1/f _{ADC}
t _s ⁽⁴⁾	采样时间	f _{ADC} =30MHz	0.100	-	16	us
			3	-	480	1/f _{ADC}
t _{STAB} ⁽⁴⁾	上电时间		-	2	3	us
t _{CONV} ⁽⁴⁾	总转换时间（包括采样时间）	f _{ADC} =30MHz 12位分辨率	0.50	-	16.4	us
f _s ⁽⁴⁾	采样率 (f _{ADC} =30MHz 和t _s =3个ADC周期)	12位分辨率单ADC	-	-	2	MspS
		12位分辨率 交织双重ADC模式	-	-	3.75	MspS
		12位分辨率	-	-	6	MspS

符号	参数	条件	最小值	典型值	最大值	单位
		交织三重ADC模式		-		
I _{VREF+} ⁽⁴⁾	转换模式中的ADC V _{REF} DC电流消耗	-	-		500	uA
I _{VREF-} ⁽⁴⁾	转换模式中的ADC V _{DDA} DC电流消耗	-	-		1.8	mA

1. 使用外部电源监控器时，可达到1.7V的V_{DDA}最小值（请参考章节：内部复位OFF）。
2. 建议V_{REF-}和V_{DDA}之间的电压差保持在1.8V_e以下
3. V_{DDA}-V_{REF} < 1.2V
4. 通过特性分析确定
5. V_{REF+}可内部连接至V_{DDA}，V_{REF-}可内部连接至V_{SSA}。
6. R_{ADC}最大值在V_{DD}=1.8V给出，最小值在V_{DD}=3.3V给出。
7. 对于外接触发器，必须将表4-58中指定的延迟加上1/f_{PCLK2}的延时。

公式1: R_{AIN}最大值公式

$$R_{AIN} = \frac{(k-0.5)}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

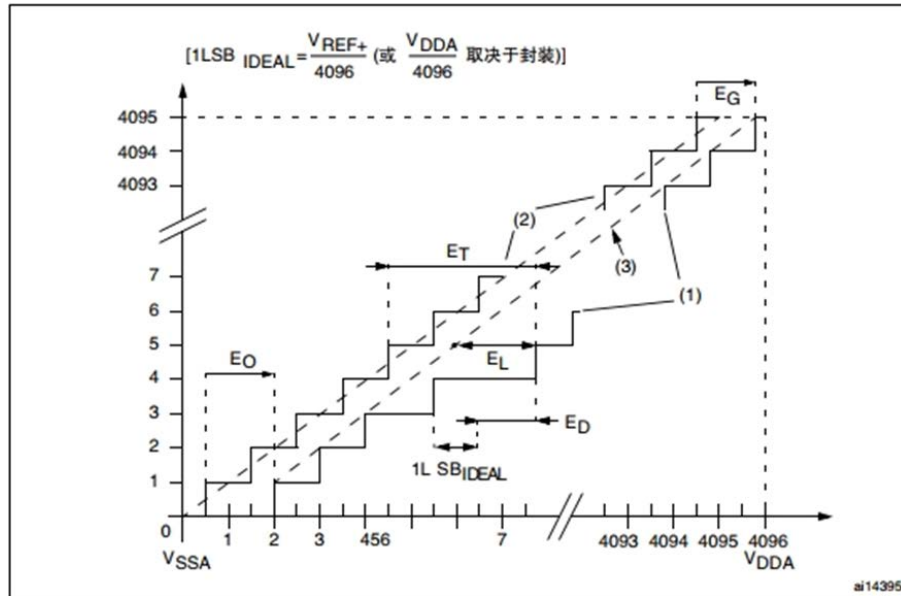
上式（公式1）用于确定使误差低于1/4LSB的最大外部阻抗。其中N=12（12位分辨率），k为ADC_SMPR1寄存器中定义的采样周期数。

表 4-59 f_{ADC}=30MHz时的ADC静态精度

符号	参数	测试条件	典型值	最大值 ⁽¹⁾	单位
ET	总未调整误差	fPCLK2=60MHz, fADC=30MHz, RAIN<10kΩ, VDDA=1.8 ⁽²⁾ 到3.6V	±2	±5	LSB
EO	偏移误差		±1.5	±2.5	
EG	增益误差		±1.5	±3	
ED	微分线性误差		±1	±2	
EL	积分线性误差		±1.5	±3	

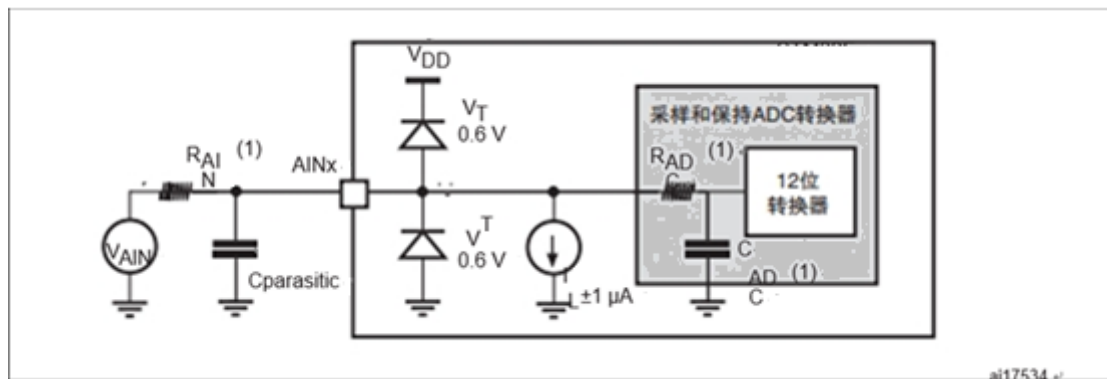
1. 由特性分析结果保证
2. 在降低的温度范围内，使用外部电源管理器（请参考“内部复位OFF”章节），可以得到V_{DD}/V_{DDA}的最小值为1.7V

注：ADC精度与反向注入电流：应避免在任何模拟输入引脚上注入反向电流，这样做会显著降低另一个模拟输入上正在进行的转换作业的精度。建议在可能注入反向电流的模拟引脚上增加一个肖特基二极管（引脚与地之间）。只要正向注入电流处于第4.3.16章节中为I_{INJ(PIN)}和SI_{INJ(PIN)}指定的限值范围内，就不会影响ADC精度。



1. 另请参见表4-59。
2. 实际传输曲线举例。
3. 理想传输曲线。
4. 端点相关线。
5. ET=总未调整误差：实际和理想传输曲线间的最大偏离。
EO=偏移误差：第一次实际转换和第一次理想转换间的偏离。
EG=增益误差：最后一次理想转换和最后一次实际转换间的偏离。
ED=微分线性误差：实际步进和理想值间的最大偏离。
EL=积分线性误差：任何实际转换和端点相关线间的最大偏离。

图 4-30 ADC精度特性

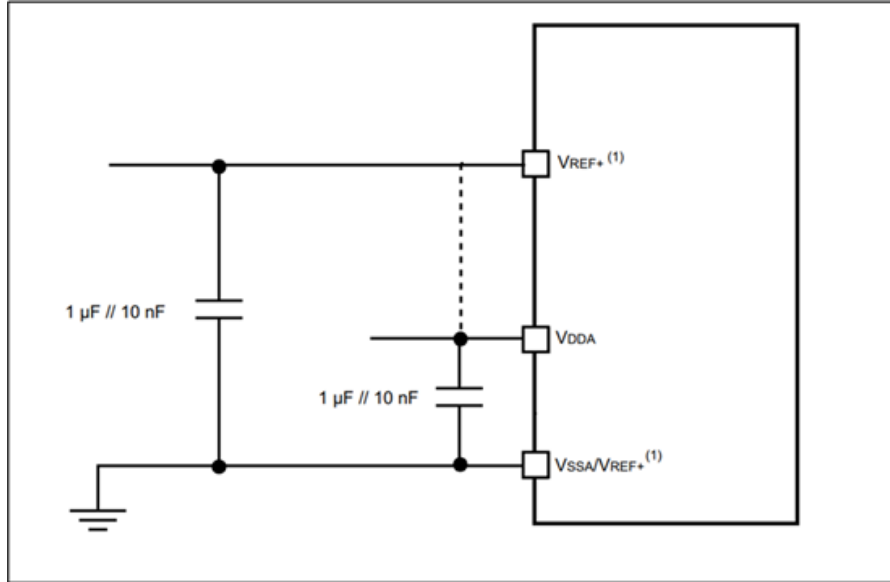


1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 值的信息，请参见表4-58。
2. $C_{parasitic}$ 表示PCB电容（取决于焊接和PCB布线质量）以及焊盘电容（约5pF）。 $C_{parasitic}$ 值较高会导致转换精度降低。要解决这一问题，应减小 f_{ADC} 。

图 4-31 使用ADC的典型连接图

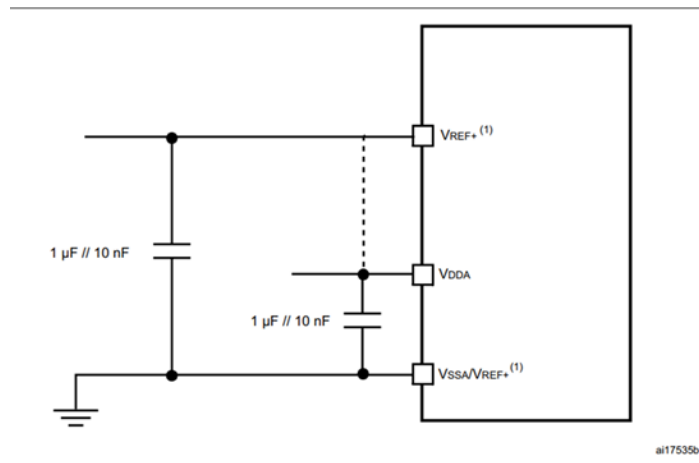
通用PCB设计准则

应按照图4-32或图4-33所示对电源进行去耦，具体取决于 V_{REF+} 是否与 V_{DDA} 相连。10nF电容应为（优质）陶瓷电容。这些电容应尽可能靠近芯片。



1. V_{REF+} 和 V_{REF-} 输入在BGA176上都可用。 V_{REF+} 还在LQFP100、LQFP144、LQFP176上可用。当 V_{REF+} 和 V_{REF-} 不可用时，它们内部连至 V_{DDA} 和 V_{SSA} 。

图 4-32 电源和参考电源去耦 (V_{REF+} 未连接到 V_{DDA})



1. V_{REF+} 和 V_{REF-} 输入在BGA176上都可用。 V_{REF+} 还在LQFP100、LQFP144、LQFP176上可用。当 V_{REF+} 和 V_{REF-} 不可用时，它们内部连至 V_{DDA} 和 V_{SSA} 。

图 4-33 电源和参考电源去耦 (V_{REF+} 未连接到 V_{DDA})

4.3.22 温度传感器特性

表 4-60 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 1	± 2	$^{\circ}C$
$Avg_Slope^{(1)}$	平均斜率	-	2.5		mV/ $^{\circ}C$
$V_{25}^{(1)}$	25 $^{\circ}C$ 时的电压	-	0.76		V
$t_{START}^{(2)}$	启动时间	-	6	10	μs
$T_{S_temp}^{(2)}$	读取温度时的ADC采样时间（精度为1 $^{\circ}C$ ）	10	-	-	μs

1. 通过特性分析确定，未经生产测试。
2. 由设计保证，未经生产测试。

表 4-61 温度传感器校准值

符号	参数	存储器地址
TS_CAL1	TSADC原始数据在温度30 $^{\circ}C$ ， $V_{DDA}=3.3V$ 时获取	0x1FFF7A2C-0x1FFF7A2D
TS_CAL2	TSADC原始数据为温度110 $^{\circ}C$ ， $V_{DDA}=3.3V$ 时获取	0x1FFF7A2E-0x1FFF7A2F

4.3.23 VBAT监控特性

表 4-62 V_{BAT} 监控特性

符号	参数	最小值	典型值	最大值	单位
R	VBAT的电阻桥	-	50	-	K Ω
Q	VBAT测量的比值	-	4	-	
$Er^{(1)}$	Q的误差	-1	-	+1	%
$t_{S_vbat}^{(1)(2)}$	读取 V_{BAT} 时的ADC采样时间1mV精度	5	-	-	μs

1. 设计保证，未经生产测试。
2. 最短采样时间可由应用程序通过多次迭代确定。

4.3.24 参考电压

表4-63中给出的参数是在表 4-4中汇总的环境温度和 V_{DD} 电源电压条件下测试得出的。

表 4-63 内部参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内部参考电压	$-55^{\circ}C < T_A < +125^{\circ}C$	1.18	1.21	1.24	V
$T_{S_vrefint}^{(1)}$	读取内部参考电压时的ADC采样时间	-	10	-	-	μs
$V_{RERINT}^{(2)}$	整个温度范围内的内部参考电压	$V_{DD}=3V$	-	3	5	mV
$T_{Coff}^{(2)}$	温度系数	-	-	30	50	ppm/ $^{\circ}C$
$t_{START}^{(2)}$	启动时间	-	-	6	10	μs

1. 最短采样时间可由应用程序通过多次迭代确定。
2. 由设计保证，未经生产测试。

表 4-64 内部参考电压校准值

符号	参数	存储器地址
V_{REFIN_CAL}	原始数据在温度30 $^{\circ}C$ ， $V_{DDA}=3.3V$ 时获取	0x1FFF7A2A-0x1FFF7A2B

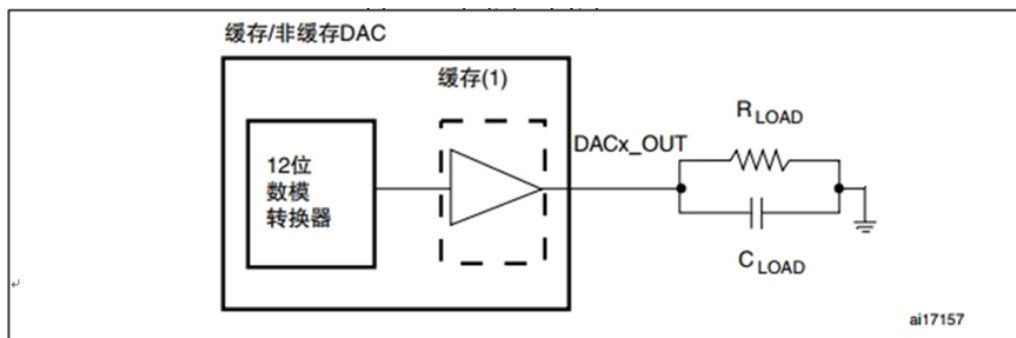
4.3.25 DAC电气特性

表 4-65 DAC特性

符号	参数	最小值	典型值	最大值	单位	注释
V _{DDA}	模拟电源电压	1.8 ⁽¹⁾	-	3.6	V	
V _{REF+}	参考电源电压	1.8 ⁽¹⁾	-	3.6	V	V _{REF+} ≤ V _{DDA}
V _{SSA}	接地	0	-	0	V	
R _{LOAD} ⁽²⁾	缓冲器开启时的阻性负载	5	-	-	kΩ	
R _O ⁽²⁾	缓冲器关闭时的阻抗输出	-	-	15	kΩ	缓冲器关闭时, 要使精度为1%, DAC_OUT与VSS之间的最小阻性负载为1.5MΩ
C _{LOAD} ⁽²⁾	容性负载	-	-	50	pF	DAC_OUT引脚上的最大容性负载(缓冲器开启时)。
DAC_OUT _{min} ⁽²⁾	缓冲器开启时的DAC_OUT电压下限	0.2	-	-	V	它给出了DAC的最大输出幅度。对应于12位输入代码(0x0E0)到(0xF1C) (V _{REF+} =3.6V时) 以及(0x1C7)到(0xE38) (V _{REF+} =1.8V时)。
DAC_OUT _{max} ⁽²⁾	缓冲器开启时的DAC_OUT电压上限	-	-	V _{DDA} -0.2	V	
DAC_OUT _{min} ⁽²⁾	缓冲器关闭时的DAC_OUT电压下限	-	0.5	-	mV	它给出了DAC的最大输出幅度。
DAC_OUT _{max} ⁽²⁾	缓冲器关闭时的DAC_OUT电压上限	-	-	V _{REF+} - 1LSB	V	
I _{VREF+} ⁽⁴⁾	静止模式(待机模式)下的DACDCVREF直流电流消耗	-	170	240	μA	无负载, 在输入上的直流消耗方面, 对应于V _{REF+} =3.6V时的最差代码(0x800)
		--	50	75	μA	无负载, 在输入上的直流消耗方面, 对应于V _{REF+} =3.6V时的最差代码(0xF1C)
I _{DDA} ⁽⁴⁾	静止模式下的DACDCVDDA电流消耗	-	280	380	μA	无负载, 输入端采用中间代码(0x800)
		-	475	625	μA	无负载, 在输入上的直流消耗方面, 对应于V _{REF+} =3.6V时的最差代码(0xF1C)
DNL ⁽⁴⁾	微分非线性误差(两个连续代码之间的偏差-1LSB)	-	-	±2	LSB	针对12位配置中的DAC提供。
INL ⁽⁴⁾	积分非线性误差(代码i处测得的值与代码0及最后一个代码1023之间连线上代码i处的值之间的差)	-	-	±4	LSB	针对12位配置中的DAC提供。
偏移 ⁽⁴⁾	偏移误差(代码(0x800)处测得值与理想值V _{REF+} /2之间的差)	-	-	±10	mV	针对12位配置中的DAC提供
		-	-	±12	LSB	针对12位配置中的DAC提供, V _{REF+} =3.6V
增益误差 ⁽⁴⁾	增益误差	-	-	±0.5	%	针对12位配置中的DAC提供
t _{SETTLING} ⁽⁴⁾	建立时间(满刻度: 适用于当DAC_OUT达到最终值±4LSB时, 最低输入代码与最高输入代码之间的10位输入代码转换)	-	-	6	μs	C _{LOAD} ≤ 50pF, R _{LOAD} ≥ 5kΩ
THD ⁽⁴⁾	总谐波失真缓冲器ONa	-	-	-	dB	C _{LOAD} ≤ 50pF, R _{LOAD} ≥ 5kΩ
更新率 ⁽²⁾	当输入代码略有变化(从代码i到i+1LSB)时, 确保DAC_OUT变化正确的最大频率	-	-	1	MS/s	C _{LOAD} ≤ 50pF, R _{LOAD} ≥ 5kΩ
t _{WAKEUP} ⁽⁴⁾	从关闭状态唤醒的时间(在DAC控制寄存器中将	-	-	10	μs	C _{LOAD} ≤ 50pF, R _{LOAD} ≥ 5kΩ 介于可能的最低值和最高值之间的

符号	参数	最小值	典型值	最大值	单位	注释
	ENx位置1)					输入代码。
PSRR+ ⁽²⁾	电源抑制比（相对于V _{DDA} ）（静态直流测量）	-		-40	dB	无R _{LOAD} , C _{LOAD} =50pF

1. 使用外部电源监控器时，可达到1.7V的V_{DDA}最小值。
2. 由设计保证，未经生产测试。
3. 静止模式对应的状态为，DAC保持在稳定的输出电平以确保无动态消耗发生。
4. 由特性分析结果保证，未经生产测试。



1. DAC集成了输出缓冲器，可用来降低输出阻抗并在不使用外部运算放大器的情况下直接驱动外部负载。如果将DAC_CR寄存器的BOFFx位置1，可将该缓冲器旁路。

图 4-34 12位缓冲/非缓冲 DAC

4.3.26 FSMC特性

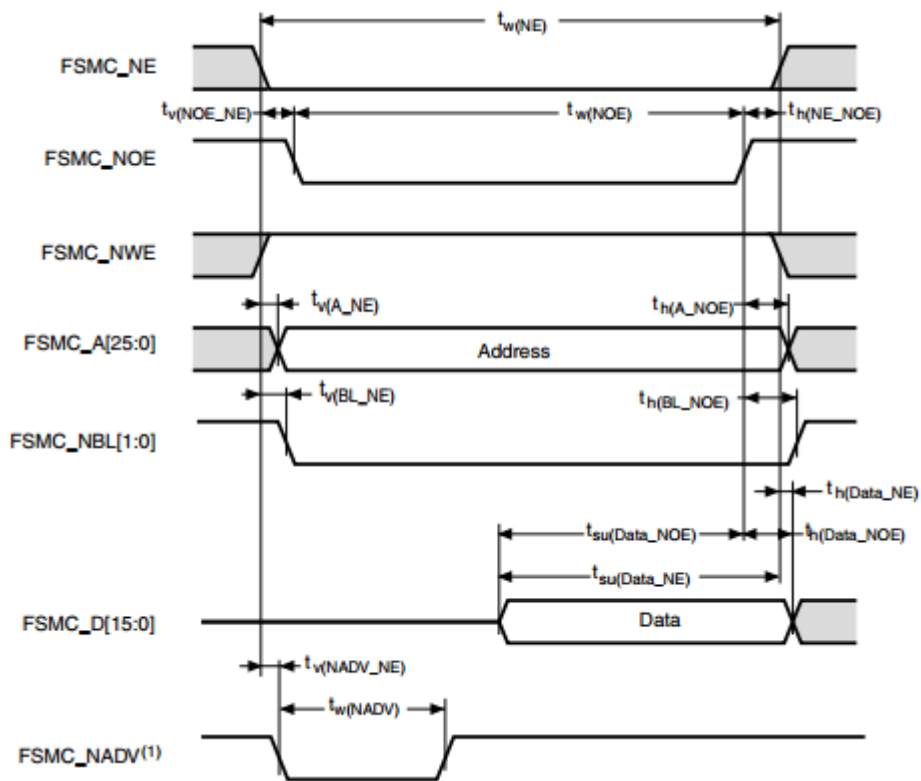
除非特别说明，否则表4-66至表4-77中给出的FMC接口参数均在表 4-4中汇总的环境温度、f_{HCLK}频率和V_{DD}电源电压条件下测试得出，其配置如下：

- 输出速度设为OSPEEDRy[1:0]=10
- 电容负载C=30pF
- 在CMOS电平为0.5V_{DD}时完成测量。

异步波形和时序

图4-35到图4-38所示为异步波形，表4-66到表4-69则给出了相应的时序。这些表格中的结果在如下FMC配置条件下获得：

- 地址建立时间=1
- 地址保持时间=0x1
- 数据建立时间=0x1
- 在所有时序，T_{HCLK}为HCLK的时钟。



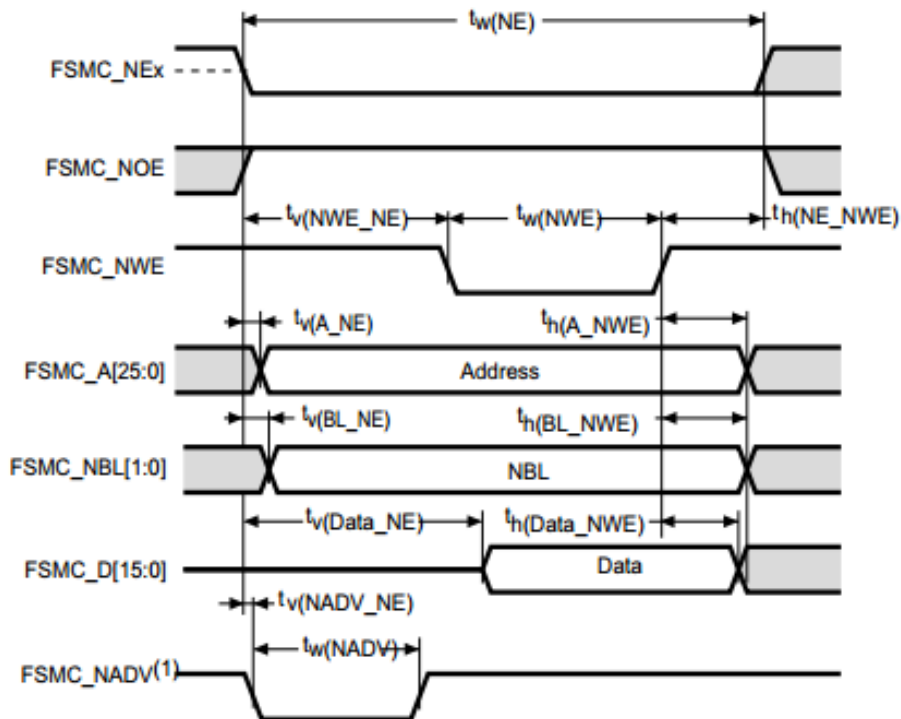
1. 仅限模式2/B、C和D。在模式1中不使用FMC_NADV。

图 4-35 异步非复用SRAM/PSRAM/NOR读操作波形

表 4-66 异步非复用SRAM/PSRAM/NOR-读时序^{(1) (2)}

符号	参数	最小值	最大值	单位
$t_w(NE)$	FSMC_NE为低电平的时间	$2T_{HCLK}-0.5$	$2T_{HCLK}+0.5$	ns
$t_v(NOE_NE)$	FSMC_NEx变为低电平到FSMC_NOE变为低电平的间隔时间	0.5	3	ns
$t_w(NOE)$	FSMC_NOE为低电平的时间	$2T_{HCLK}-2$	$2T_{HCLK}+2$	ns
$t_h(NE_NOE)$	FSMC_NOE变为高电平到FSMC_NE变为高电平的保持时间	0	-	ns
$t_v(A_NE)$	FSMC_NEx变为低电平到FSMC_A有效的间隔时间	-	4.5	ns
$t_h(A_NOE)$	FSMC_NOE变为高电平后的地址保持时间	4	--	ns
$t_v(BL_NE)$	FSMC_NEx变为低电平到FSMC_BL有效的间隔时间	-	1.5	ns
$t_h(BL_NOE)$	FSMC_NOE变为高电平后FSMC_BL的保持时间	0	-	ns
$t_{su}(Data_NE)$	FSMC_NEx变为高电平前的数据建立时间	$T_{HCLK}+4$	-	ns
$t_{su}(Data_NOE)$	FMC_NOEx变为高电平前的数据建立时间	$T_{HCLK}+4$	-	ns
$t_h(Data_NOE)$	FMC_NOE变为高电平后的数据保持时间	0	-	ns
$t_h(Data_NE)$	FMC_NEx变为高电平后的数据保持时间	0	-	ns
$t_v(NADV_NE)$	FMC_NEx变为低电平到FMC_NADV变为低电平的间隔时间	-	2	ns
$t_w(NADV)$	FMC_NADV为低电平的时间	-	T_{HCLK}	ns

1. $C_L=30pF$.
2. 通过特性分析确定，未经生产测试。



1. 仅限模式2/B、C和D。在模式1中不使用FMC_NADV。

图 4-36 异步非复用SRAM/PSRAM/NOR写操作波形

表 4-67 异步非复用SRAM/PSRAM/NOR写操作时序 (1) (2)

符号	参数	最小值	最大值	单位
$t_w(\text{NE})$	FMC_NE为低电平的时间	$3T_{\text{HCLK}}$	$3T_{\text{HCLK}}+1$	ns
$t_v(\text{NWE_NE})$	FMC_NEx变为低电平到FMC_NWE变为低电平的间隔时间	$T_{\text{HCLK}}-0.5$	$T_{\text{HCLK}}+0.5$	ns
$t_w(\text{NWE})$	FMC_NWE为低电平的时间	$T_{\text{HCLK}}-1$	$T_{\text{HCLK}}+1$	ns
$t_h(\text{NE_NWE})$	FMC_NWE变为高电平到FMC_NE变为高电平的保持时间	$T_{\text{HCLK}}-1$	-	ns
$t_v(\text{A_NE})$	FMC_NEx变为低电平到FMC_A有效的间隔时间	-	0	ns
$t_h(\text{A_NWE})$	FMC_NWE变为高电平后的地址保持时间	$T_{\text{HCLK}}-2$	-	ns
$t_v(\text{BL_NE})$	FMC_NEx变为低电平到FMC_BL有效的间隔时间	-	1.5	ns
$t_h(\text{BL_NWE})$	FMC_NWE变为高电平后FMC_BL的保持时间	$T_{\text{HCLK}}-1$	-	ns
$t_v(\text{Data_NE})$	数据到FMC_NEx变为低电平到数据有效	-	$T_{\text{HCLK}}+3$	ns
$t_h(\text{Data_NWE})$	FMC_NWE变为高电平后的数据保持时间	$T_{\text{HCLK}}-1$	-	ns
$t_v(\text{NADV_NE})$	FMC_NEx变为低电平到FMC_NADV变为低电平的间隔时间	-	2	ns
$t_w(\text{NADV})$	FMC_NADV为低电平的时间	-	$T_{\text{HCLK}}+0.5$	ns

1. $C_L=30\text{pF}$.
2. 通过特性分析确定，未经生产测试。

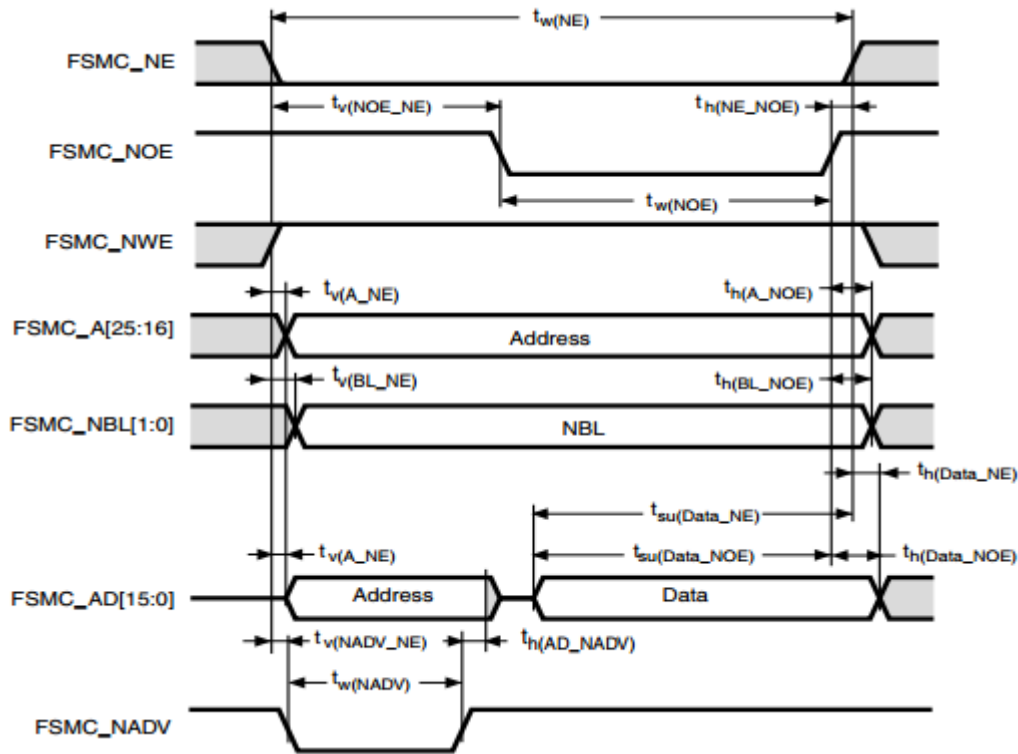


图 4-37 异步复用PSRAM/NOR读操作波形

表 4-68 异步复用PSRAM/NOR读操作时序^{(1) (2)}

符号	参数	最小值	最大值	单位
$t_w(\text{NE})$	FMC_NE为低电平的时间	$3T_{\text{HCLK}}-1$	$3T_{\text{HCLK}}+1$	ns
$t_v(\text{NOE_NE})$	FMC_NEx变为低电平到FMC_NOE变为低电平的间隔时间	$2T_{\text{HCLK}}-0.5$	$2T_{\text{HCLK}}+0.5$	ns
$t_w(\text{NOE})$	FMC_NOE为低电平的时间	$T_{\text{HCLK}}-1$	$T_{\text{HCLK}}+1$	ns
$t_h(\text{NE_NOE})$	FMC_NOE变为高电平到FMC_NE变为高电平的保持时间	0	-	ns
$t_v(\text{A_NE})$	FMC_NEx变为低电平到FMC_A有效的间隔时间	-	3	ns
$t_v(\text{NADV_NE})$	FMC_NEx变为低电平到FMC_NADV变为低电平的间隔时间	1	2	ns
$t_w(\text{NADV})$	FMC_NADV为低电平的时间	$T_{\text{HCLK}}-2$	$T_{\text{HCLK}}+1$	ns
$t_h(\text{AD_NADV})$	FMC_NADV变为高电平后FMC_AD（地址）有效的保持时间	T_{HCLK}	-	ns
$t_h(\text{A_NOE})$	FMC_NOE变为高电平后的地址保持时间	$T_{\text{HCLK}}-1$	-	ns
$t_h(\text{BL_NOE})$	FMC_NOE变为高电平后FMC_BL的时间	0	-	ns
$t_v(\text{BL_NE})$	FMC_NEx变为低电平到FMC_BL有效的间隔时间	-	2	ns
$t_{su}(\text{Data_NE})$	FMC_NEx变为高电平前的数据建立时间	$T_{\text{HCLK}}+4$	-	ns
$t_{su}(\text{Data_NOE})$	FMC_NOE变为高电平前的数据建立时间	$T_{\text{HCLK}}+4$	-	ns
$t_h(\text{Data_NE})$	FMC_NEx变为高电平后的数据保持时间	0	-	ns
$t_h(\text{Data_NOE})$	FMC_NOE变为高电平后的数据保持时间	0	-	ns

1. $C_i=30\text{pF}$.
2. 通过特性分析确定，未经生产测试。

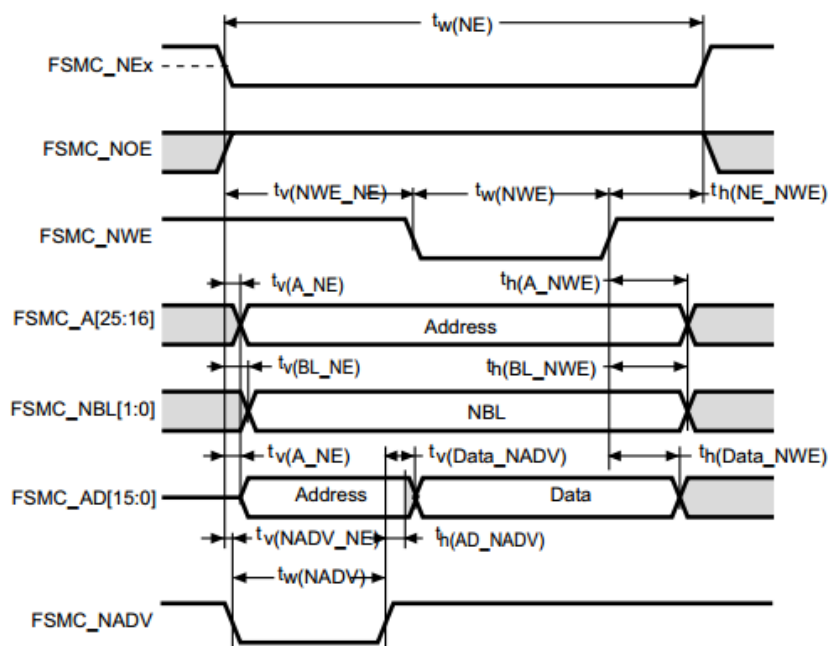


图 4-38 异步复用PSRAM/NOR写操作波形

表 4-69 异步复用PSRAM/NOR写操作时序^{(1) (2)}

符号	参数	最小值	最大值	单位
$t_w(\text{NE})$	FMC_NE为低电平的时间	$4T_{\text{HCLK}}-0.5$	$4T_{\text{HCLK}}+3$	ns
$t_v(\text{NWE_NE})$	FMC_NEx变为低电平到FMC_NWE变为低电平的间隔时间	$T_{\text{HCLK}}-0.5$	$T_{\text{HCLK}}+0.5$	ns
$t_w(\text{NWE})$	FMC_NWE为低电平的时间	$2T_{\text{HCLK}}-0.5$	$2T_{\text{HCLK}}+3$	ns
$t_h(\text{NE_NWE})$	FMC_NWE变为高电平到FMC_NE变为高电平的保持时间	T_{HCLK}	-	ns
$t_v(\text{A_NE})$	FMC_NEx变为低电平到FMC_A有效的间隔时间	-	0	ns
$t_v(\text{NADV_NE})$	FMC_NEx变为低电平到FMC_NADV变为低电平的间隔时间	1	2	ns
$t_w(\text{NADV})$	FMC_NADV为低电平的时间	$T_{\text{HCLK}}-2$	$T_{\text{HCLK}}+1$	ns
$t_h(\text{AD_NADV})$	FMC_NADV变为高电平后FMC_AD（地址）有效的保持时间	$T_{\text{HCLK}}-2$	-	ns
$t_h(\text{A_NWE})$	FMC_NWE变为高电平后的地址保持时间	T_{HCLK}	-	ns
$t_h(\text{BL_NWE})$	FMC_NWE变为高电平后FMC_BL的保持时间	$T_{\text{HCLK}}-2$	-	ns
$t_v(\text{BL_NE})$	FMC_NEx变为低电平到FMC_BL有效的间隔时间	-	1.5	ns
$t_v(\text{Data_NADV})$	FMC_NADV变为高电平到数据有效的间隔时间	-	$T_{\text{HCLK}}-0.5$	ns
$t_h(\text{Data_NWE})$	FMC_NWE变为高电平后的数据保持时间	T_{HCLK}	-	ns

1. $C_L=30\text{pF}$.
2. 通过特性分析确定，未经生产测试。

同步波形和时序

图4-39到图4-42所示为同步波形，表4-71到表4-73则给出了相应的时序。这些表格中的结果在如下FSMC配置条件下获得：

- $\text{BurstAccessMode} = \text{FSMC_BurstAccessMode_Enable}$;
- $\text{MemoryType} = \text{FSMC_MemoryType_CRAM}$;
- $\text{WriteBurst} = \text{FSMC_WriteBurst_Enable}$;
- $\text{CLKDivision}=1$;(不支持0, 请参见AST32F407Axxx参考手册)
- 使用NORFlash时, $\text{DataLatency}=1$; 使用PSRAM时, $\text{DataLatency}=0$
- 在所有时序表中, T_{HCLK} 为HCLK时钟周期(最大 $\text{FMC_CLK}=60\text{MHz}$)。

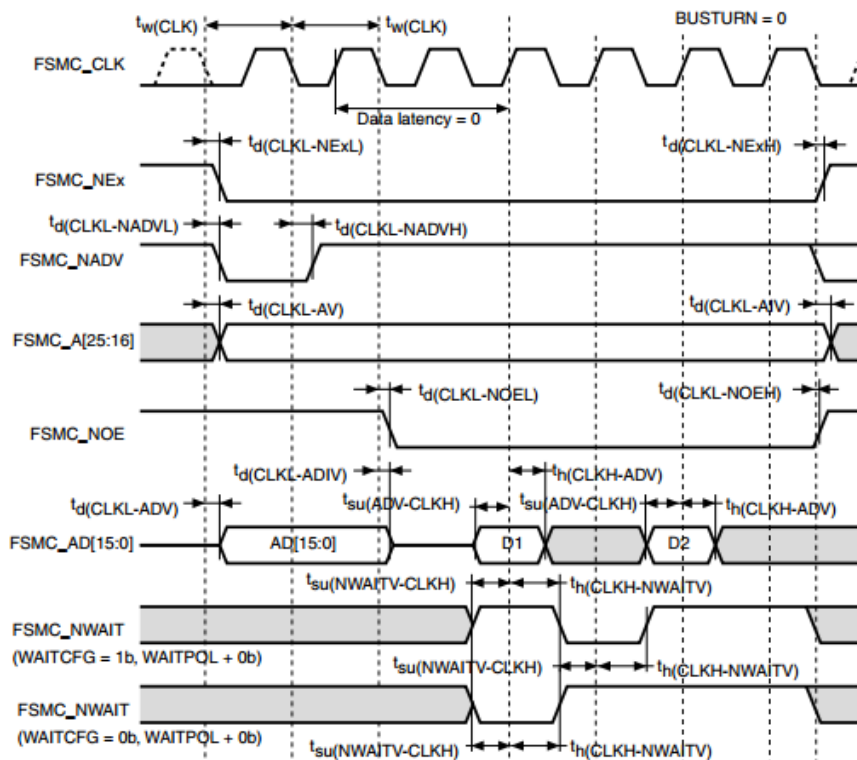


图 4-39 同步复用NOR/PSRAM读操作时序

表 4-70 同步复用NOR/PSRAM读操作时序^{(1) (2)}

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FMC_CLK周期	$2T_{\text{HCLK}}$	-	ns
$t_d(\text{CLKL-NExL})$	FMC_CLK变为低电平到FMC_NEx变为低电平的间隔时间(x=0...2)	-	0	ns
$t_d(\text{CLKL-NExH})$	FMC_CLK变为高电平到FMC_NEx变为高电平的间隔时间(x=0...2)	2	-	ns
$t_d(\text{CLKL-NADVL})$	FMC_CLK变为低电平到FMC_NADV变为低电平的间隔时间	-	2	ns
$t_d(\text{CLKL-NADVH})$	FMC_CLK变为低电平到FMC_NADV变为高电平的间隔时间	2	-	ns
$t_d(\text{CLKL-AV})$	FMC_CLK变为低电平到FMC_Ax有效的间隔时间(x=16...25)	-	0	ns
$t_d(\text{CLKL-AIV})$	FMC_CLK变为高电平到FMC_Ax无效的间隔时间(x=16...25)	0	-	ns
$t_d(\text{CLKL-NOEL})$	FMC_CLK变为低电平到FMC_NOE变为低电平的间隔时间	-	0	ns
$t_d(\text{CLKL-NOEH})$	FMC_CLK变为高电平到FMC_NOE变为高电平的间隔时间	2	-	ns
$t_d(\text{CLKL-ADV})$	FMC_CLK变为低电平到FMC_AD[15:0]有效的间隔时间	-	4.5	ns
$t_d(\text{CLKL-ADIV})$	FMC_CLK变为低电平到FMC_AD[15:0]无效的间隔时间	0	-	ns
$t_{su}(\text{ADV-CLKH})$	FMC_CLK变为高电平前FMC_A/D[15:0]数据有效的间隔时间	6	-	ns
$t_h(\text{CLKH-ADV})$	FMC_CLK变为高电平后FMC_A/D[15:0]数据有效的间隔时间	0	-	ns
$t_{su}(\text{NWAIT-TV-CLKH})$	FMC_CLK变为高电平前FMC_NWAIT有效的间隔时间	4	-	ns
$t_h(\text{CLKH-NWAITV})$	FMC_CLK变为高电平后FMC_NWAIT有效的间隔时间	0	-	ns

1. $C_L=30\text{pF}$.

2. 通过特性分析确定，未经生产测试。

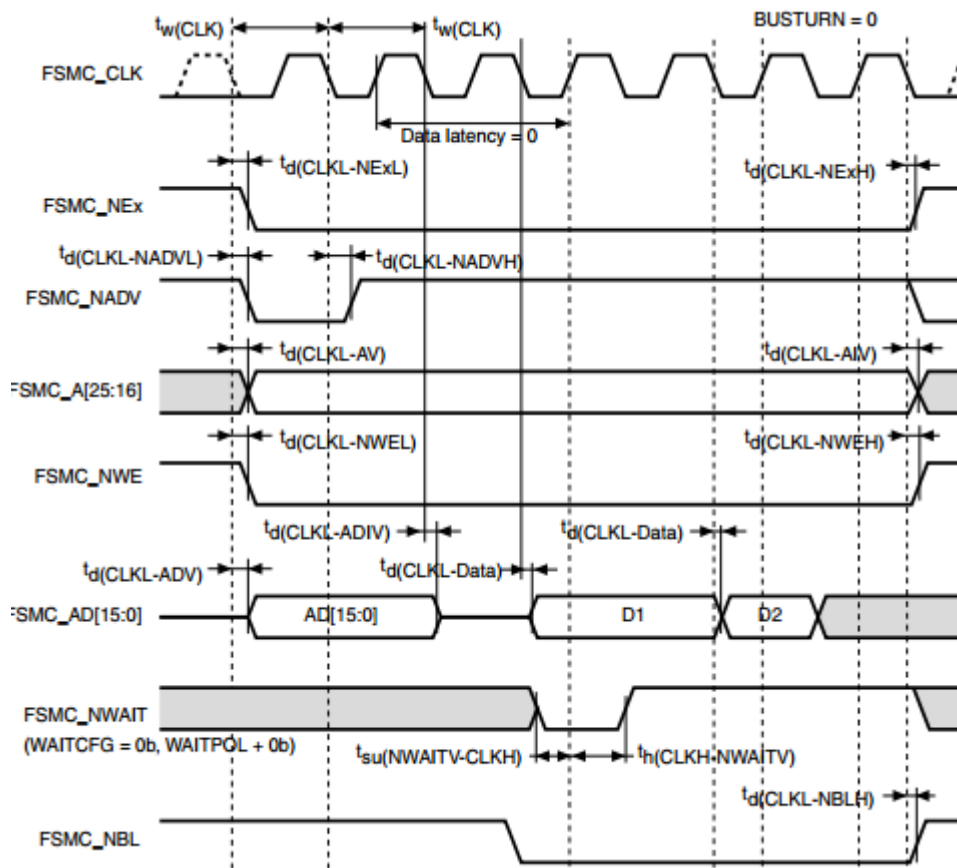


图 4-40 同步复用PSRAM写操作时序

表 4-71 同步复用PSRAM写操作时序^{(1) (2)}

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FMC_CLK周期	$2T_{\text{HCLK}}$	-	ns
$t_d(\text{CLKL-NExL})$	FMC_CLK变为低电平到FMC_NEx变为低电平的间隔时间(x=0...2)	-	1	ns
$t_d(\text{CLKL-NExH})$	FMC_CLK变为高电平到FMC_NEx变为高电平的间隔时间(x=0...2)	1	-	ns
$t_d(\text{CLKL-NADVL})$	FMC_CLK变为低电平到FMC_NADV变为低电平的间隔时间	-	0	ns
$t_d(\text{CLKL-NADVH})$	FMC_CLK变为低电平到FMC_NADV变为高电平的间隔时间	0	-	ns
$t_d(\text{CLKL-AV})$	FMC_CLK变为低电平到FMC_Ax有效的间隔时间(x=16...25)	-	0	ns
$t_d(\text{CLKL-AIV})$	FMC_CLK变为高电平到FMC_Ax无效的间隔时间(x=16...25)	8	-	ns
$t_d(\text{CLKL-NWEL})$	FMC_CLK变为低电平到FMC_NWE变为低电平的间隔时间	-	0.5	ns
$t_d(\text{CLKL-NWEH})$	FMC_CLK变为高电平到FMC_NWE变为高电平的间隔时间	0	-	ns
$t_d(\text{CLKL-ADIV})$	FMC_CLK变为低电平到FMC_AD[15:0]无效的间隔时间	0	-	ns
$t_d(\text{CLKL-DATA})$	FMC_CLK变为低电平后FMC_A/D[15:0]数据有效的间隔时间	-	3	ns
$t_d(\text{CLKL-NBLH})$	FMC_CLK变为高电平到FMC_NBL变为高电平的间隔时间	0	-	ns
$t_{su}(\text{NWAITV-CLKH})$	FMC_CLK变为高电平前FMC_NWAIT有效的间隔时间	4	-	ns
$t_h(\text{CLKH-NWAIT})$	FMC_CLK变为高电平后FMC_NWAIT有效的间隔时间	0	-	ns

1. $C_L=30\text{pF}$.
2. 通过特性分析确定，未经生产测试。

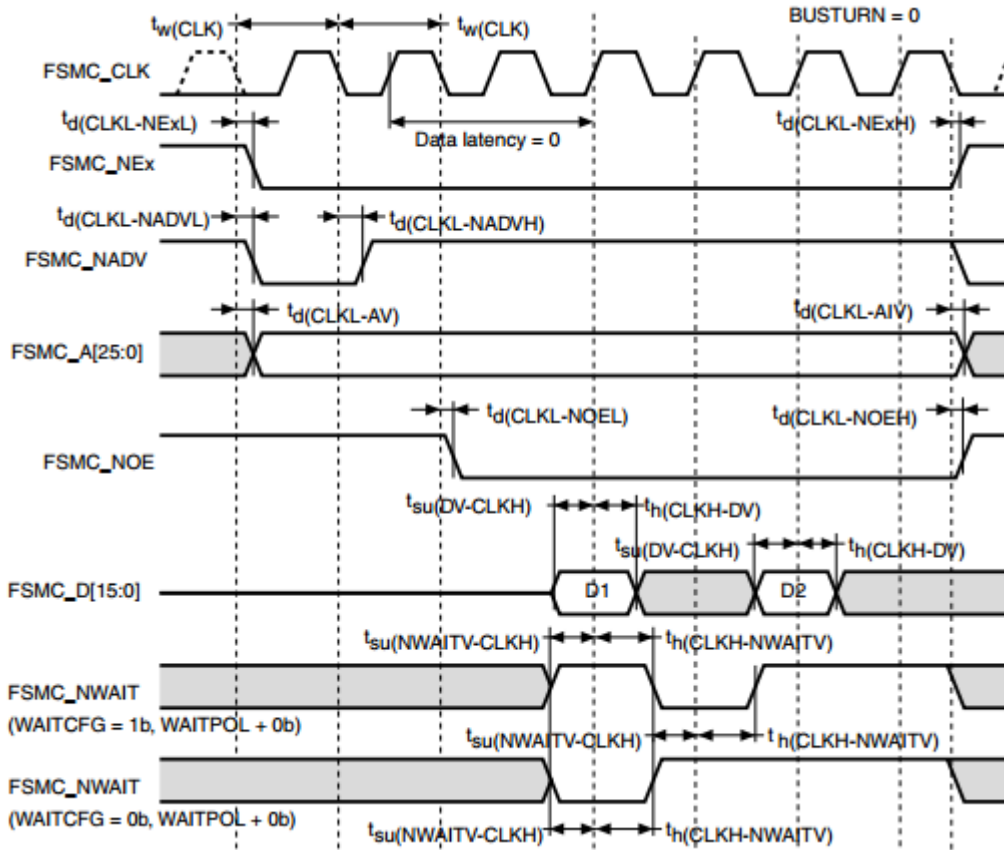


图 4-41 同步非复用NOR/PSRAM读操作时序

表 4-72 同步非复用NOR/PSRAM读操作时序^{(1) (2)}

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FMC_CLK周期	$2T_{\text{HCLK}}-0.5$	-	ns
$t_d(\text{CLKL-NExL})$	FMC_CLK变为低电平到FMC_NEx变为低电平的间隔时间(x=0...2)	-	0.5	ns
$t_d(\text{CLKL-NExH})$	FMC_CLK变为高电平到FMC_NEx变为高电平的间隔时间(x=0...2)	0	-	ns
$t_d(\text{CLKL-NADVl})$	FMC_CLK变为低电平到FMC_NADV变为低电平的间隔时间	-	2	ns
$t_d(\text{CLKL-NADVH})$	FMC_CLK变为低电平到FMC_NADV变为高电平的间隔时间	3	-	ns
$t_d(\text{CLKL-AV})$	FMC_CLK变为低电平到FMC_Ax有效的间隔时间(x=16...25)	-	0	ns
$t_d(\text{CLKL-AIV})$	FMC_CLK变为高电平到FMC_Ax无效的间隔时间(x=16...25)	2	-	ns
$t_d(\text{CLKL-NOEL})$	FMC_CLK变为低电平到FMC_NOE变为低电平的间隔时间	-	0.5	ns
$t_d(\text{CLKL-NOEH})$	FMC_CLK变为高电平到FMC_NOE变为高电平的间隔时间	1.5	-	ns
$t_{su}(\text{DV-CLKH})$	FMC_CLK变为高电平前FMC_D[15:0]数据有效的间隔时间	6	-	ns
$t_h(\text{CLKH-DV})$	FMC_CLK变为高电平后FMC_D[15:0]数据有效的间隔时间	3	-	ns
$t_{su}(\text{NWAITV-CLKH})$	FMC_CLK变为高电平前FMC_NWAIT有效的间隔时间	4	-	ns
$t_h(\text{CLKH-NWAIT})$	FMC_CLK变为高电平后FMC_NWAIT有效的间隔时间	0	-	ns

1. $C_i=30\text{pF}$.
2. 通过特性分析确定，未经生产测试。

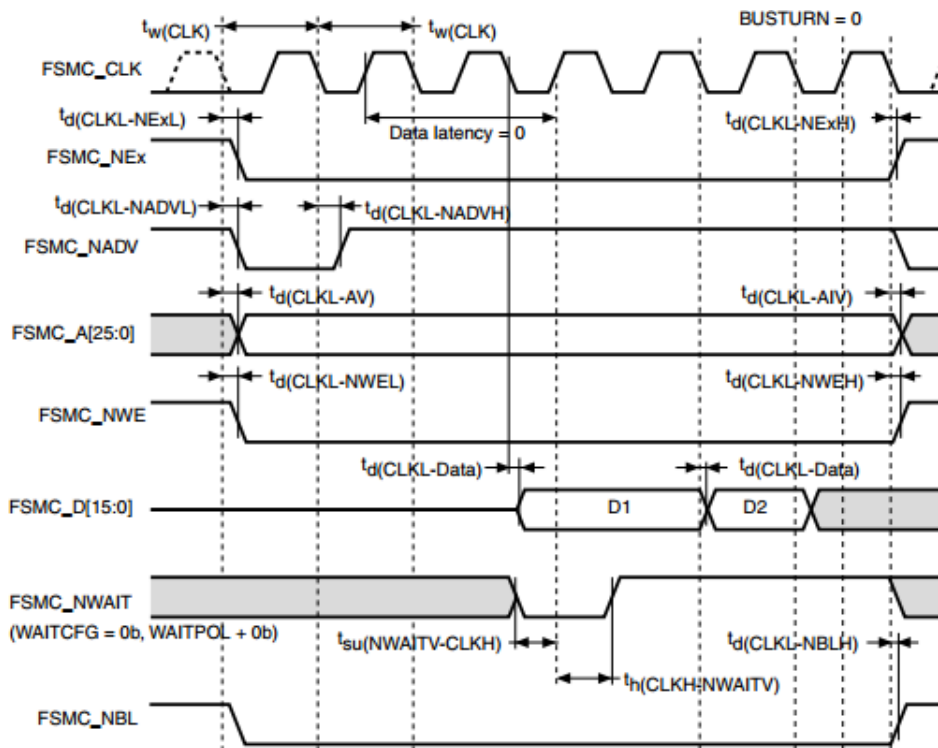


图 4-42 同步非复用PSRAM写操作时序

表 4-73 同步非复用PSRAM写操作时序^{(1) (2)}

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FMC_CLK周期	$2T_{\text{HCLK}}$	-	ns
$t_d(\text{CLKL-NExL})$	FMC_CLK变为低电平到FMC_NEx变为低电平的间隔时间(x=0...2)	-	1	ns
$t_d(\text{CLKL-NExH})$	FMC_CLK变为高电平到FMC_NEx变为高电平的间隔时间(x=0...2)	1	-	ns
$t_d(\text{CLKL-NADV})$	FMC_CLK变为低电平到FMC_NADV变为低电平的间隔时间	-	7	ns
$t_d(\text{CLKL-NADVH})$	FMC_CLK变为低电平到FMC_NADV变为高电平的间隔时间	6	-	ns
$t_d(\text{CLKL-AV})$	FMC_CLK变为低电平到FMC_Ax有效的间隔时间 (x=16...25)	-	0	ns
$t_d(\text{CLKL-AIV})$	FMC_CLK变为高电平到FMC_Ax无效的间隔时间 (x=16...25)	6	-	ns
$t_d(\text{CLKL-NWEL})$	FMC_CLK变为低电平到FMC_NWE变为低电平的间隔时间	-	1	ns
$t_d(\text{CLKL-NWEH})$	FMC_CLK变为高电平到FMC_NWE变为高电平的间隔时间	2	-	ns
$t_d(\text{CLKL-Data})$	FMC_CLK变为低电平后FMC_D[15:0]数据有效的间隔时间	-	3	ns
$t_d(\text{CLKL-NBLH})$	FMC_CLK变为高电平到FMC_NBL变为高电平的间隔时间	3	-	ns
$t_{su}(\text{NWAIT-CLKH})$	FMC_CLK变为高电平前FMC_NWAIT有效的间隔时间	4	-	ns
$t_h(\text{CLKH-NWAIT})$	FMC_CLK变为高电平后FMC_NWAIT有效的间隔时间	0	-	ns

1. $C_L=30\text{pF}$.

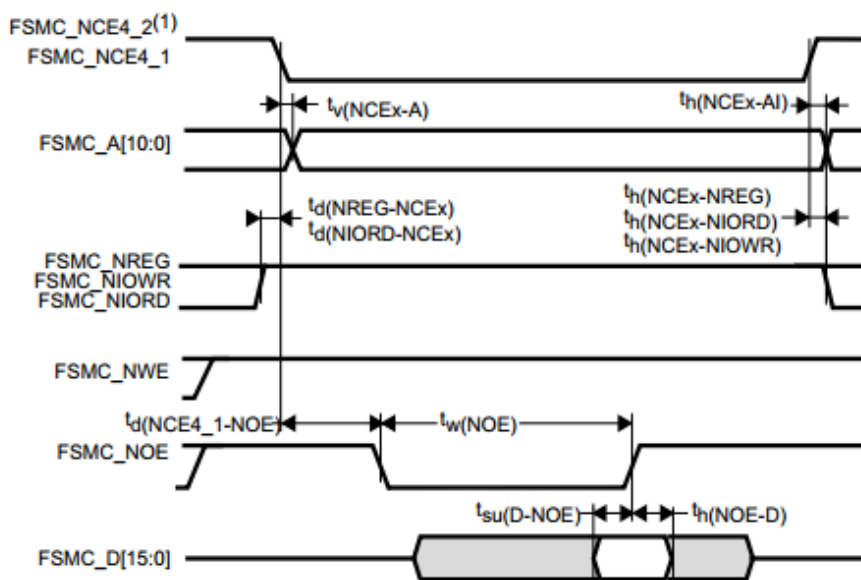
2. 通过特性分析确定，未经生产测试。

PC卡/CF控制器的波形和时序

图4-43到图4-48所示为同步波形，表4-74和表4-75则给出了相应的时序。该表格中的结果在如下FSMC配置条件下获得：

- COM.FSMC_SetupTime=0x04;
- COM.FSMC_WaitSetupTime=0x07;
- COM.FSMC_HoldSetupTime=0x04;
- COM.FSMC_HiZSetupTime=0x00;
- ATT.FSMC_SetupTime=0x04;
- ATT.FSMC_WaitSetupTime=0x07;
- ATT.FSMC_HoldSetupTime=0x04;
- ATT.FSMC_HiZSetupTime=0x00;
- IO.FSMC_SetupTime=0x04;
- IO.FSMC_WaitSetupTime=0x07;
- IO.FSMC_HoldSetupTime=0x04;
- IO.FSMC_HiZSetupTime=0x00;
- TCLRSetupTime=0;
- TARSetupTime=0.

在所有时序表中， T_{HCLK} 为HCLK时钟周期。



1. FSMC_NCE4_2 保持高电平（8 位访问期间无效）。

图 4-43 PC 卡/CF 控制器的通用存储器读访问波形

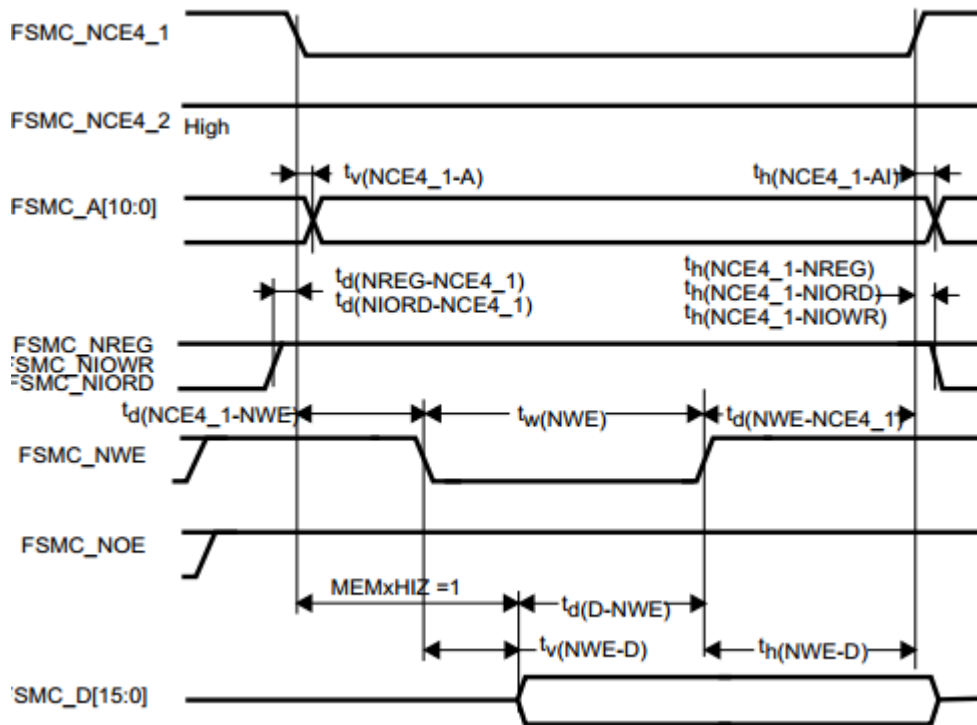
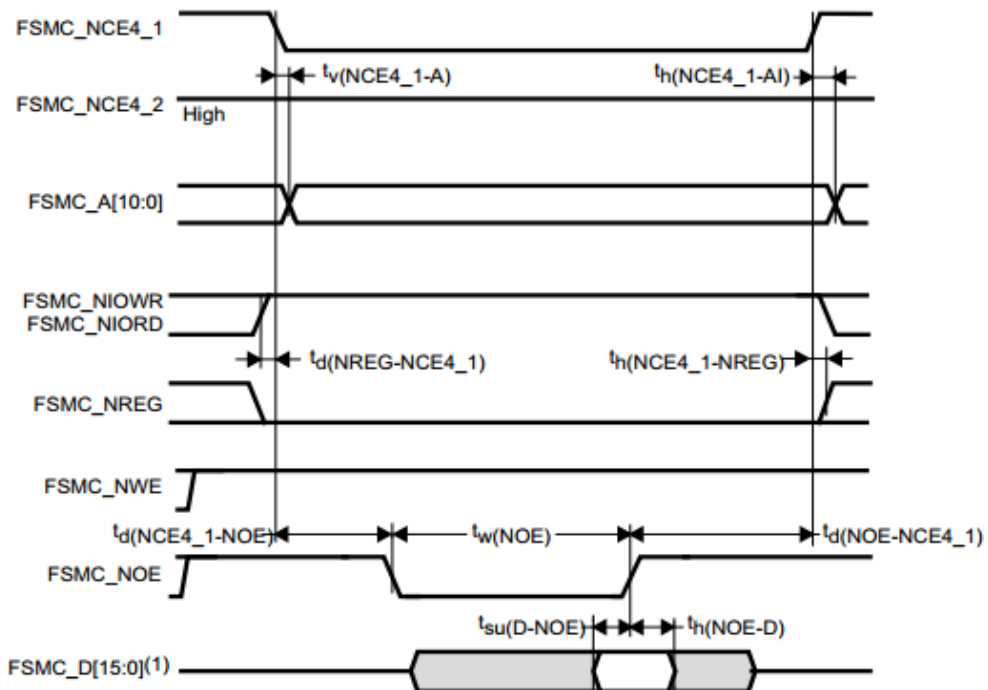
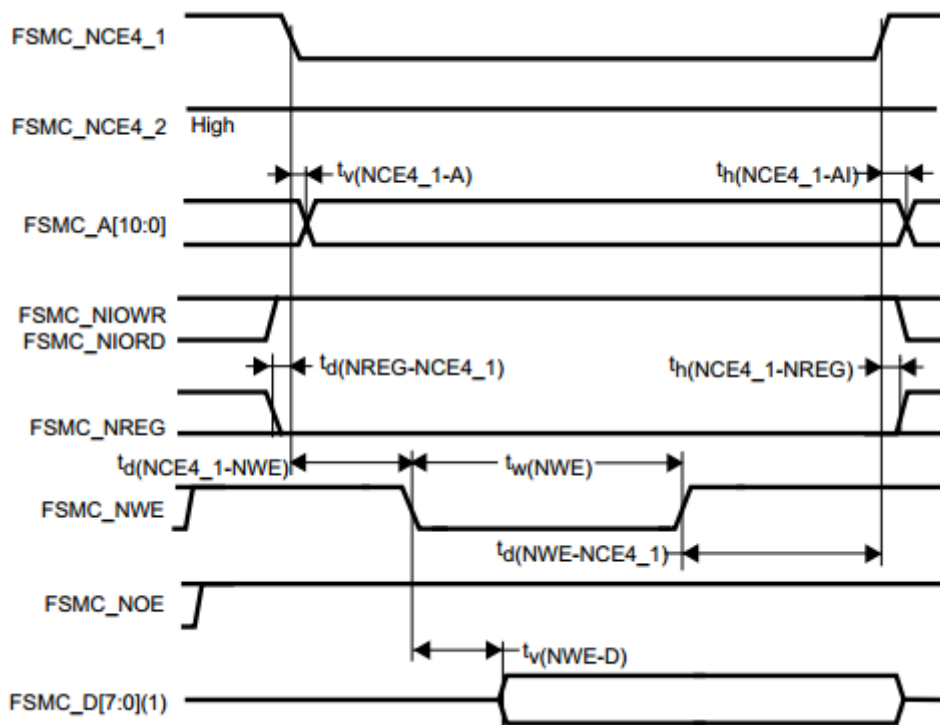


图 4-44 PC卡/CF卡控制器的通用存储器写访问波形



1. 仅读取数据位0...7（忽略位8...15）。

图 4-45 PC卡/CF卡控制器的波形-属性存储器读访问



1. 仅驱动数据位0...7（位8...15保持高阻状态）。

图 4-46 PC卡/CF卡控制器的波形-属性存储器写访问

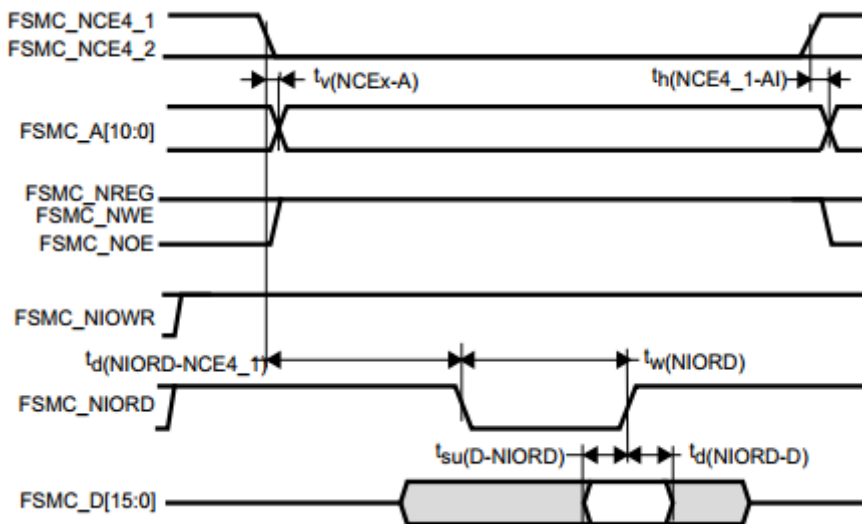


图 4-47 PC卡/CF卡控制器的I/O空间读访问波形

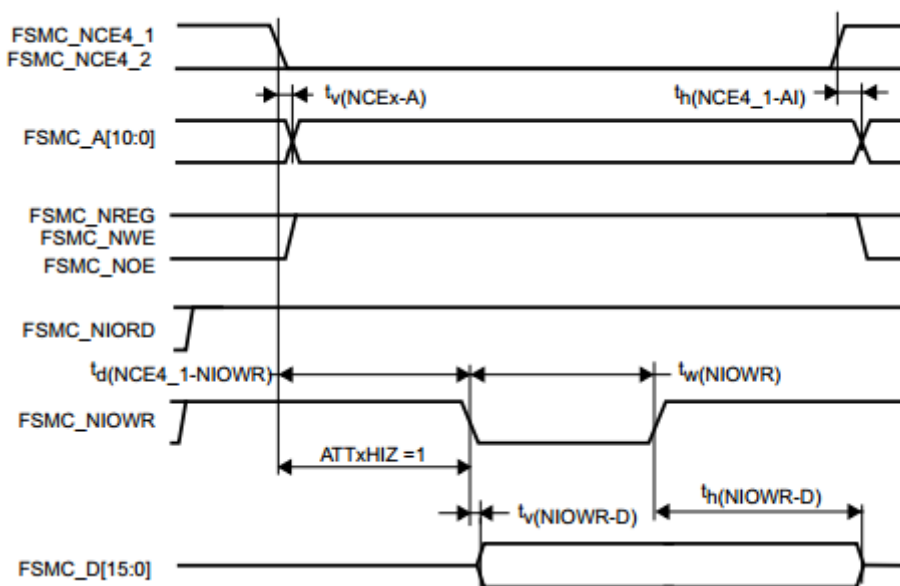


图 4-48 PC卡/CF卡控制器的I/O空间写访问波形

表 4-74 PC卡/CF读写周期的开关特性-在属性/通用空间中^{(1) (2)}

符号	参数	最小值	最大值	单位
$t_{v(NCEx-A)}$	FMC_Ncex变为低电平到FMC_Ay有效的间隔时间	-	0	ns
$t_{h(NCEx_AI)}$	FMC_NCEx变为高电平到FMC_Ax无效的间隔时间	4	-	ns
$t_{d(NREG-NCEx)}$	FMC_NCEx变为低电平到FMC_NREG有效的间隔时间	-	3.5	ns
$t_{h(NCEx-NREG)}$	FMC_NCEx变为高电平到FMC_NREG无效的间隔时间	$T_{HCLK}+4$	-	ns
$t_{d(NCEx-NWE)}$	FMC_NCEx变为低电平到FMC_NWE变为低电平的间隔时间	-	$5T_{HCLK}+0.5$	ns
$t_{d(NCEx-NOE)}$	FMC_NCEx变为低电平到FMC_NOE变为低电平的间隔时间	-	$5T_{HCLK}+0.5$	ns
$t_w(NOE)$	FMC_NOE为低电平的时间	$8T_{HCLK}-1$	$8T_{HCLK}+1$	ns
$t_{d(NOE_NCEx)}$	FMC_NOE变为高电平到FMC_NCEx变为高电平的间隔时间	$5T_{HCLK}+2.5$	-	ns
$t_{su(D-NOE)}$	FMC_NOE变为高电平前FMC_D[15:0]数据有效的间隔时间	4.5	-	ns
$t_{h(NOE-D)}$	FMC_NOE变为高电平到FMC_D[15:0]无效的间隔时间	3	-	ns
$t_w(NWE)$	FMC_NWE为低电平的时间	$8T_{HCLK}-0.5$	$8T_{HCLK}+3$	ns
$t_{d(NWE_NCEx)}$	FMC_NWE变为高电平到FMC_NCEx变为高电平的间隔时间	$5T_{HCLK}-1$	-	ns
$t_{d(NCEx-NWE)}$	FMC_NCEx变为低电平到FMC_NWE变为低电平的间隔时间	-	$5T_{HCLK}+1$	ns
$t_{v(NWE-D)}$	FMC_NWE变为低电平到FMC_D[15:0]有效的间隔时间	-	0	ns
$t_{h(NWE-D)}$	FMC_NWE变为高电平到FMC_D[15:0]无效的间隔时间	$8T_{HCLK}-1$	-	ns
$t_{d(D-NWE)}$	FMC_NWE变为高电平前FMC_D[15:0]有效的间隔时间	$13T_{HCLK}-1$	-	ns

1. $C_L=30pF$.

2. 通过特性分析确定，未经生产测试。

表 4-75 PC卡/CF读写周期的开关特性-在I/O空间中^{(1) (2)}

符号	参数	最小值	最大值	单位
$t_{w(NIOWR)}$	FMC_NIOWR为低电平的时间	$8T_{HCLK}-1$	-	ns
$t_{v(NIOWR-D)}$	FMC_NIOWR变为低电平到FMC_D[15:0]有效的间隔时间	-	$5T-1$	ns
$t_{h(NIOWR-D)}$	FMC_NIOWR变为高电平到FMC_D[15:0]无效的间隔时间	$8T_{HCLK}-2$	-	ns
$t_{d(NCE4_1-NIOWR)}$	FMC_NCE4_1变为低电平到FMC_NIOWR有效的间隔时间	-	$5THCLK+2.5$	ns
$t_{h(NCEx-NIOWR)}$	FMC_NCE _x 变为高电平到FMC_NIOWR无效的间隔时间	$5T_{HCLK}-1.5$	-	ns
$t_{d(NIORD-NCEx)}$	FMC_NCE _x 变为低电平到FMC_NIORD有效的间隔时间	-	$5T+2$	ns
$t_{h(NCEx-NIORD)}$	FMC_NCE _x 变为高电平到FMC_NIORD有效的间隔时间	$5T-1.5$	-	ns
$t_{w(NIORD)}$	FMC_NIORD为低电平的时间	$8T_{HCLK}-0.5$	-	ns
$t_{su(D-NIORD)}$	FMC_NIORD变为高电平前FMC_D[15:0]有效的间隔时间	9	-	ns
$t_{d(NIORD-D)}$	FMC_NIORD变为高电平后FMC_D[15:0]有效的间隔时间	0	-	ns

1. $C_t=30pF$.
2. 通过特性分析确定，未经生产测试。

NAND控制器波形和时序

图4-49到图4-52所示为同步波形，表4-76和表4-77则给出了相应的时序。该表格中的结果在如下FSMC配置条件下获得：

- COM.FSMC_SetupTime=0x01;
- COM.FSMC_WaitSetupTime=0x03;
- COM.FSMC_HoldSetupTime=0x02;
- COM.FSMC_HiZSetupTime=0x01;
- ATT.FSMC_SetupTime=0x01;
- ATT.FSMC_WaitSetupTime=0x03;
- ATT.FSMC_HoldSetupTime=0x02;
- ATT.FSMC_HiZSetupTime=0x01;
- Bank=FSMC_Bank_NAND;
- MemoryDataWidth=FSMC_MemoryDataWidth_16b;
- ECC=FSMC_ECC_Enable;
- ECCPageSize=FSMC_ECCPageSize_512Bytes;
- TCLRSetupTime=0;
- TARSetupTime=0;

在所有时序表中， T_{HCLK} 为HCLK时钟周期。

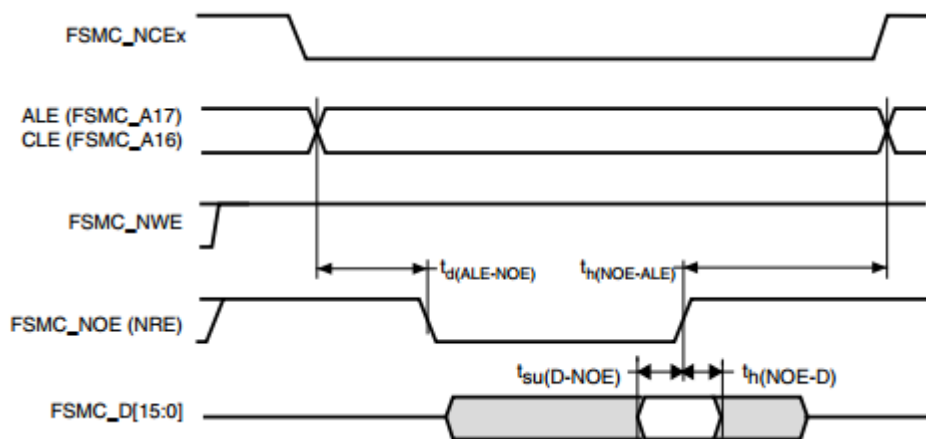


图 4-49 NAND控制器的读访问波形

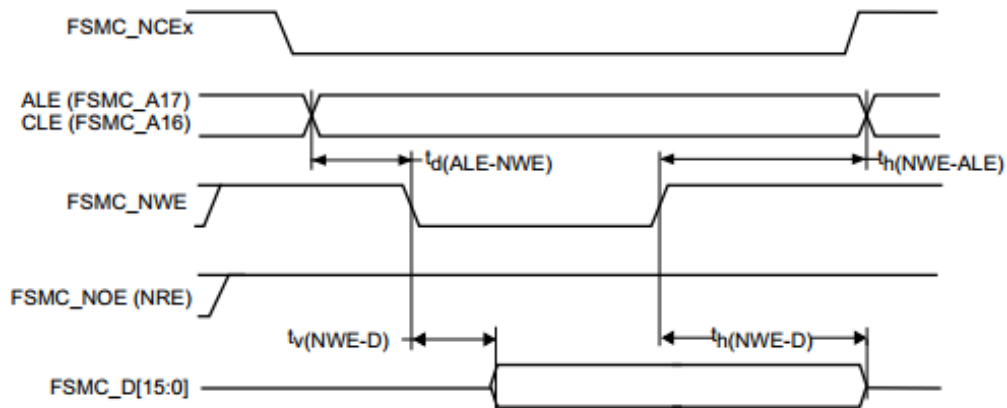


图 4-50 NAND控制器的写访问波形

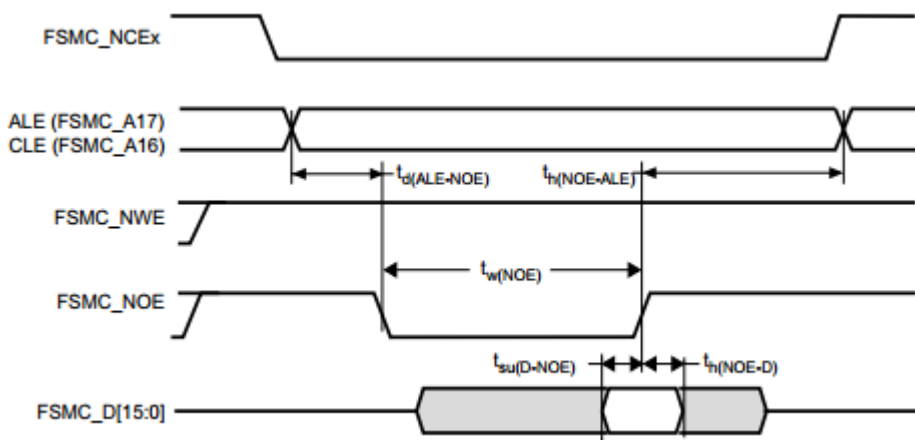


图 4-51 NAND控制器的通用存储器读访问波形

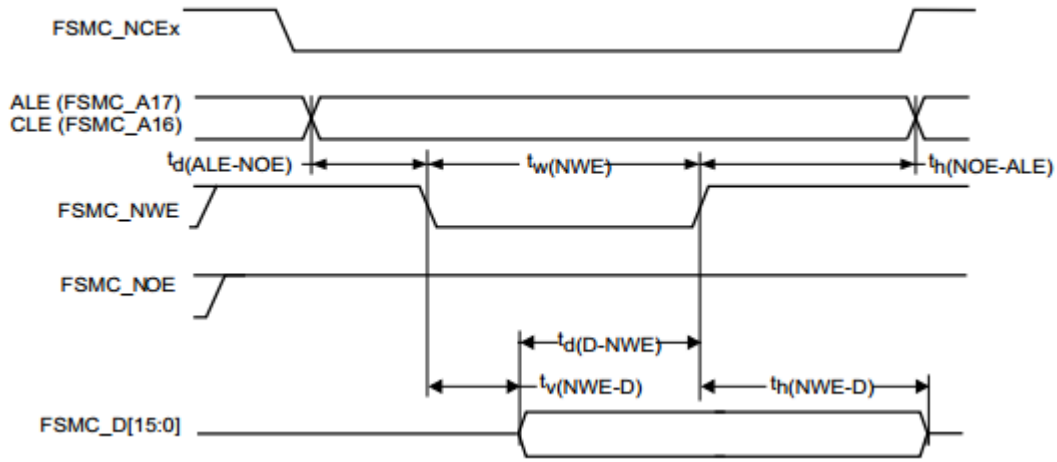


图 4-52 NAND控制器的通用存储器写访问波形

表 4-76 NAND Flash读周期的开关特性⁽¹⁾

符号	参数	最小值	最大值	单位
$t_w(\text{NOE})$	FMC_NOE为低电平的时间	$4T_{\text{HCLK}} - 0.5$	$4T_{\text{HCLK}} + 3$	ns
$t_{su}(\text{D-NOE})$	FMC_NOE变为高电平前FMC_D[15-0]数据有效的间隔时间	10	-	ns
$t_h(\text{NOE-D})$	FMC_NOE变为高电平后FMC_D[15-0]数据有效的间隔时间	0	-	ns
$t_d(\text{ALE-NOE})$	FMC_NOE变为低电平前FMC_ALE有效的间隔时间	-	$3T_{\text{HCLK}}$	ns
$t_h(\text{NOE-ALE})$	FMC_NWE变为高电平到FMC_ALE无效的间隔时间	$3T_{\text{HCLK}} - 2$	-	ns

1. $C_L=30\text{pF}$.

表 4-77 NAND Flash写周期的开关特性⁽¹⁾

符号	参数	最小值	最大值	单位
$t_w(\text{NWE})$	FMC_NWE为低电平的时间	$4T_{\text{HCLK}} - 1$	$4T_{\text{HCLK}} + 3$	ns
$t_v(\text{NWE-D})$	FMC_NWE变为低电平到FMC_D[15-0]有效的间隔时间	-	0	ns
$t_h(\text{NWE-D})$	FMC_NWE变为高电平到FMC_D[15-0]无效的间隔时间	$3T_{\text{HCLK}} - 2$	-	ns
$t_d(\text{D-NWE})$	FMC_NWE变为高电平前FMC_D[15-0]有效的间隔时间	$5T_{\text{HCLK}} - 3$	-	ns
$t_d(\text{ALE-NWE})$	FMC_NWE变为低电平前FMC_ALE有效的间隔时间	-	$3T_{\text{HCLK}}$	ns
$t_h(\text{NWE-ALE})$	FMC_NWE变为高电平到FMC_ALE无效的间隔时间	$3T_{\text{HCLK}} - 2$	-	ns

1. $C_L=30\text{pF}$

4.3.27 摄像头接口 (DCMI) 时序规范

除非特别说明，否则表4-78中给出的DCMI参数均在表4-4中汇总的环境温度、 f_{HCLK} 频率和 V_{DD} 电源电压条件下测试得出，其配置如下：

- DCMI_PCK 极性：下降
- DCMI_VSYNC 和 DCMI_HSYNC 极性：高
- 数据格式：14位

表 4-78 DCMI特性

符号	参数	最小值	最大值	单位
	频率比DCMI_PIXCLK/fHCLK	-	0.4	
DCMI_PIXCLK	像素时钟输入	-	54	MHz
D_{pixel}	像素时钟输入占空比	30	70	%
$t_{su}(DATA)$	数据输入建立时间	2.5	-	ns
$t_h(DATA)$	数据输入保持时间	1	-	
$t_{su}(HSYNC),$ $t_{su}(VSYNC)$	DCMI_HSYNC/DCMI_VSYNC输入建立时间	2	-	
$t_h(HSYNC),$ $t_h(VSYNC)$	DCMI_HSYNC/DCMI_VSYNC输入保持时间	0.5	-	

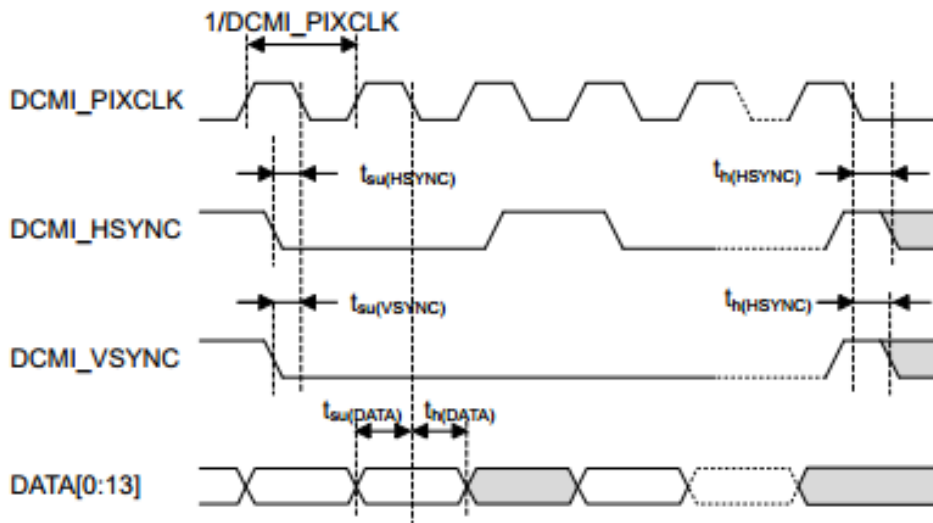


图 4-53 DCMI时序图

4.3.28 SD/SDIO MMC卡主机接口 (SDIO) 特性

除非特别说明，否则表4-79中给出的SDIO/MMC接口参数均在表 4-4中汇总的环境温度、 f_{PCLK2} 频率和 V_{DD} 电源电压条件下测试得出，其配置如下：

- 输出速度设为 $OSPEEDR_y[1:0]=10$ 容性
- 负载 $C=30pF$
- 在CMOS电平为 $0.5V_{DD}$ 时完成测量。

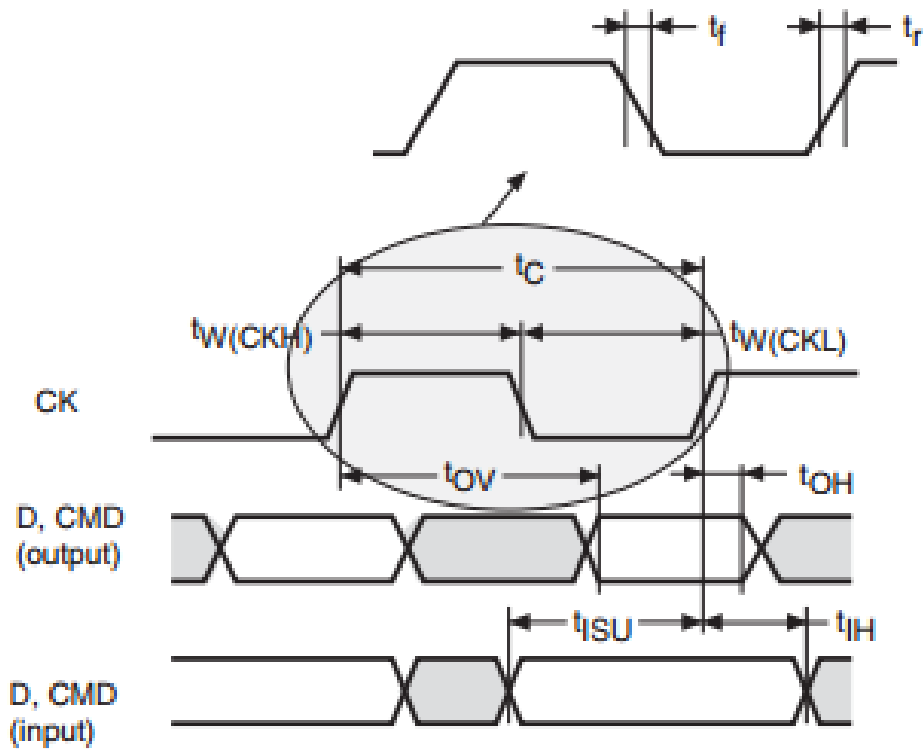


图 4-54 SDIO高速模式

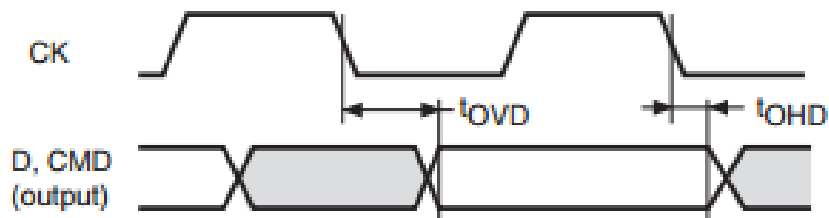


图 4-55 SD默认模式

表 4-79 动态特性：SD/MMC特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{PP}	数据传输模式下的时钟频率		0		48	MHz
	SDIO_CK/fPCLK2频率比		-	-	8/3	-
t _{w(CKL)}	时钟低时间	f _{PP} =48MHz	8.5	9	-	ns
t _{w(CKH)}	时钟高时间	f _{PP} =48MHz	8.3	10	-	
MMC和SDHS模式下的CMD、D输入（以CK为基准）						
t _{ISU}	输入建立时间HS	f _{PP} =48MHz	3	-	-	ns
t _{IH}	输入保持时间HS	f _{PP} =48MHz	0	-	-	
MMC和SDHS模式下的CMD、D输出（以CK为基准）						
t _{OV}	输出有效时间HS	f _{PP} =48MHz	-	4.5	6	ns
t _{OH}	输出保持时间HS	f _{PP} =48MHz	1	-	-	
SD默认模式下的CMD、D输入（以CK为基准）						
t _{ISUD}	输入建立时间SD	f _{PP} =24MHz	1.5	-	-	ns
t _{IHD}	输入保持时间SD	f _{PP} =24MHz	0.5	-	-	
SD默认模式下的CMD、D输出（以CK为基准）						
t _{OVd}	输出有效默认时间SD	f _{PP} =24MHz	-	4.5	7	ns
t _{OHd}	输出保持默认时间SD	f _{PP} =24MHz	0.5	-	-	

1. 由特性分析结果保证，未经生产测试。

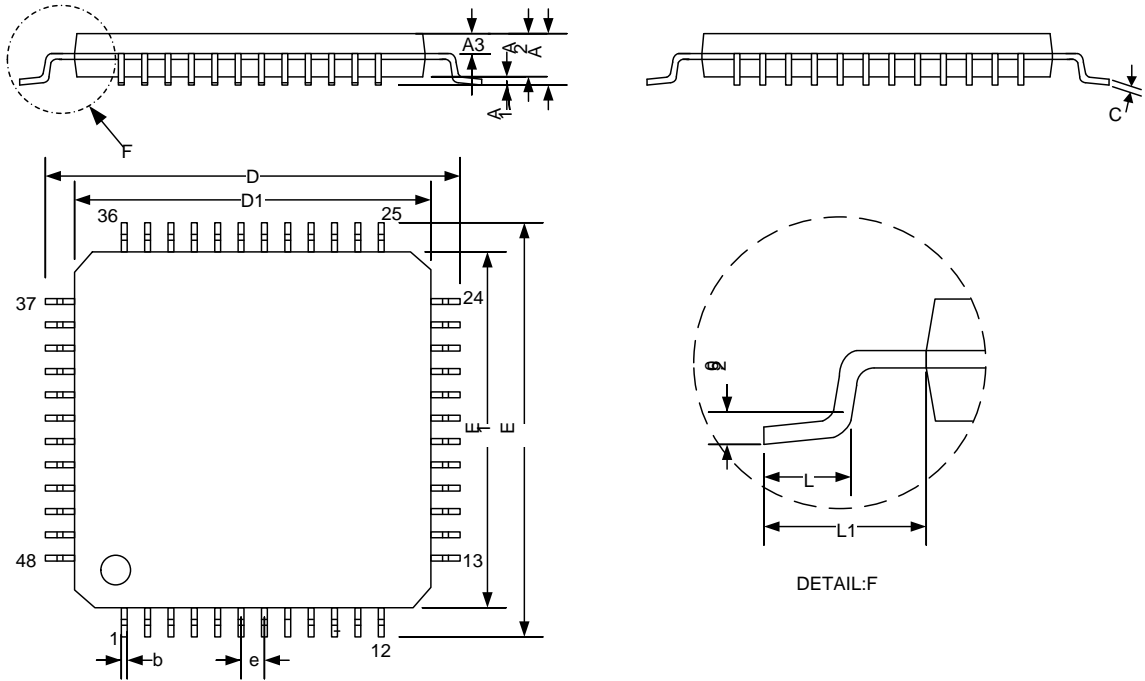
4.3.29 RTC特性

表 4-80 RTC特性

符号	参数	条件	最小值	最大值
-	fPCLK1/RTCCLK频率比	至RTC寄存器的任何读/写操作	4	-

5 封装信息

5.1 LQFP48封装信息

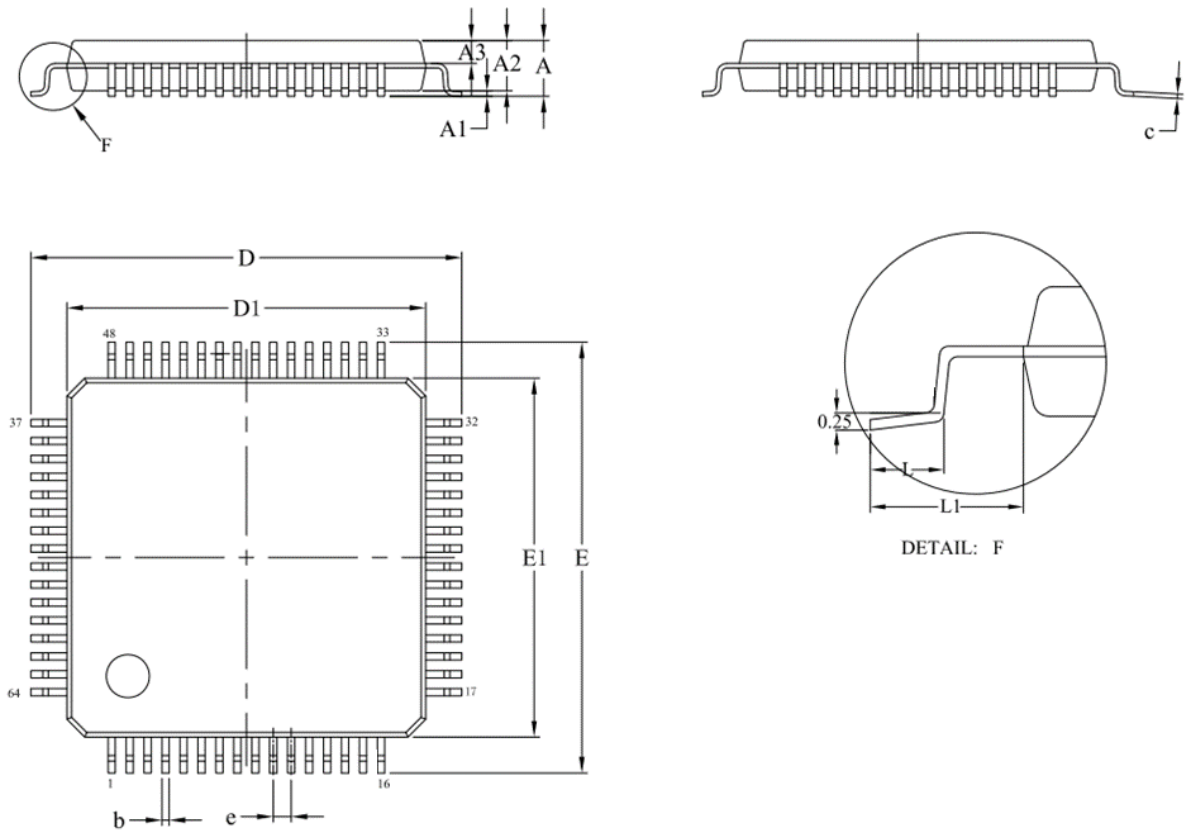


单位为毫米

尺寸符号	最小值	公称值	最大值
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
c	0.13	—	0.17
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	—	0.50	—
L	0.45	—	0.75
L1	—	1.00	—

图 5-1 LQFP48封装外形尺寸图

5.2 LQFP64封装信息

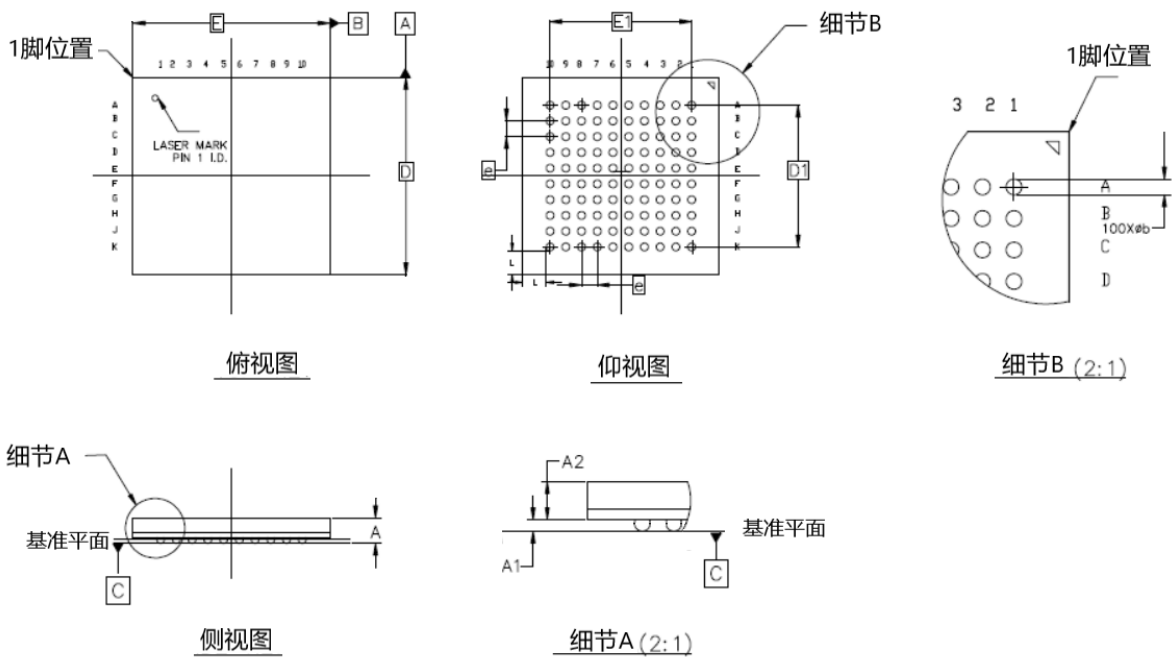


单位为毫米

尺寸符号	最小值	公称值	最大值
A	-	-	1.600
A1	0.050	-	0.150
A2	1.350	1.400	1.450
A3	0.590	0.640	0.690
b	0.180	-	0.260
c	0.130	-	0.170
D	11.800	12.000	12.200
D1	9.900	10.000	10.100
E	11.800	12.000	12.200
E1	9.900	10.000	10.100
e	-	0.500	-
L	0.450	0.600	0.750
L1	-	1.000	-

图 5-2 LQFP64 - 64-pin, 10x10mm建议封装图

5.3 BGA100 (10x10mm) 封装信息

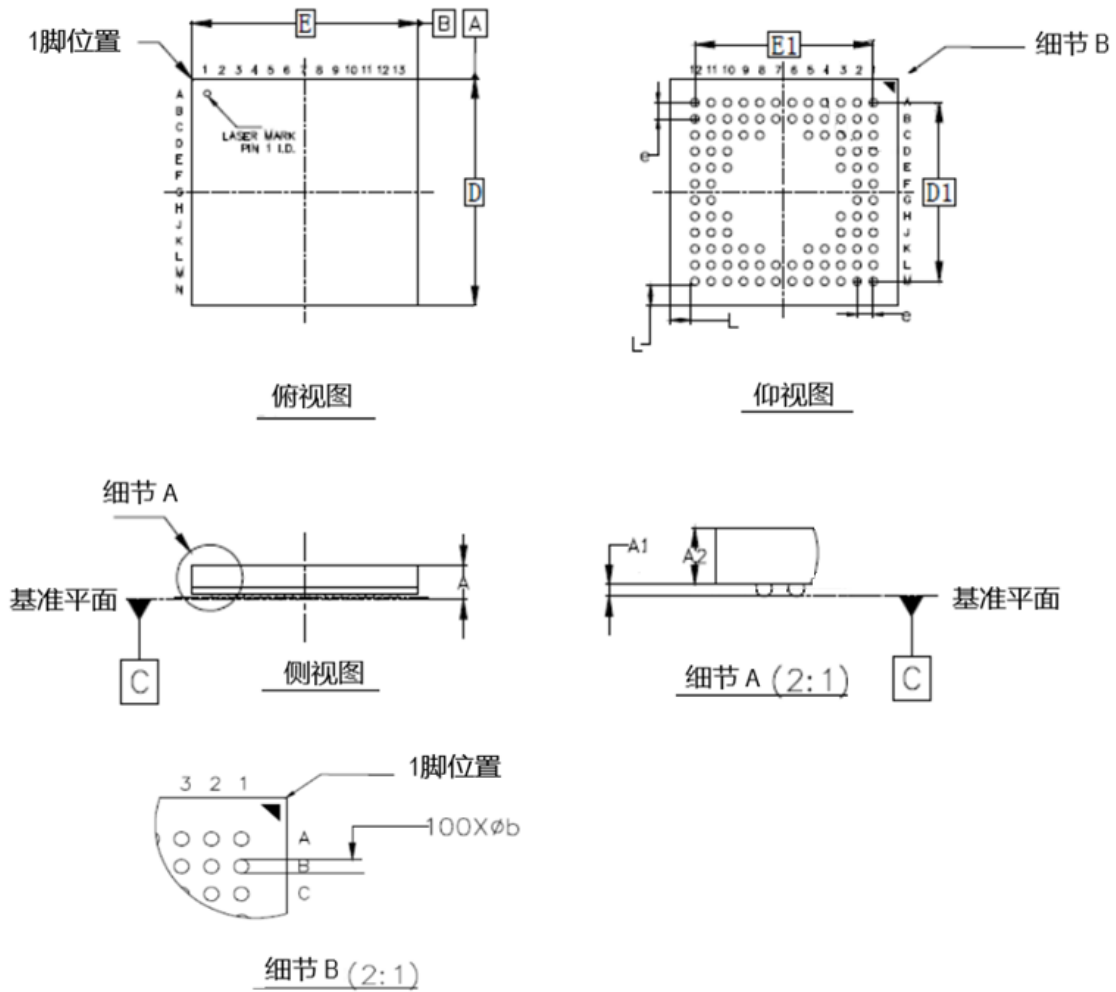


单位为毫米

尺寸符号	最小值	公称值	最大值
A	1.18	1.26	1.34
A ₁	0.25	0.30	0.35
A ₂	0.90	0.96	1.02
D	9.90	10.00	10.10
D ₁	--	7.20	--
E	9.90	10.00	10.10
E ₁	--	7.20	--
e	--	0.80	--
b	0.35	0.40	0.45
L	--	1.2	--

图 5-3 BGA100 (10x10mm) 封装尺寸图

5.4 BGA100 (7x7mm) 封装信息

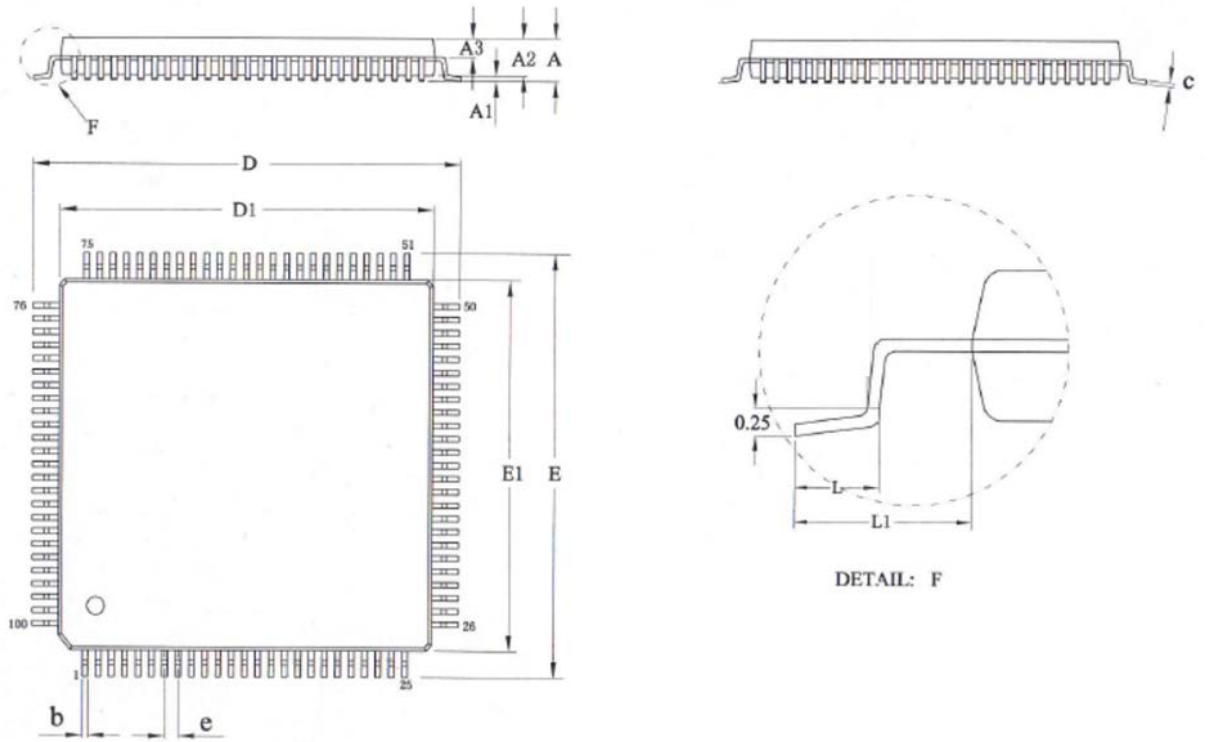


单位为毫米

尺寸符号	最小值	公称值	最大值
A	0.98	1.06	1.14
A1	0.13	0.18	0.23
A2	0.83	0.88	0.93
D	6.90	7.00	7.10
D1	-	5.50	-
E	6.90	7.00	7.10
E1	-	5.50	-
e	-	0.50	-
b	0.20	0.25	0.30
L	-	0.625	-

图 5-4 BGA100 (7x7mm) 封装尺寸图

5.5 LQFP100封装信息

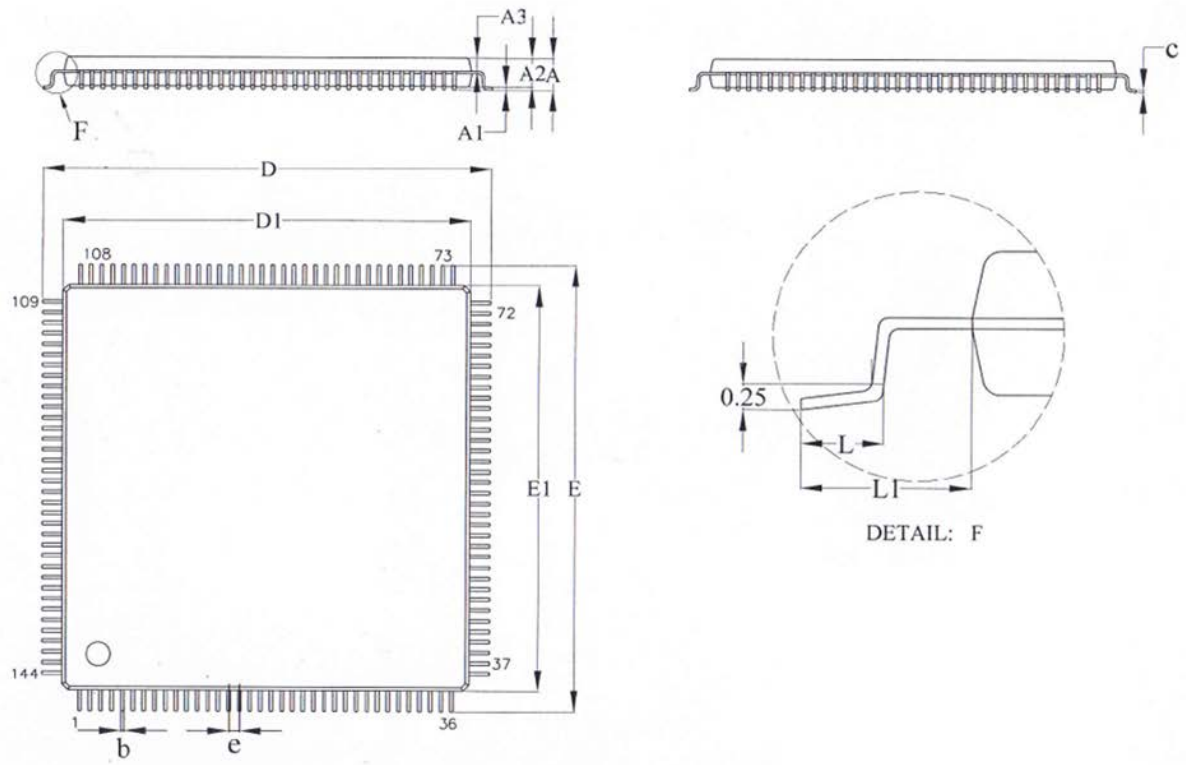


单位为毫米

尺寸符号	最小值	公称值	最大值
A	-	-	1.600
A1	0.050	-	0.150
A2	1.350	1.400	1.450
A3	0.59	0.64	0.69
b	0.180	0.220	0.260
c	0.130	-	0.170
D	15.800	16.000	16.200
D1	13.900	14.000	14.100
E	15.800	16.000	16.200
E1	13.900	14.000	14.100
e	-	0.500	-
L	0.450	0.600	0.750
L1	-	1.000	-

图 5-5 LQFP100-100-pin, 14×14mm 引脚薄型正方扁平封装图

5.6 LQFP144封装信息

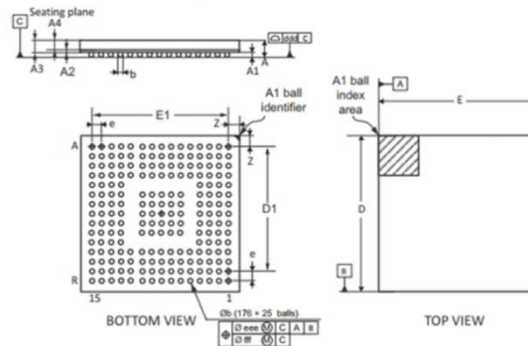


单位为毫米

尺寸符号	最小值	公称值	最大值
A	-	-	1.600
A1	0.050	-	0.150
A2	1.350	1.400	1.450
A3	0.590	0.640	0.690
b	0.180	-	0.260
c	0.130	-	0.170
D	21.60	22.00	22.20
D1	19.700	20.000	20.10
E	21.600	22.000	22.200
E1	19.700	20.000	20.100
e	-	0.500	-
L	0.450	-	0.750
L1	-	1.000	-

图 5-6 LQFP144-144-pin, 20×20mm 引脚薄型正方扁平封装图

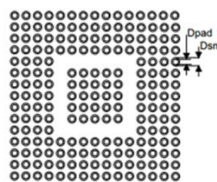
5.7 BGA176封装信息



单位为毫米

尺寸符号	最小值	公称值	最大值
A	-	-	0.600
A1	-	-	0.110
A2	-	0.130	-
A3	-	0.450	-
A4	-	0.320	-
b	0.240	0.290	0.340
D	9.850	10.000	10.150
D1	-	9.100	-
E	9.850	10.000	10.150
E1	-	9.100	-
e	-	0.650	-
Z	-	0.450	-
ddd	-	-	0.080
eee	-	-	0.150
fff	-	-	0.050

图 5-7 BGA176 超薄紧密排列焊球阵列, 10x10mm, 0.65mm 封装图



推荐封装图

表 5-1 BGA176推荐PCB设计规则(0.65mm间距BGA)

Dimension	推荐值
Pitch	0.65
Dpad	0.300mm
Dsm	0.400mm typ. (dependsonthesoldermaskregistrationtolerance)

注：推荐使用无焊锡覆盖界定的（NSMD）焊盘。

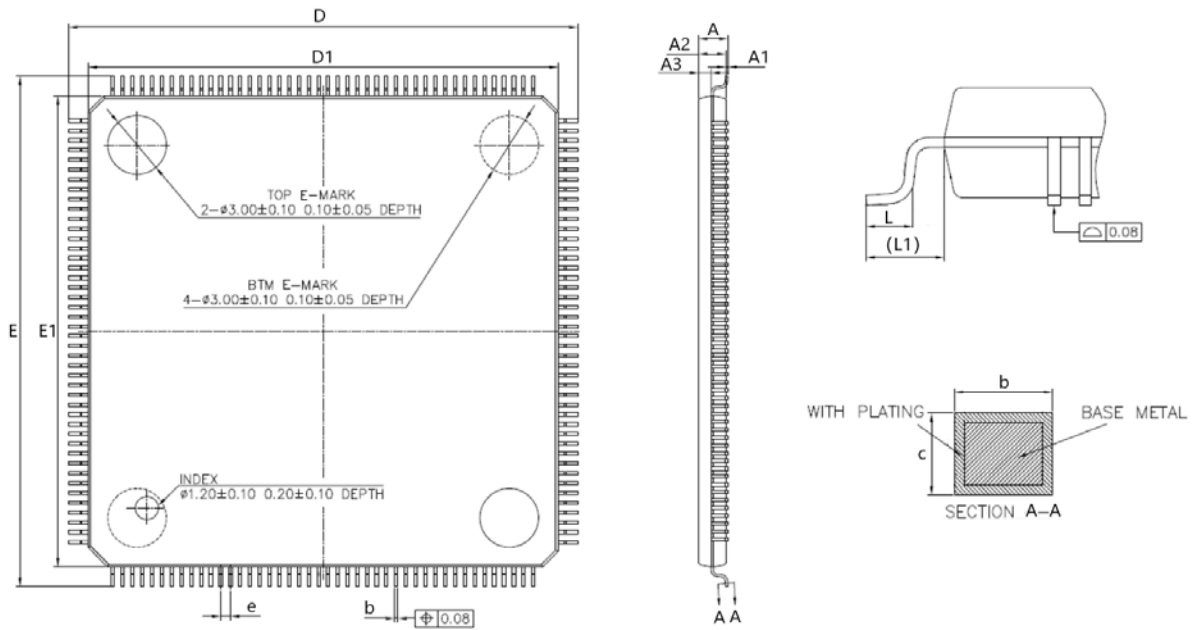
4~6毫锡膏丝印工艺。

模板开口0.300mm。

模板厚度在0.100mm~0.125mm之间。

Pad跟踪宽度在0.100mm

5.8 LQFP176封装信息



单位为毫米

尺寸符号	最小值	公称值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	-	0.27
c	0.127	-	0.18
D	25.90	26.00	26.10
D1	23.90	24.00	24.10
E	25.90	26.00	26.10
E1	23.90	24.00	24.10
e	0.45	0.50	0.55
L	0.45	0.60	0.75
L1	1.00REF		

图 5-8 LQFP176-176-pin, 24x24mm引脚薄型正方扁平封装图

5.9 热特性

芯片最高结温(T_{Jmax})以摄氏度表示,可使用如下公式计算:

$$T_{Jmax} = T_{Amax} + (PD_{max} \times \Theta_{JA})$$

其中:

- T_{Amax} 表示最高环境温度,以 $^{\circ}C$ 表示,
- Θ_{JA} 为封装结点至环境的热阻,以 $^{\circ}C/W$ 表示,
- PD_{max} 是 $P_{INT_{max}}$ 与 $P_{I/O_{max}}$ 之和($P_{D_{max}} = P_{INT_{max}} + P_{I/O_{max}}$),
- $P_{INT_{max}}$ 为 I_{DD} 和 V_{DD} 的乘积,以瓦特表示。它是芯片的最大内部功率。
- $P_{I/O_{max}}$ 表示输入引脚的最大功率耗散,其中:
- $P_{I/O_{max}} = \Sigma (V_{OL} \times I_{OL}) + \Sigma ((V_{DD} - V_{OH}) \times I_{OH})$,

考虑了应用中I/O在低电平和高电平状态下的实际 V_{OL}/I_{OL} 和 V_{OH}/I_{OH} 。

表 5-2 封装热特性

符号	参数	数值	单位
Θ_{JA}	结到环境热阻 LQFP64-10×10mm/0.5mm间距	46	$^{\circ}C/W$
	结到环境热阻 LQFP100-14×14mm/0.5mm间距	43	
	结到环境热阻 LQFP144-20×20mm/0.5mm间距	40	
	结到环境热阻 LQFP176-24×24mm/0.5mm间距	38	
	结到环境热阻 BGA176-10×10mm/0.65mm间距	39	

参考文档

《JESD51-2集成电路热试验方法环境条件-自然对流(静止空气)》。可从www.jedec.org下载

6 订货信息

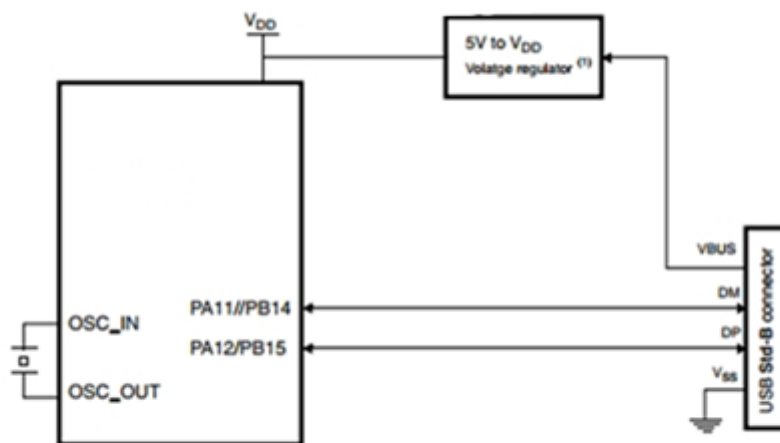
6.1 选型列表

表 6-1 选型列表

型号	封装	引脚数
AST32F407ACGT	LQFP	48
AST32F407ARGT	LQFP	64
AST32F407AVGH	BGA (10x10mm)	100
AST32F407AVGHS	BGA (7x7mm)	100
AST32F407AVGT	LQFP	100
AST32F407AZGT	LQFP	144
AST32F407AIGH	BGA	176
AST32F407AIGT	LQFP	176

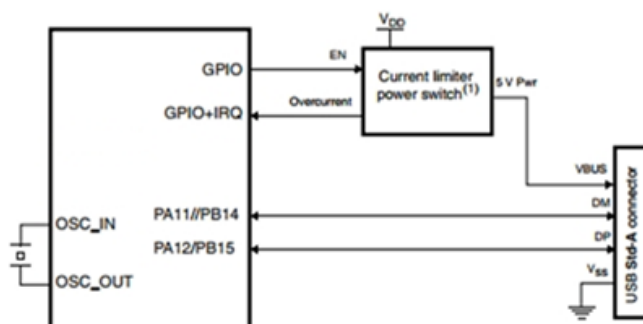
附件 A 用方框图

A.1 USB OTG 全速（FS）接口解决方案



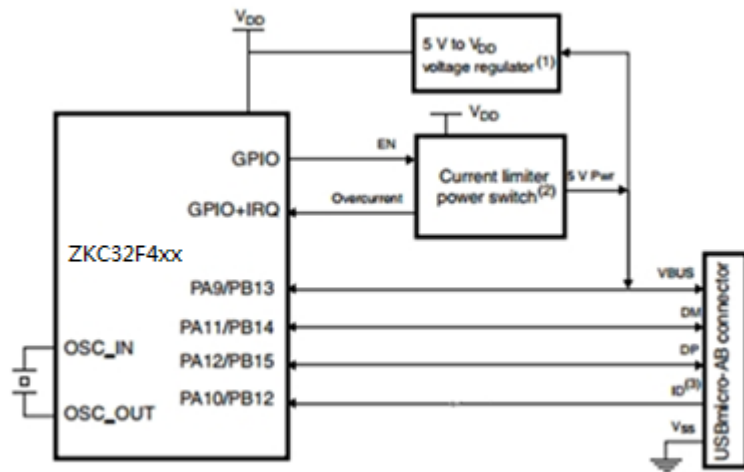
1. 只有在构建由V_{BUS}供电的器件时才需要外部调压器。
2. 得益于大Rx/Tx FIFO及专用DMA控制器，可在FS模式中使用OTG HS开发同一应用，达到更高的性能。

图 7-1 . USB控制器配置为仅外设，并在全速模式下使用



1. 只有在应用必须支持由V_{BUS}供电的器件时才需要限流器。如果应用电路板提供5V电源，则可以使用基本电源开关。
2. 得益于大Rx/Tx FIFO及专用DMA控制器，可在FS模式中使用OTG HS开发同一应用，达到更高的性能。

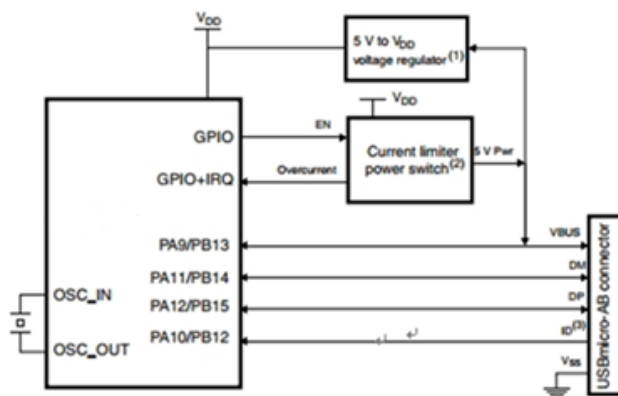
图 7-2 USB控制器配置为仅主机，并在全速模式下使用



1. 只有在构建由V_{BUS}供电的器件时才需要外部调压器。
2. 只有在应用必须支持由V_{BUS}供电的器件时才需要限流器。如果应用电路板提供5V电源，则可以使用基本电源开关
3. 仅当双模时才需要ID引脚。
4. 得益于大Rx/Tx FIFO及专用DMA控制器，可在FS模式中使用OTG HS开发同一应用，达到更高的性能。

图 7-3 USB控制器配置为双模，用于全速模式

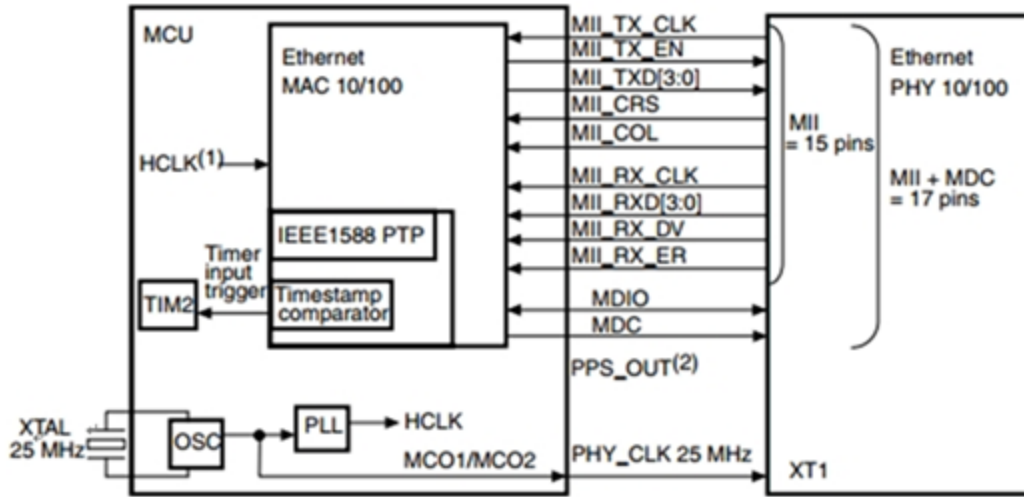
A.2 USB OTG 高速（HS）接口解决方案



1. 可使用MC01或MC02以节省一个晶振。然而，当使用USBHS时，并不一定要提供 24或26MHz晶振时钟。上图仅举例显示了一种可能的连接。
2. 仅当双模时才需要ID引脚。

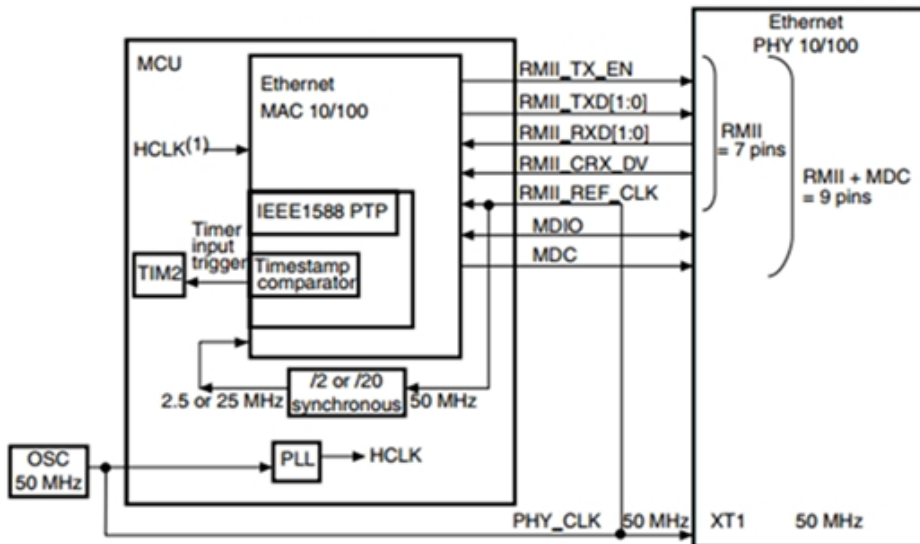
图 7-4 USB控制器配置为外设、主机、双模，用于高速模式

A.3 以太网接口解决方案



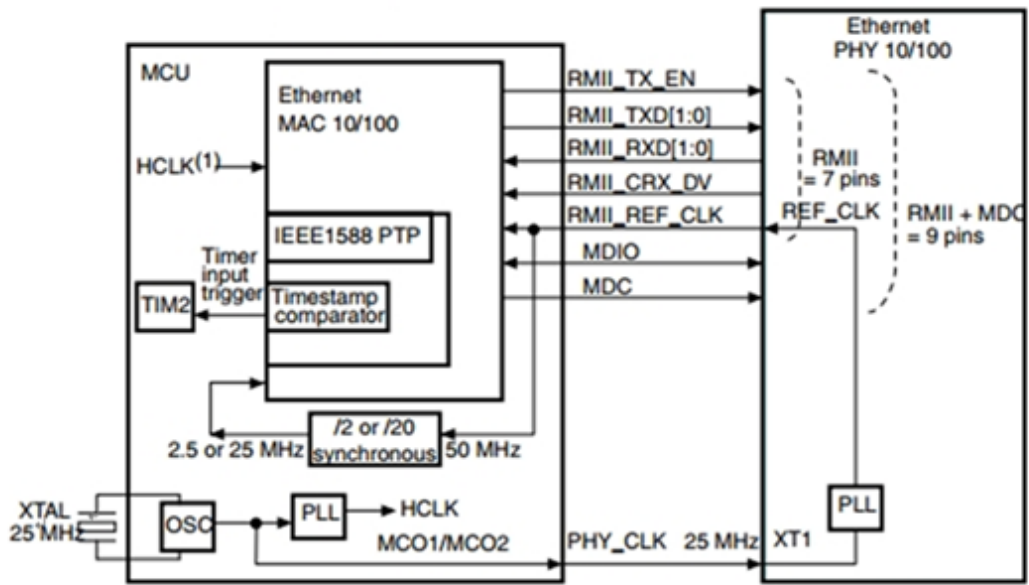
1. f_{HCLK} 必须大于25MHz。
2. 当使用 IEEE 1588 PTP可选信号时的每秒脉冲。

图 7-5 MII模式，使用25MHz晶振



1. f_{HCLK} 必须大于25MHz。

图 7-6 带有50MHz振荡器的RMII



1. f_{HCLK} 必须大于 25MHz。
2. 25MHz (PHY_CLK) 必须在 PLL 模块之前，直接从 HSE 振荡器获得。

图 7-7 带有 25MHz 晶振的 RMI 和带有 PLL 的 PHY