



深圳市雅创芯瀚电子科技有限公司
SHENZHEN ASTRONG-TECH CO., LTD

AST32F407xGT7系列微控制器

数据手册

服务电话：13691641629 15012885381

功能

● **内核:** 带有FPU的ARM 32位Cortex-M4 CPU、在Flash存储器中实现零等待状态运行性能的自适应实时加速器(ART加速器™)、主频高达168MHz, MPU能够实现高达210 DMIPS /1.25 DMIPS/MHz (Dhrystone2.1)的性能, 具有DSP指令集。

● 存储器

- 高达1MB Flash
- 高达194 + 4KB的 SRAM, 包括 64-KB的CCM (内核耦合存储器) 数据RAM
- 具有高达32位数据总线的灵活外部存储控制器: Compact FLASH, SRAM,PSRAM,NOR和NAND存储器。

● LCD 并行接口, 兼容8080/6800模式

● 时钟、复位和电源管理

- 1.8V 到 3.6V供电和 I/O
- POR、PDR、PVD 和 BOR
- 4 至 26MHz晶振
- 内置经工厂调校的16MHz C振荡器 (1%精度)
- 带校准功能的32kHz TC振荡器
- 内置带校准功能的32kHz C振荡器

● 低功耗

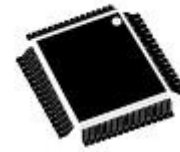
- 睡眠、停机和待机模式
- V_{BAT}可为RTC、20×32位备份寄存器+可选的4KB备份SRAM供电

● 3个12位、2.4 MSPS ADC: 多达24通道, 三重交叉模式下的性能高达7.2 MSPS

● 2个12位 D/A 转换器

● 通用DMA: 具有 FIFO 和突发支持的16路DMA控制器

● 多达17个定时器: 12个16位定时器, 和2个频率高达168MHz的32位定时器, 每个定时器都带有4个输入捕获/输出比较/PWM, 或脉冲计数器与正交(增量)编码器输入



LQFP64 (10 × 10 mm)
LQFP100 (14 × 14 mm)
LQFP144 (20 × 20 mm)
LQFP176 (24 × 24 mm)



UFBGA176
(10 × 10 mm)

● 调试模式

- SWD & JTAG接口
- Cortex-M4 跟踪宏单元

● 多达140个具有中断功能的 I/O 端口

- 高达136个快速I/O, 最高 84MHz
- 高达138个可耐 5V的I/O

● 多达15个通信接口

- 多达3个I2C接口(SMBus/PMBus)。
- 高达4个USART/2UART(10.5Mbit/s ISO7816接口、LIN、IrDA、调制解调器控制)。
- 高达3个SPI (42Mbits/s), 2个具有复用的全双工I2S, 通过内部音频PLL或外部时钟达到音频级精度。
- 2个CAN (2.0B主动)
- SDIO接口

● 高级连接功能

- 具有片上PHY的USB2.0全速器件/主机/OTG控制器
- 具有专用DMA、片上全速PHY和ULPI的USB2.0高速/全速器件/主机/OTG控制器
- 具有专用DMA的10/100以太网MAC: 支持IEEE1588v2硬件, MII/RMII

● 8~14位并行照相机接口: 速度高达54MB/s

● 真随机数发生器

● CRC计算单元

● RTC: 亚秒级精度、硬件日历

● 96位唯一ID

目录

目录	2
1 前言	5
2 说明	6
2.1 系统之间的全兼容性	8
2.2 设备概述	10
2.2.1 ARM Cortex-M4, 配有 FPU、嵌入式 Flash、SRAM	11
2.2.2 自适应实时内存加速器	11
2.2.3 内存保护单元	11
2.2.4 嵌入式 Flash	11
2.2.5 CRC (循环冗余校验) 计算单元	11
2.2.6 嵌入式 SRAM	12
2.2.7 Multi-AHB 总线矩阵	12
2.2.8 DMA 控制器(DMA)	13
2.2.9 可变存储控制器 (FSMC)	13
2.2.10 嵌套向量中断控制器(NVIC)	14
2.2.11 外部中断/事件控制器(EXTI)	14
2.2.12 时钟和启动	14
2.2.13 自举模式	15
2.2.14 供电方案	15
2.2.15 电源监控器	15
2.2.16 调压器	17
2.2.17 调压器 ON/OFF 及内部复位 ON/OFF 的可用性	19
2.2.18 实时时钟 (RTC)、备份 SRAM、备份寄存器	20
2.2.19 低功耗模式	21
2.2.20 V _{BAT} 操作	21
2.2.21 定时器和看门狗	22
2.2.22 内部集成电路接口 (I2C)	24
2.2.23 通用同步/异步收发器(USART)	24
2.2.24 串行外设接口(SPI)	24
2.2.25 内部集成音频(I2S)	24
2.2.26 音频 PLL (PLLI2S)	25
2.2.27 安全数字输入/输出接口(SDIO)	25
2.2.28 支持专用 DMA 和 IEEE1588 的以太网 MAC 接口	25
2.2.29 控制器区域网络(bxCAN)	26
2.2.30 通用串行总线 on-the-go 全速 (OTG_FS)	26
2.2.31 通用串行总线 on-the-go 高速 (OTG_HS)	26
2.2.32 数字摄像头接口(DCMI)	27
2.2.33 随机数发生器(RNG)	27
2.2.34 通用输入/输出 (GPIO)	27

2.2.35	模数转换器 (ADC)	27
2.2.36	温度传感器.....	27
2.2.37	数模转换器(DAC).....	28
2.2.38	串行线 JTAG 调试端口(SWJ-DP).....	28
2.2.39	嵌入式跟踪宏单元.....	28
3	引脚和引脚描述	29
4	内存映射	54
5	电气特性	59
5.1	参数条件.....	59
5.1.1	最小值和最大值.....	59
5.1.2	典型值.....	59
5.1.3	典型曲线.....	59
5.1.4	负载电容.....	59
5.1.5	引脚输入电压.....	59
5.1.6	电源方案.....	60
5.1.7	电流消耗测量.....	61
5.2	绝对最大额定值.....	61
5.3	工作条件.....	63
5.3.1	通用工作条件.....	63
5.3.2	V _{CAP1} /V _{CAP2} 外部电容.....	64
5.3.3	上电/掉电时的工作条件 (稳压器开)	65
5.3.4	上电/掉电时的工作条件 (稳压器关)	65
5.3.5	嵌入式复位和电源控制模块特性	65
5.3.6	供电电流特性.....	66
5.3.7	低功耗模式唤醒时序.....	76
5.3.8	外部时钟源特性.....	76
5.3.9	内部时钟源特性.....	81
5.3.10	PLL 特性.....	82
5.3.11	PLL 扩频时钟生成 (SSCG) 特性.....	83
5.3.12	存储器特性.....	85
5.3.13	EMC 特性.....	86
5.3.14	绝对最大额定值 (电气敏感性)	87
5.3.15	I/O 电流注入特性.....	88
5.3.16	I/O 端口特性.....	89
5.3.17	NRST 引脚特性	92
5.3.18	TIM 定时器特性.....	93
5.3.19	通信接口.....	94
5.3.20	CAN (控制器局域网) 接口.....	103
5.3.21	12 位 ADC 特性	104
5.3.22	温度传感器特性.....	107
5.3.23	V _{BAT} 监控特性.....	107

5.3.24	参考电压.....	108
5.3.25	DAC 电气特性.....	108
5.3.26	FSMC 特性.....	110
5.3.27	摄像头接口 (DCMI) 时序规范.....	129
5.3.28	SD/SDIO MMC 卡主机接口(SDIO)特性.....	130
5.3.29	RTC 特性.....	131
6	封装信息.....	132
6.1	LQFP64 封装信息.....	132
6.2	LQFP100 封装信息.....	134
6.3	LQFP144 封装信息.....	136
6.4	UFBGA176+25 封装信息.....	138
6.5	LQFP176 封装信息.....	140
6.6	热特性.....	142
7	部件编号.....	143
附件 A	用方框图.....	144
A.1	USB OTG 全速 (FS) 接口解决方案.....	144
A.2	USB OTG 高速 (HS) 接口解决方案.....	146
A.3	以太网接口解决方案.....	147

1 前言

本数据手册提供了 AST32F407XG 微控制器产品线的说明。有关整个 AST32 系列的更多详细信息，请参见第2.1章节：系列之间的全兼容性。

应将 AST32F407XG 据手册与 AST32F407XG 考手册相结合来阅读。

若需 Cortex-M4 内核的信息，请参考 Cortex-M4 编程手册。

2 说明

AST32F407XG 器件基于高性能的 ARM Cortex-M4 32 位 RISC 内核，工作频率高达 168MHz。Cortex-M4 内核带有单精度浮点运算单元(FPU)，支持所有 ARM 单精度数据处理指令和数据类型。它还具有一组 DSP 指令和提高应用安全性的一个存储器保护单元(MPU)。

AST32F407XG 器件集成了高速嵌入式存储器(Flash 存储器和 SRAM 的容量分别高达 1M 字节和 192K 字节)和高达 4K 字节的后备 SRAM，以及大量连至 2 条 APB 总线、3 条 AHB 总线和 1 个 32 位多 AHB 总线矩阵的增强型 I/O 与外设。

所有型号均带有 3 个 12 位 ADC、2 个 DAC、1 个低功耗 RTC、12 个通用 16 位定时器(包括 2 个用于电机控制的 PWM 定时器)、2 个通用 32 位定时器。一个真随机数生成器 (RNG)，它们还带有标准与高级通信接口。

- 高达三个 I2C
- 三个 SPI，两个 I2S 全双工。为达到音频级的精度，I2S 外设可通过专用内部音频 PLL 提供时钟，或使用外部时钟以实现同步。
- 四个 USART 及二个 UART
- 一个 USB OTG 全速和一个具有全速能力的 USB OTG 高速（配有 ULPI）
- 两个 CAN
- 一个 SDIO/MMC 接口
- 以太网和摄像头接口

高级外设包括一个 SDIO、一个灵活存储器控制 FSMC 接口(用于 100 针及以上封装的设备)、一个用于 CMOS 传感器的摄像头接口。

AST32F407XG 器件的工作温度范围是 -40~+105°C，供电电压范围是 1.8~3.6V。当设备工作在 0~70° 的温度范围内，若使用外部供电监控器，则供电电压可低至 1.7V（请参考内部复位 *OFF*）。该系列提供了一套全面的节能模式，可实现低功耗应用设计。

AST32F407XG 系列提供、从 64 引脚至 176 引脚的各种封装的设备。所包括的外设因所选的器件而异。

这些特性使得 AST32F407xx 微控制器适合于广泛的应用：

- 电机驱动和应用控制
- 医疗设备
- 工业应用：PLC、逆变器、断路器
- 打印机、扫描仪
- 警报系统、视频电话、HVAC
- 家庭音响设备

表 1.AST32F407XG 的特性和外设数量

外设		AST32F407R X	AST32F407VX	AST32F407ZX	AST32F407IX
闪存-K字节		1024			
SRAM-K字节	系统	192(112+16+64)			
	备份	4			
FSMC存储控制器		有 ⁽¹⁾			
以太网		有			
定时器	通用定时器	10			
	高级定时器	2			
	基本定时器	2			
	独立看门狗	有			
	窗口看门狗	有			
RTC		有			
随机数发生器		有			
通信接口	SPI/I2S	3/2 (全双工) ⁽²⁾			
	I2C	3			
	USART/UART	4/2			
	USB OTG FS	有			
	USB OTG HS	有			
	CAN	2			
SDIO		有			
相机接口		有			
GPIO		51	82	114	140
12位ADC通道数		16	16	24	24
12位DAC通道数		2			
最大CPU频率		168MHZ			
工作电压		1.8V-3.6V ⁽³⁾			
工作温度		环境温度: -40-+105°			
		结温: -40-+125°			
封装		LQFP64	LQFP100	LQFP144	LQFP176

1. 对于LQFP100封装, 只有FSMC Bank1或Bank2可用。Bank1只能通过片选信号NE1以复用模式支持NOR/PSRAM存储器。Bank2只能通过片选信号NE2支持16位或8位NAND Flash。
2. SPI2和SPI3接口可以在SPI模式和I2S音频模式这两种工作方式之间灵活切换。
3. 当器件工作于低温度范围, 并使用了外部供电监控器(请参考内部复位OFF)时, 可达到1.7V的V_{DD}/V_{DDA}最小值。

2.1 系统之间的全兼容性

AST32F407XG 器件是 AST32F4 产品系列的一部分。它们的引脚、软件、特性均与 AST32F2xx 器件完全兼容，使得用户可在开发期间尝试不同的存储器密度、外设、性能（FPU、更高的频率），获取更大的自由度。

AST32F407XG 器件与整个 AST32F10xx 产品系列保持兼容。所有功能引脚都引脚兼容。然而，AST32F407XGTx 并不能直接替代 AST32F10xx 器件：这两个产品系列的电源方案不同，因此它们的电源引脚不同。虽然如此，但是从 AST32F10xx 到 AST32F40x 产品系列的转换非常简单，仅有少数引脚受到影响。

图1、图2、图3 和图4 给出了 AST32F40xx、AST32F2xx、AST32F10xx 产品系列兼容的电路板设计。

图 1. LQFP64 与 AST32F10xx/AST32F40xx 兼容版本设计

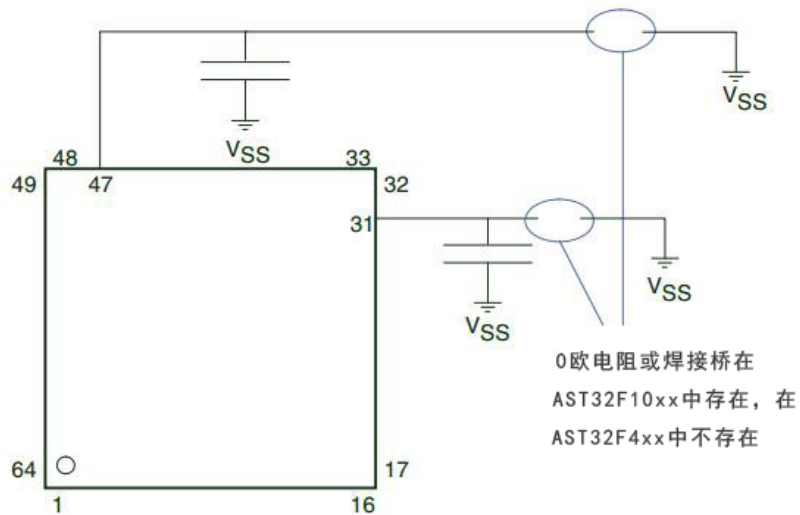


图 2. 兼容版设计 BC10xx/AST32F40xx 用于 LQFP100 封装

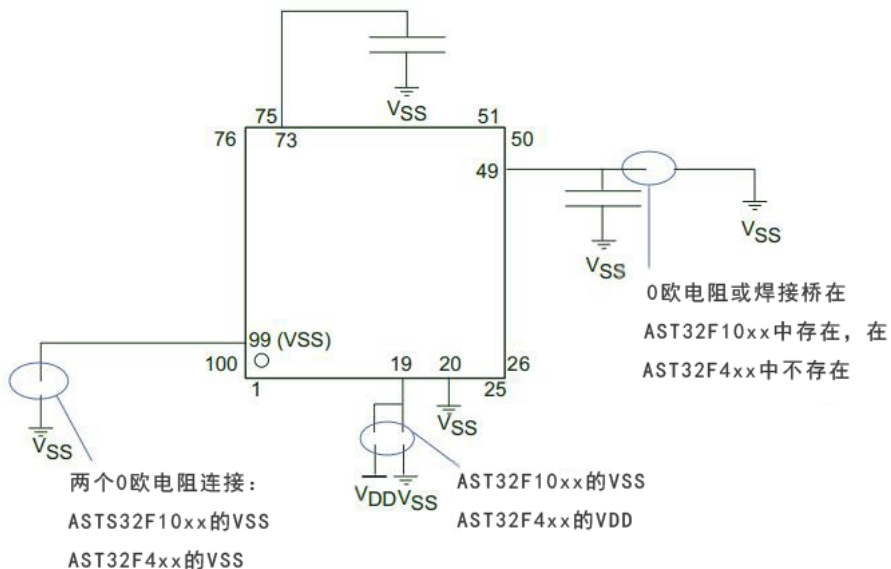


图 3.适用于 LQFP144 封装的 AST32F10xx/AST32F40xx 兼容版设计

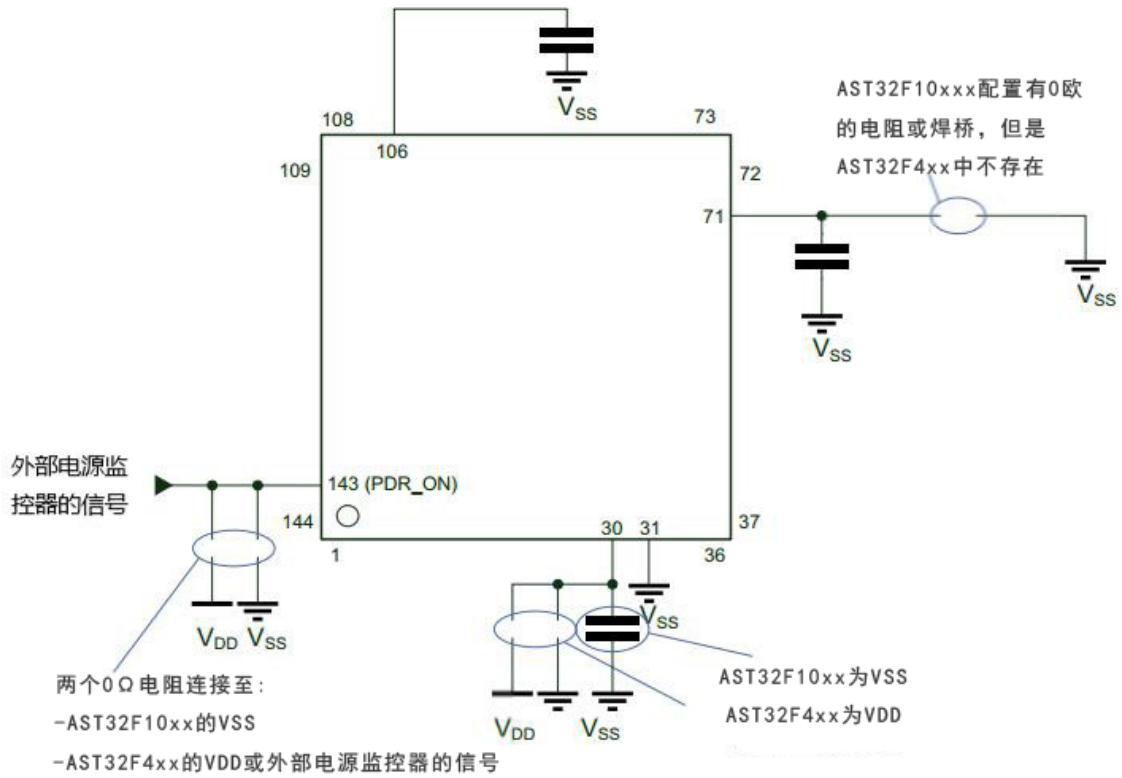
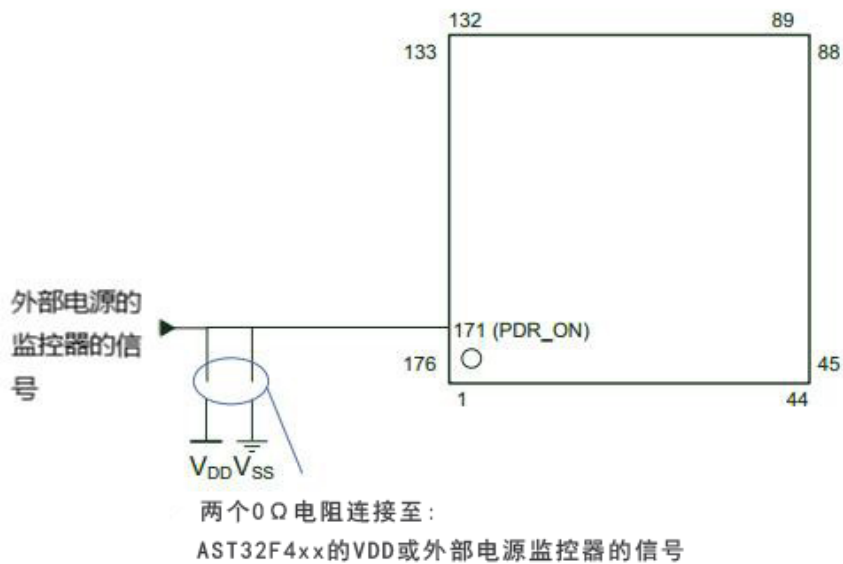
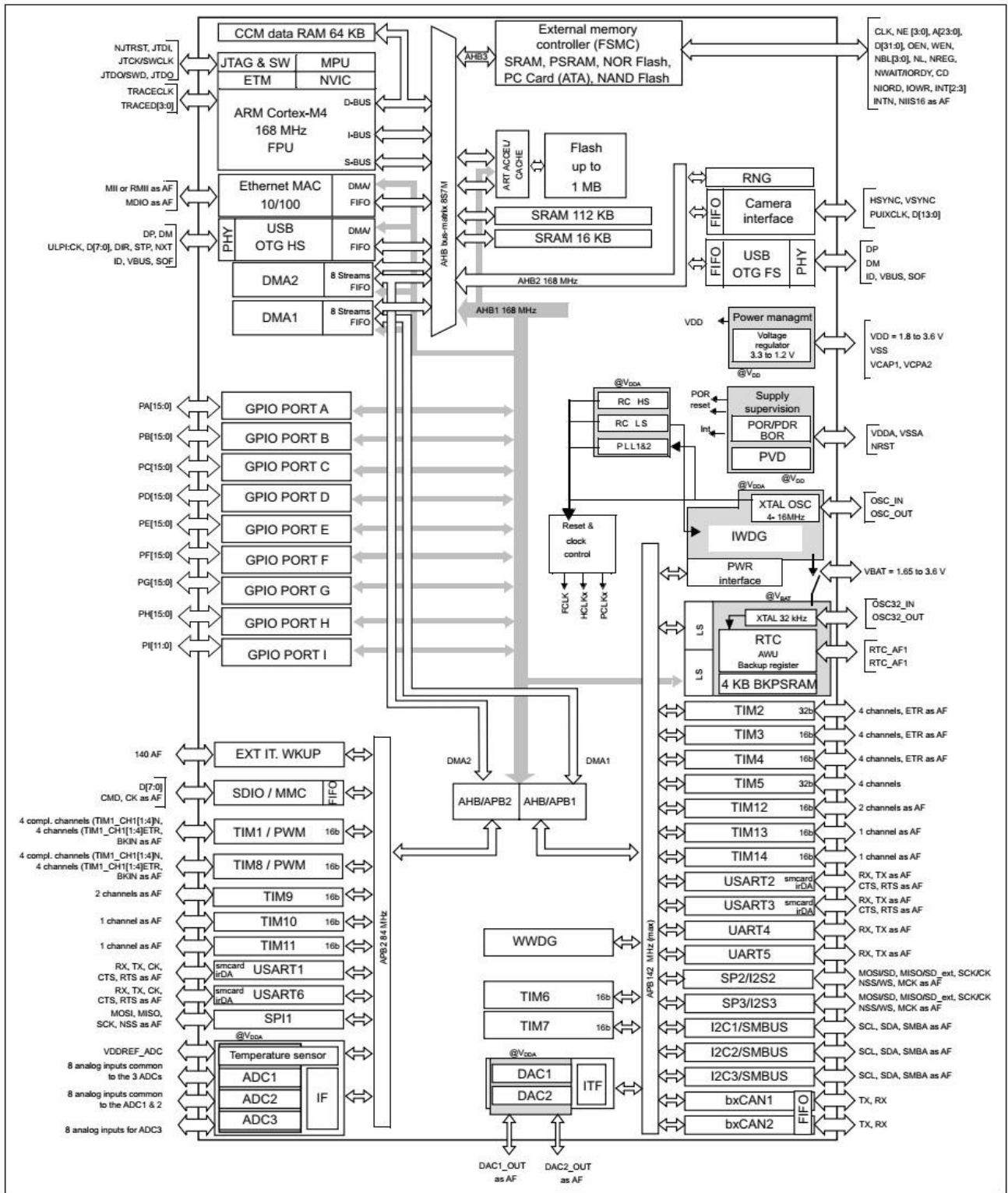


图 4. LQFP176 和 BGA176 封装的 AST32F40xx 兼容版设计



2.2 设备概述

图 5.AST32F407XG 框图



2.2.1 ARM Cortex-M4, 配有FPU、嵌入式Flash、SRAM

带有 FPU 处理器的 ARM Cortex-M4 是最新一代的嵌入式系统 ARM 处理器。该处理器引脚数少、功耗低, 能够提供满足 MCU 实现要求的低成本平台, 同时具备卓越的计算性能和先进的中断响应。

带有 FPU 内核的 ARM Cortex-M4 处理器是一款 32 位 RISC 处理器, 具有优异的代码效率, 采用通常 8 位和 16 位器件的存储器空间即可发挥 ARM 内核的高性能。

该处理器支持一组 DSP 指令, 能够实现有效的信号处理和复杂的算法执行。

它的单精度 FPU (浮点单元) 通过使用元语言开发工具, 可加速开发, 防止饱和。

AST32F407XGTx 系列与所有 ARM 工具和软件兼容。

图5 给出了 AST32F407XG 系列的总体框图。

注: 配有FPU的Cortex-M4内核与Cortex-M3内核二进制兼容。

2.2.2 自适应实时内存加速器

ART 加速器™是一种存储器加速器, 它为该器件工业标准的配有 FPU 处理器的 ARM Cortex-M4 做了优化。该加速器平衡了配有 FPU 的 ARM Cortex-M4 在 Flash 技术方面的固有性能优势, 克服了通常条件下, 高速处理器在运行中需要经常等待 Flash 的情况。

为了发挥处理器在此频率时的 210DMIPS 全部性能, 该加速器将实施指令预取队列和分支缓存, 从而提高了 128 位 Flash 的程序执行速度。根据 CoreMark 基准测试, 凭借 ART 加速器所获得的性能相当于 Flash 在 CPU 频率高达 168MHz 时以 0 个等待周期执行程序。

2.2.3 内存保护单元

内存保护单元 (MPU) 用于管理 CPU 对内存的访问, 防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区被组织为最多 8 个保护区, 还可依次再被分为最多 8 个子区。保护区大小可为 32 字节至可寻址存储器的整个 4G 字节

若应用中有一些关键的或认证的代码必须受到保护, 以免被其它任务的错误行为影响, 则 MPU 尤其有用。它通常由 RTOS (实时操作系统) 管理。若程序访问的存储器位置被 MPU 禁止, 则 RTOS 可检测到它并采取行动。在 RTOS 环境中, 内核可基于执行的进程, 动态更新 MPU 区的设置。

MPU 是可选的, 若应用不需要则可绕过。

2.2.4 嵌入式Flash

AST32F407XG 设备内置 1M 的 FLASH 内存, 用于存储程序和数据。

2.2.5 CRC (循环冗余校验) 计算单元

CRC (循环冗余校验) 计算单元使用一个固定的多项式发生器从一个 32 位的数据字中产生 CRC 码。

在众多的应用中, 基于 CRC 的技术还常用来验证数据传输或存储的完整性。根据 EN/IEC 60335-1 标准的规定, 这些技术提供了验证 Flash 完整性的方法。CRC 计算单元有助于在运行期间计算软件的签名, 并将该签名与链接时生成并存储在指定存储单元的参考签名加以比较。

2.2.6 嵌入式SRAM

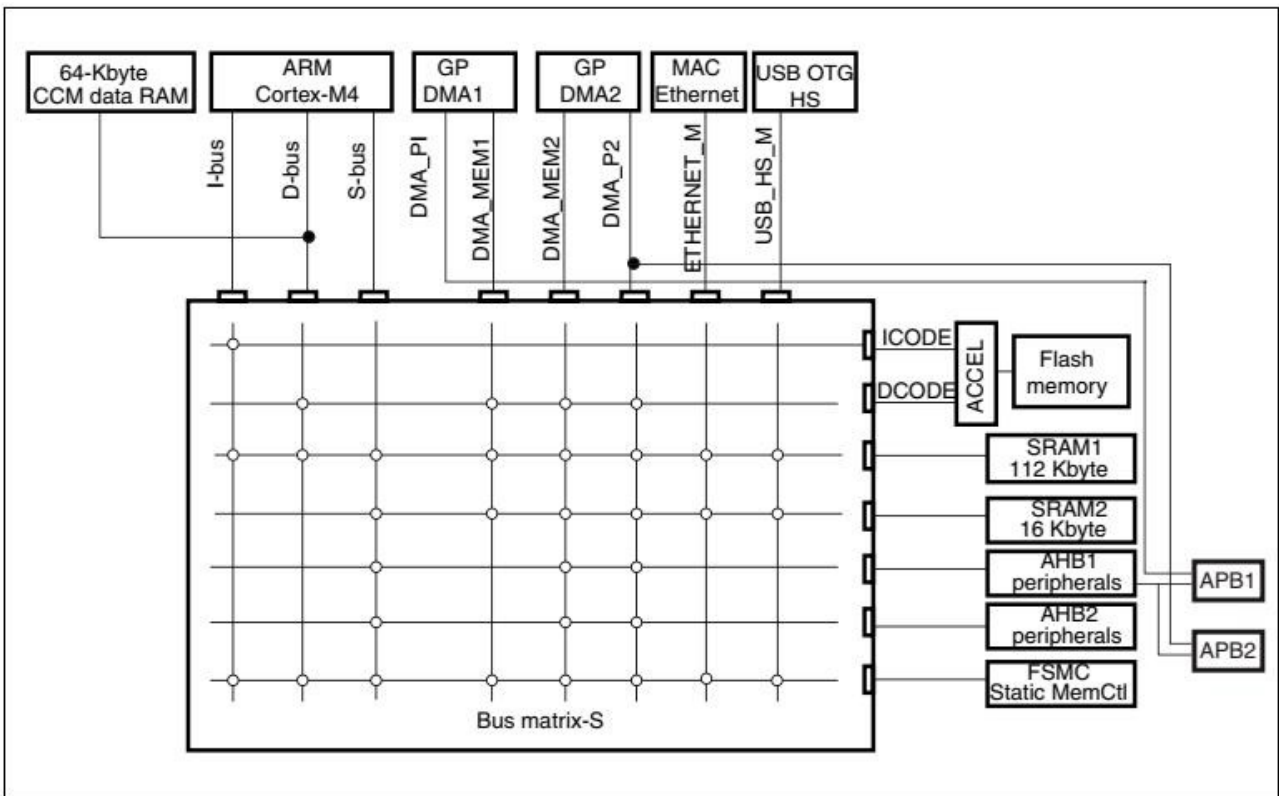
所有器件都内置有：

- 高达192K字节的系统SRAM，包括64K字节的CCM（内核耦合存储器）数据RAM以CPU时钟速度访问（读/写）RAM，0等待状态。
- 4K字节的备份SRAM
仅能从CPU访问此区域。它的内容受到保护，免受意外的写访问，并保持在待机或 V_{BAT} 模式。

2.2.7 Multi-AHB总线矩阵

32位的 multi-AHB 总线矩阵将所有主设备（CPU、DMA、以太网、USB HS）和从设备（Flash、RAM、FSMC、AHB、APB 外设）互连，确保了即使多个高速外设同时工作时，工作也能无缝、高效。

图 6. AST32F407XG Multi-AHB 矩阵



2.2.8 DMA控制器(DMA)

该器件具有两个通用双端口 DMA (DMA1 和 DMA2)，每个都有 8 个数据流。它们能够管理存储器到存储器、外设到存储器、存储器到外设的传输。它们具有用于 APB/AHB 外设的专用 FIFO，支持突发传输，其设计可提供最大外设带宽 (AHB/APB)。

这两个 DMA 控制器支持循环缓冲区管理，当控制器到达缓冲区末尾时，无需专门代码。这两个 DMA 控制器还有双缓冲特性，可自动使用和切换两个存储器缓冲，而不需要特殊代码。

每个数据流都与专用的硬件 DMA 请求相连，同时支持软件触发。通过软件进行相关配置，并且数据源和数据目标之间传输的数据量不受限制。

DMA 可与下列主要外设共同使用：

- SPI和I2S
- I2C
- USART
- 通用、基本和高级控制定时器TIMx
- DAC
- SDIO
- 摄像头接口(DCMI)
- ADC

2.2.9 可变存储控制器 (FSMC)

所有器件都内置有 FSMC。它有四个片选输出，支持下列模式：PC Card/Compact Flash、SRAM、PSRAM、NOR Flash、NAND Flash。

功能概述：

- 写FIFO
- 同步访问的最大FSMC_CLK频率为60MHz。

LCD并行接口

FSMC 可以和大多数图形 LCD 控制器无缝连接。它支持 Intel 8080 和 Motorola 6800 模式，并且可以灵活适应特定的 LCD 接口。凭借这种 LCD 并行接口功能，可使用带嵌入式控制器的 LCD 模块轻松构建经济高效的图形应用，也可使用带专用加速功能的外部控制器轻松构建高性能解决方案。

2.2.10 嵌套向量中断控制器(NVIC)

该器件内置有嵌套的向量中断控制器，可管理 16 个优先级，处理最多 82 个掩码中断通道及带 FPU 的 Cortex-M4 内核的 16 个中断线。

- 紧密耦合的NVIC提供了低延迟的中断处理
- 中断入口向量地址直接传递给核心
- 允许对中断进行早期处理
- 处理后到但优先级更高的中断
- 支持终端咬尾功能
- 自动保存处理器状态
- 退出中断时自动恢复现场，无需指令开销
- 此硬件模块以最短的中断延迟提供了灵活的中断管理功能。

2.2.11 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含 23 根用于产生中断/事件请求的边沿检测中断线。每根中断线都可以独立配置以选择触发事件（上升沿触发、下降沿触发或边沿触发），并且可以单独屏蔽。挂起寄存器用于保持中断请求的状态。EXTI 可检测到脉冲宽度小于内部 APB2 时钟周期的外部中断线。外部中断线最多有 16 根，可从最多 140 个 GPIO 中选择连接。

2.2.12 时钟和启动

复位时，16MHz 内部 RC 振荡器被选作默认的 CPU 时钟。

该 16MHz 内部 RC 振荡器在工厂调校，可在全温度范围提供 1% 的精度。应用可选择 RC 振荡器或外部 4-26MHz 时钟源作为系统时钟。此时钟的故障可被监测。若检测到故障，则系统自动切换回内部 RC 振荡器并生成软件中断（若启用）。此时钟源输入至 PLL，因此频率可增至 168MHz。类似地，必要时（例如，当间接使用的外部振荡器发生故障时）可以对 PLL 时钟输入进行完全的中断管理。

可通过多个预分频器配置三个 AHB 总线、高速 APB（APB2）、低速 APB（APB1）域。三个 AHB 总线的最大频率为168MHz，高速APB 域的最大频率为84MHz。低速APB 域的最大允许频率为42MHz。该

器件内置有一个专用 PLL（PLLI²S），可达到音频级性能。在此情况下，I²S 主时钟可生成 8kHz 至 192kHz 的所有标准采样频率。

2.2.13 自举模式

启动时，通过自举引脚来选择以下三种自举模式之一：

- 从用户Flash自举
- 从系统内存自举
- 从嵌入式SRAM自举

自举程序位于系统存储器中。它用于通过串行接口 USART1(PA9/PA10)，USART3(PC10/PC11 或 PB10/PB11)，CAN2(PB5/PB13)，USB(PA11/PA12)OTG FS 通过 DFU 对 Flash 重新编程。

2.2.14 供电方案

- $V_{DD}=1.8$ 到 $3.6V$ ：I/O和内部调压器（若启用）的外部电源，通过 V_{DD} 引脚外部提供
- V_{SSA} 、 $V_{DDA}=1.8$ 至 $3.6V$ ：ADC、DAC、复位模块、RCs、PLL的外部模拟电源。 V_{DDA} 和 V_{SSA} 必须分别连至 V_{DD} 和 V_{SS} 。
- $V_{BAT}=1.65$ 到 $3.6V$ ：当 V_{DD} 不存在时，作为RTC、32kHz外部时钟振荡器和备份寄存器的电源（通过电源开关供电）。

注：当使用了外部电源管理器且设备工作在较低的温度范围内时， V_{DD} 和 V_{DDA} 最小值为 $1.8V$ （参考内部复位OFF章节）

2.2.15 电源监控器

内部复位ON

在内置了 PDR_ON 引脚的封装上，通过保持 PDR_ON 为高电平来启用电源监控器。在其它封装上，电源监控器一直启用。

该器件具有一个集成的上电复位（POR）/掉电复位（PDR）电路，与欠压复位（BOR）电路耦合。当上电时，POR/PDR 一直激活，确保从 $1.8V$ 开始正常工作。当达到 $1.8VPOR$ 的门限电平后，选项字节加载过程开始，确认或修改默认的 BOR 门限，或永久禁止 BOR。通过设置选项字节，可有三个 BOR 门限。 V_{DD} 低于指定阈值 $V_{POR/PDR}$ 或 V_{BOR} 时，器件无需外部复位电路便会保持复位模式。

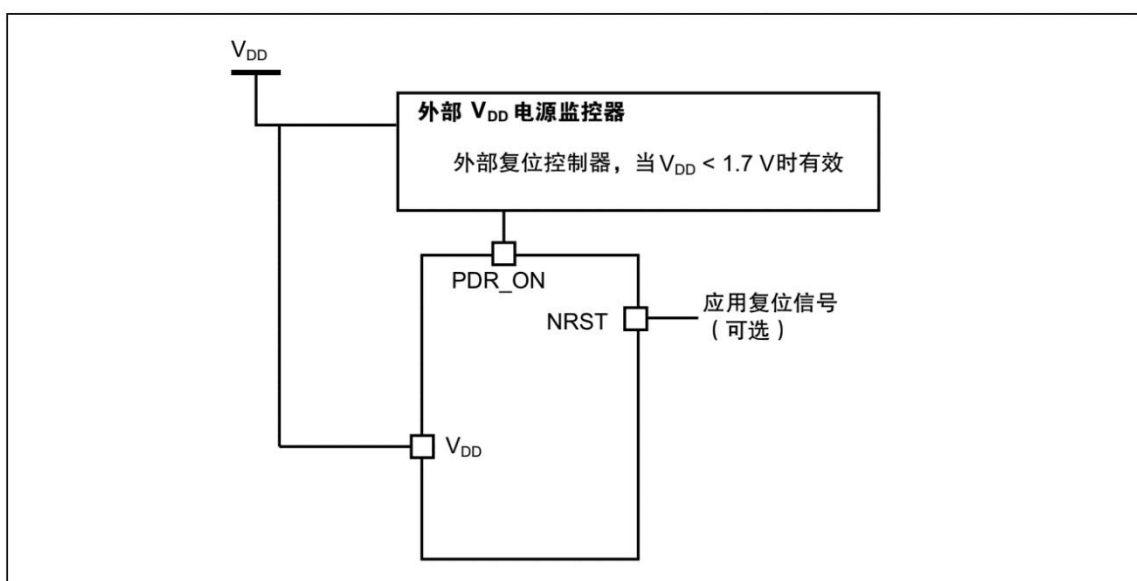
该器件还有一个嵌入式可编程电压检测器(PVD)，用于监视 V_{DD}/V_{DDA} 电源并将其与 V_{PVD} 阈值进行比较。当 V_{DD}/V_{DDA} 低于 V_{PVD} 阈值和/或 V_{DD}/V_{DDA} 高于 V_{PVD} 阈值时，将产生中断。随后，中断服务程序会生成一条警告消息并且/或者使 MCU 进入安全状态。PVD 由软件使能。

内部复位OFF

此特性仅在具有 PDR_ON 引脚的封装上可用。通过 PDR_ON 引脚可禁用内部上电复位（POR）/掉电复位（PDR）电路。

在 V_{DD} 低于指定门限时，外部电源监控器应监控 V_{DD} 并将器件保持在复位模式。PDR_ON 应连至此外部电源监控器。请参见图7：电源监控器与内部复位OFF的互连。

图 7.电源监控器与内部复位 OFF 的互连



1. PDR=1.7V适用于低温范围；PDR=1.8V适用于所有温度范围

V_{DD} 指定的阈值在需要维护的设备低于复位值为 1.8V。(见图7)当设备在 0–70°C的温度范围内工作室，该电源电压可以降至 1.7V。

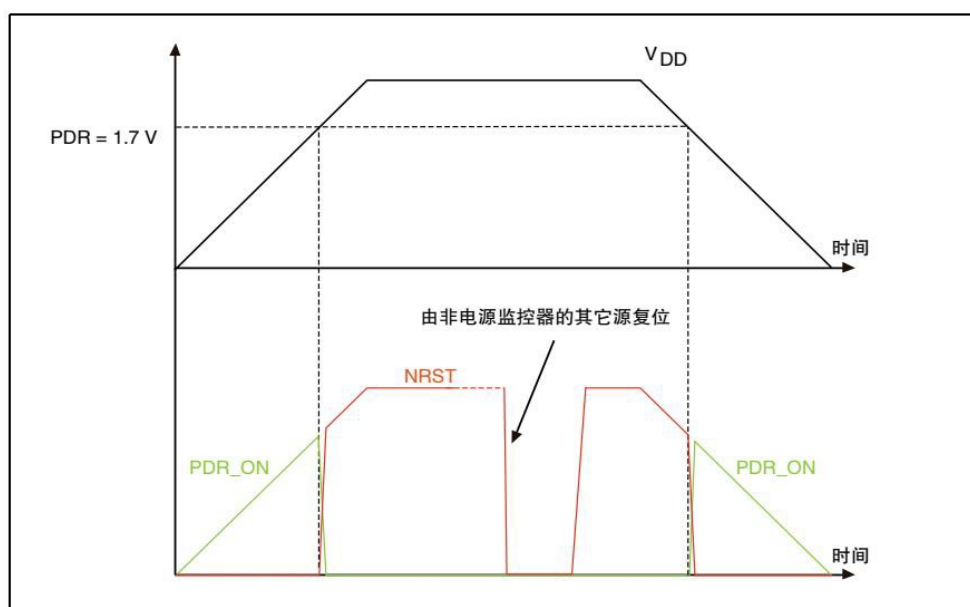
一套全面的应用于允许设计低功耗节能模式的程序。

当内部复位为 OFF 时，将不再支持下列集成特性：

- 集成的上电复位 (POR) /掉电复位 (PDR) 电路禁用
- 欠压复位 (BOR) 电路必须禁用
- 嵌入式的可编程电压检测器 (PVD) 禁用
- V_{BAT} 功能不再可用， V_{BAT} 引脚应连至 V_{DD}

除了 LQFP100 和 LQFP64，所有封装都可通过 PDR_ON 信号禁用内部复位。

图 8.PDR_ON 控制和内部复位 OFF



1. PDR=1.7V适用于低温范围；PDR=1.8V适用于所有温度范围。

2.2.16 调压器

调压器具有四种工作模式：

- 调压器ON
 - 主调压器模式 (MR)
 - 低功耗调压器 (LPR)
 - 掉电
- 调压器OFF

调压器ON

在内置了 BYPASS_REG 引脚的封装上，通过保持 BYPASS_REG 为低电平来启用调压器。在所有其它封装上，调压器一直启用。

当调压器为 ON 时，可由软件配置三种功耗模式：

- MR模式用于正常模式：在主调节模式 (MR模式) 中提供有不同的电压分级，以达到最大频率和动态功耗之间的最佳折中。
- LPR用于停止模式：当进入停止模式时，由软件配置LP调压器模式。
- 待机模式下掉电：仅当进入待机模式时，才能激活掉电模式。调压器输出高阻，内核电路掉电，达到零功耗。寄存器和SRAM的内容丢失。

应在 V_{CAP1} 和 V_{CAP2} 引脚上连接两个外部陶瓷电容。请参见图21:电源方案和表15: V_{CAP1}/V_{CAP2} 工作条件。

所有封装都有调压器 ON 特性。

调压器OFF

此特性仅在具有 BYPASS_REG 引脚的封装上可用。保持 BYPASS_REG 为高电平可禁用调压器。调压器 OFF 模式允许 V_{CAP1} 和 V_{CAP2} 引脚的外部 V_{I2} 电压源。

因为内部电压分级并不在内部管理，所以外部电压值必须与目标的最大频率匹配。请参考表13:通用工作条件。

两个 2.2 μ F 陶瓷电容应替换为 2 个 100nF 去耦电容。请参见图21:供电方案。

当调压器 OFF 时， V_{I2} 上不再有内部监控。应使用外部电源监控器来监控逻辑电源域的 V_{I2} 。PA0 引脚应用于此目的，作为 V_{I2} 电源域上的上电复位。

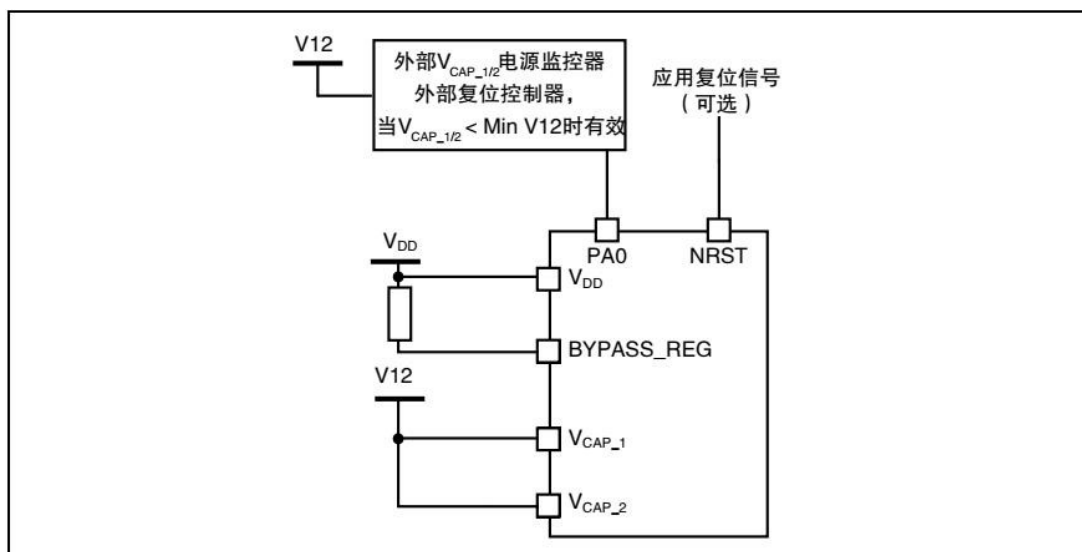
在调压器 OFF 模式，不再支持下列特性：

PA0 不能用作 GPIO 引脚，因为它可复位一部分 V_{I2} 逻辑电源域，而该域不能由 NRST 引脚复位。

当 PA0 为低电平时，不能在上电复位下使用调试模式。因此，若需要复位或预复位下的调试连接，则必须单独管理 PA0 和 NRST 引脚。

待机模式不可用。

图 9.调压器 OFF

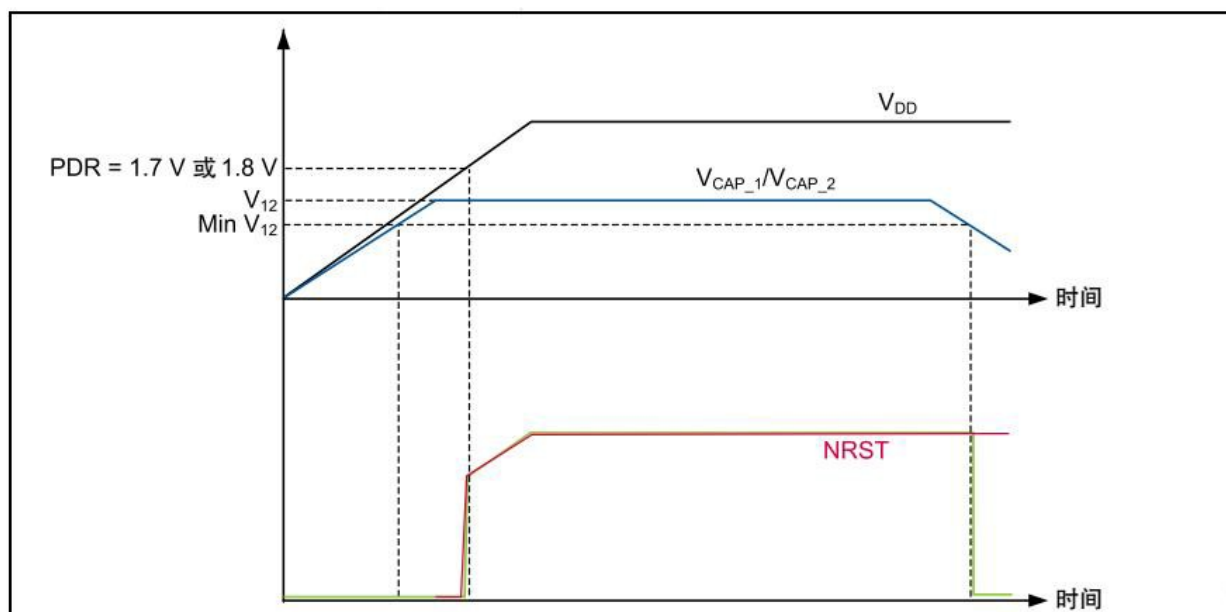


必须考虑以下条件：

- V_{DD} 应一直高于 V_{CAP_1} 和 V_{CAP_2} ，以防止电源域之间的电流注入。
- 若 V_{CAP_1} 和 V_{CAP_2} 达到 V_{12} 最小值的时间比 V_{DD} 达到1.8V的时间更快，则PA0应保持为低电平直到满足两个条件：直到 V_{CAP_1} 和 V_{CAP_2} 达到 V_{12} 最小值以及直到 V_{DD} 达到1.8V（请参见图10）。
- 否则，若 V_{CAP_1} 和 V_{CAP_2} 达到 V_{12} 最小值的时间比 V_{DD} 达到1.8V的时间慢，则PA0应外部处于低电平（请参见图11）。
- 若 V_{CAP_1} 和 V_{CAP_2} 低于 V_{12} 最小值，且 V_{DD} 高于1.8V，则PA0引脚上必须复位。

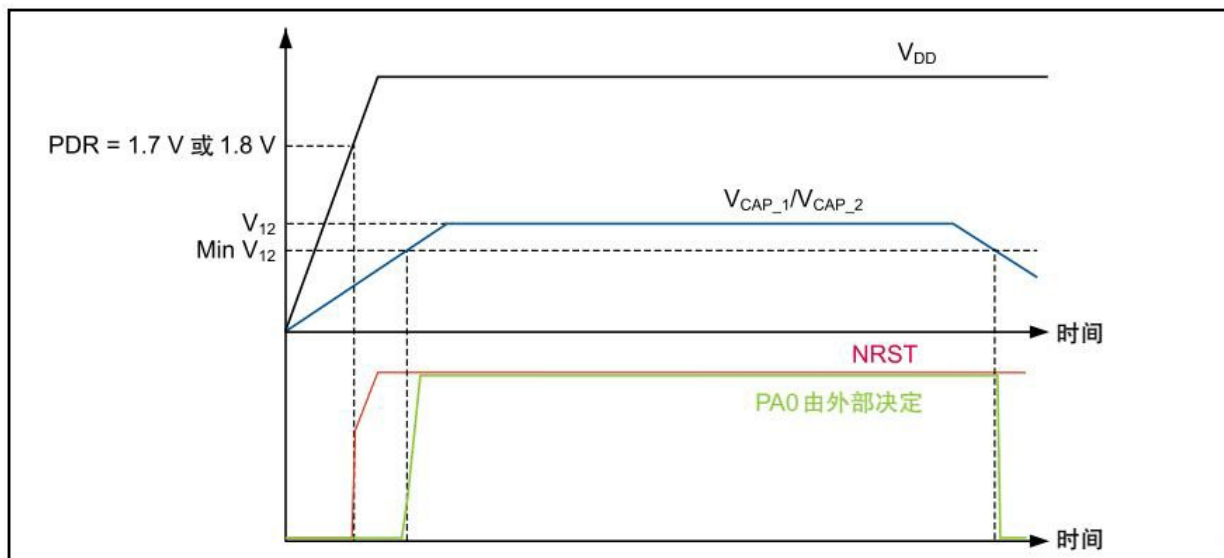
注： V_{12} 的最小值取决于应用中的目标最大频率（请参见表13:通用工作条件）。

图10.在调压器OFF时启动： V_{DD} 斜率慢-当 V_{CAP_1}/V_{CAP_2} 稳定后，发生掉电复位



1. 不管内部复位模式如何（ON或OFF），此图都成立。
2. PDR=1.7V适用于低温范围；PDR=1.8V适用于所有温度范围。

图 11.在调压器 OFF 模式时启动: V_{DD} 斜率快在 V_{CAP_1}/V_{CAP_2} 稳定前, 发生掉电复位



1. 不管内部复位模式如何 (ON或OFF), 此图都成立
2. PDR=1.7V适用于低温范围; PDR=1.8V适用于所有温度范围。

2.2.17 调压器ON/OFF及内部复位ON/OFF的可用性

表 2.调压器 ON/OFF 及内部复位 ON/OFF 的可用性

封装	调压器ON	调压器OFF	内部复位ON	内部复位OFF
LQFP64 LQFP100 LQFP144	有	无	有	无
UFBGA176 LQFP176	有 BYPA _{SS} _REG设为 V_{SS}	有 BYPA _{SS} _REG设为 V_{DD}	有 PDR_ON设为 V_{DD}	有 PDR_ON连至外部电 源监控器

2.2.18 实时时钟 (RTC)、备份SRAM、备份寄存器

备份域包括：

- 实时时钟(RTC)
- 4K字节的备份SRAM
- 20个备份寄存器

实时时钟(RTC)是一个独立的 BCD 定时器/计数器。专用寄存器含有秒、分钟、小时 (12/24 小时格式)、星期、日、月、年，格式为 BCD (二进制十进数)。系统可以自动将月份的天数调整为 28、29 (闰年)、30 和 31 天。RTC 提供了可编程的闹钟和可编程的周期性中断，可从停止和待机模式唤醒。此外，还可提供二进制格式的亚秒值。

实时时钟由 32.768kHz 的外部晶振、谐振器或振荡器、内部低功耗 RC 振荡器或者经 128 分频的高速外部时钟驱动。内部低速 RC 的典型频率为 32kHz。为补偿天然石英的偏差，可通过 512Hz 的外部输出对 RTC 进行校准。

两个闹钟寄存器用于在特定的时间生成闹铃，可单独屏蔽日历字段以比较闹钟。为生成周期性中断，使用了分辨率可编程的 16 位可编程二进制自动重载递减计数器，可从每隔 120 μ s 至每隔 36 小时自动唤醒和周期性闹铃。

20 位的预分频器用于时间基准时钟。默认情况下，它被配置为从 32.768kHz 时钟生成 1 秒的时间基准。

4K 字节的备份 SRAM 为类似 EEPROM 的存储区。它可用于储存 V_{BAT} 和待机模式需要保留的数据。此存储区默认禁用以降低功耗 (请参见第2.2.19 章节：低功耗模式)。它可由软件启用。

备份寄存器为 32 位寄存器，用于在 V_{DD} 电源不存在时存储 80 字节的用户应用数据。备份寄存器不会在系统复位或电源复位时复位，也不会当器件从待机模式唤醒时复位 (请参见第2.2.19 章节：低功耗模式)。

其它 32 位寄存器还包含可编程的闹钟亚秒、秒、分钟、小时、星期几和日期。

与备份 SRAM 类似，RTC 和备份寄存器通过开关供电，当 V_{DD} 供电，否则选择由 V_{BAT} 引脚供电。

2.2.19 低功耗模式

器件支持三种低功耗模式，可在低功耗、短启动时间和可用唤醒源之间取得最佳平衡：

- 睡眠模式

在睡眠模式下，只有 CPU 停止工作。所有外设继续运行并可在发生中断/事件时唤醒 CPU。

- 停止模式

待机模式下可以实现最低功耗，同时保持 SRAM 和寄存器的内容。此时，1.2V 域中的所有时钟都会停止，PLL、HSI RC 和 HSE 晶振也被禁止可以将调压器置于主调压器模式（MR）或低功耗模式（LPR）。

可由任何 EXTI 线将器件从停止模式唤醒（EXTI 线的源可为 16 根外部线之一、PVD 输出、RTC 闹钟/唤醒/入侵检测/时间戳事件、USB OTG FS/HS 唤醒或以太网唤醒）。

- 待机模式

待机模式下可达到最低功耗。此时，内部调压器关闭，因此整个 1.2V 域将断电。PLL、HSI RC 和 HSE 晶振也会关闭。进入待机模式后，除选择的备份域和备份 SRAM 中的寄存器外，SRAM 和寄存器的内容都将消失。

发生外部复位（NRST 引脚）、IWDG 复位、WKUP 引脚上出现上升沿或者触发 RTC 闹钟/唤醒/入侵检测/时间戳事件时，器件退出待机模式。

当旁路嵌入式调压器且由外部电源控制 1.2V 域时，不支持待机模式。

2.2.20 V_{BAT}操作

V_{BAT} 引脚允许从外部电池、外部超级电容器为器件的 V_{BAT} 域供电，或当没有外部电池及外部超级电容器时从 V_{DD} 供电。

当没有 V_{DD} 存在时，激活 V_{BAT} 工作。

V_{BAT} 引脚为 RTC、备份寄存器、备份 SRAM 供电。

注：当从 V_{BAT} 为微控制器供电时，外部中断和 RTC 闹钟/事件并不会将它从 V_{BAT} 的工作退出。当 PDR_ON 引脚不连至 V_{DD} 时（内部复位 OFF），V_{BAT} 功能不再可用，V_{BAT} 引脚应连至 V_{DD}。

2.2.21 定时器和看门狗

器件包括两个高级控制定时器、八个通用定时器、两个基本定时器、两个看门狗定时器。在调试模式下，可以冻结所有定时器计数器。

表3 比较了高级控制定时器、通用定时器和基本定时器的特性。

表 3.定时器的特性比较

定时器类型	Timer	计数器分辨率	计数器类型	预分频系数	DMA请求生成	捕获/比较通道	互补输出	最大接口时钟 (MHz)	最大定时器时钟 (MHz)
高级控制	TIM1和TIM8	16位	递增、递减、递增/递减	1和65536之间的任意整数	有	4	有	84	168
通用	TIM2, TIM5	32位	递增、递减、递增/递减	1和65536之间的任意整数	有	4	无	42	84
	TIM3, TIM4	16位	递增、递减、递增/递减	1和65536之间的任意整数	有	4	无	42	84
	TIM9	16位	递增	1和65536之间的任意整数	无	2	无	84	168
	TIM10, TIM11	16位	递增	1和65536之间的任意整数	无	1	无	84	168
	TIM12	16位	递增	1和65536之间的任意整数	无	2	无	42	84
	TIM13, TIM14	16位	递增	1和65536之间的任意整数	无	1	无	42	84
基本	TIM6和TIM7	16位	递增	1和65536之间的任意整数	有	0	无	42	84

高级控制定时器 (TIM1, TIM8)

高级控制定时器 (TIM1、TIM8) 可被看作是在 6 个通道上复用的三相 PWM 发生器。它们具有带可编程插入死区的互补 PWM 输出。它们也可看作一个完整的通用定时器。

4 个独立通道可以用于：

- 输入捕获
- 输出比较
- PWM生成（边沿或中心对齐模式）
- 单脉冲模式输出

如果配置为标准 16 位定时器，则功能与通用 TIMx 定时器相同。如果配置为 16 位 PWM 发生器，则具有完整的调制能力(0-100%)。

高级控制定时器可通过定时器链接功能与 TIMx 定时器协同工作，提供同步或事件链接功能。TIM1 和 TIM8 支持生成独立的 DMA 请求。

通用定时器(TIMx)

AST32F407XG 器件中内置有十个同步通用定时器（请参见表4 以了解其差别）。

- TIM2、TIM3、TIM4和TIM5

AST32F407XG 包括 4 个全功能的通用定时器：TIM2、TIM5、TIM3、TIM4。TIM2 和 TIM5 定时器基于一个 32 位自动重载递增/递减计数器和一个 16 位预分频器。TIM3 和 TIM4 定时器基于一个 16 位自动重载递增/递减计数器和一个 16 位预分频器。它们都具有 4 个独立通道，用于输入捕获/输出比较、PWM、单脉冲模式输出。在最大的封装中，可提供多达 16 个输入捕获/输出比较/PWM。

TIM2、TIM3、TIM4、TIM5 通用定时器可共同工作，或通过定时器链特性与其它通用定时器和高级控制定时器 TIM1 和 TIM8 共同工作以实现同步或事件链接。

任何通用定时器都可用于产生 PWM 输出。

TIM2、TIM3、TIM4、TIM5 都可生成独立的 DMA 请求。它们能够处理正交（增量）编码器信号，也能处理 1 到 4 个霍尔效应传感器的数字输出。

- TIM9、TIM10、TIM11、TIM12、TIM13、TIM14

这些定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。TIM10、TIM11、TIM13、TIM14 具有一个独立的通道，而 TIM9 和 TIM12 具有两个独立的通道，用于输入捕获/输出比较、PWM、单脉冲模式输出。它们可与 TIM2、TIM3、TIM4、TIM5 全功能通用定时器同步。它们也可用作简单时基。

基本定时器TIM6和TIM7

这些定时器主要用于生成 DAC 触发信号和波形。也可用作通用 16 位时基。

TIM6 和 TIM7 支持生成独立的 DMA 请求。

独立看门狗

独立看门狗基于 12 位递减计数器和 8 位预分频器。它由独立的 32kHz 内部 RC 提供时钟；由于内部 RC 独立于主时钟，因此它可在停机和待机模式下工作。它既可用于看门狗，以在发生问题时复位器件，也可用作自由运行的定时器，以便为应用程序提供超时管理。通过选项字节，可对其进行硬件或软件配置。

窗口看门狗

窗口看门狗基于可设置为自由运行的 7 位递减计数器。它可以作为看门狗以在发生问题时复位器件。它由主时钟驱动。具有早期警告中断功能，并且计数器可在调试模式下被冻结。

SysTick定时器

此定时器专用于实时操作系统，但也可用作标准递减计数器。它具有以下特性：

- 24位递减计数器
- 自动重载功能
- 当计数器计为0时，产生可屏蔽系统中断
- 可编程时钟源

2.2.22 内部集成电路接口 (I2C)

多达 3 个 I2C 总线接口可以在多主模式或从模式下工作。它们可支持标准（最高 100KHz）和快速（最高 400KHz）模式。该接口支持 7/10 位寻址模式和 7 位双寻址模式（从模式下）。其中内置了硬件 CRC 生成/校验功能。

该接口可以使用 DMA 并且支持 SMBus2.0/PMBus。

2.2.23 通用同步/异步收发器(USART)

该器件内置有四个通用同步/异步收发器（USART1、USART2、USART3、USART6）和两个通用异步接收发射器（UART4、UART5）。

这 6 个接口可提供异步通信、IrDA SIR ENDEC 支持、多处理器通信模式和单线半双工通信模式，并具有 LIN 主/从功能。USART1 和 USART6 接口的通信速率最高为 10.5Mb/s。其它可用接口的通信速率最高为 5.25Mb/s。

USART1、USART2、USART3 和 USART6 还提供了 CTS 和 RTS 信号的硬件管理、智能卡模式（符合 ISO7816）和与 SPI 类似的通信功能。所有接口均可使用 DMA 控制器。

表 4. USART 的特性比较

USART名称	标准特性	调制解调器 (RTS/CTS)	LIN	SPI主设备	irDA	智能卡 (ISO7816)	最大值波特率, 单位 Mbit/s (16倍过采样)	最大值波特率, 单位 Mbit/s (8倍过采样)	APB映射
USART1	X	X	X	X	X	X	5.25	10.5	APB2(最大 84MHz)
USART2	X	X	X	X	X	X	2.62	5.25	APB1(最大 42MHz)
USART3	X	X	X	X	X	X	2.62	5.25	APB1(最大 42MHz)
UART4	X	-	X	-	X	-	2.62	5.25	APB1(最大 42MHz)
UART5	X	-	X	-	X	-	2.62	5.25	APB1(最大 42MHz)
UART6	X	X	X	X	X	X	5.25	10.5	APB1(最大 84MHz)

2.2.24 串行外设接口(SPI)

在全双工和单工通信模式下，AST32F407XG 在从模式和主模式下具有多达 3 个 SPI。SPI1 通信速率可高达 42Mbits/s，SPI2 和 SPI3 通信速率可高达 21Mbit/s。3 位预分频器可产生 8 种主模式频率，帧可配置为 8 位或 16 位。硬件 CRC 生成/校验支持

基本的 SD 卡/MMC 模式。所有 SPI 均可使用 DMA 控制器。SPI 接口可配置为 TI 模式工作，用于主模式和从模式的通信。

2.2.25 内部集成音频(I2S)

可使用两个标准 I2S 接口（与 SPI2 和 SPI3 复用）。它们可工作于主或从模式，全双工和单工通信模式，可配置为 16/32 位分辨率的输入或输出通道工作。支持的音频采样频率为 8kHz 到 192kHz。当其中一个或两个 I2S 接口配置为主模式时，主时钟将以 256 倍采样频率输出到外部 DAC/CODEC。

所有 I2Sx 均可使用 DMA 控制器。

2.2.26 音频PLL (PLLI2S)

器件具有额外的专用 PLL，用于音频 I2S 应用。它可达到无误差的 I2S 采样时钟精度，在使用 USB 外设的同时不降低 CPU 性能。

可修改 PLLI2S 配置来管理 I2S 采样率变化，而不禁用 CPU、USB、以太网接口所使用的主 PLL。可将音频 PLL 编程为极低误差，得到 8KHz 至 192KHz 范围的采样率。

除了音频 PLL，可使用主时钟输入引脚将 I2S 流与外部 PLL（或编解码器输出）同步。

2.2.27 安全数字输入/输出接口(SDIO)

提供了 SD/SDIO/MMC 主机接口，它支持多媒体卡系统规范版本 4.2 中三种不同的数据总线模式：1 位（默认）、4 位和 8 位。

该接口的数据传输速率可达 48MHz，符合 SD 存储卡规范版本 2.0。

该接口还支持 SDIO 卡规范版本 2.0 中两种不同的数据总线模式：1 位（默认）和 4 位。

当前版本每次只支持一个 SD/SDIO/MMC4.2 卡，但支持多个 MMC4.1 或之前版本的卡。

除 SD/SDIO/MMC 外，该接口还完全符合 CE-ATA 数字协议版本 1.1。

2.2.28 支持专用DMA和IEEE1588的以太网MAC接口

该器件提供了与 IEEE-802.3-2002 兼容的介质访问控制器（MAC），通过工业标准的介质独立接口（MII）或精简介质独立接口（RMII）进行以太网 LAN 通信。微控制器需要外部物理接口器件（PHY）以连接到物理 LAN 总线（双绞线、光纤等等）。PHY 连至器件的 MII 端口，对于 MII 使用 17 个信号，对于 RMII 使用 9 个信号，并可使用微控制器的 25MHz（MII）时钟。

该器件包括下列特性：

- 支持10和100Mbit/s速率
- 具有专用的DMA控制器，可在专用SRAM和描述符之间高速传输（请参见AST32F4xx参考手册以获取详细信息）
- 支持MAC标签框架（VLAN）
- 半双工（CSMA/CD）和全双工工作
- 支持MAC控制子层（控制帧）
- 32位CRC的生成和去除
- 物理和多播地址的多种地址过滤模式（多播和群组地址）
- 每个发送和接收帧的32位状态码
- 内部FIFO可缓存发送和接收帧，发送FIFO和接收FIFO都为2K字节。
- 支持符合IEEE15882008（PTPV2）的硬件PTP（精密时间协议），时间戳比较器连至TIM2输入
- 系统时间大于目标时间时触发中断

2.2.29 控制器区域网络(bxCAN)

两个 CAN 与 2.0A 和 B（主动）规范兼容，比特率最高达 1Mbit/s。它们可接收和发送包含 11 位标识符的标准帧和包含 29 位标识符的扩展帧。每个 CAN 有三个发送邮箱，两个接收 FIFO，带有 3 级和 28 个共享的可调整筛选器组（即使只使用一个 CAN，也可使用所有这些）。每个 CAN 都分配有 256 字节的 SRAM。

2.2.30 通用串行总线on-the-go全速（OTG_FS）

该器件内置有一个集成了收发器的 USB OTG 全速器件/主机/OTG 外设。USB OTG FS 外设与 USB2.0 规范和 OTG1.0 规范兼容。它具有可由软件配置的端点设置，并支持挂起/恢复功能。USB OTG 全速控制器需要专用的 48MHz 时钟，由连至 HSE 振荡器的 PLL 产生。

主要特性为：

- 具有动态FIFO大小的320×35比特组合Rx和Tx FIFO大小
- 支持会话请求协议（SRP）和主机协商协议（HNP）
- 4个双向端点
- 8个主机通道，支持周期性OUT
- 内有HNP/SNP/IP（不需要任何外部电阻器）
- 对于OTG/主机模式，当连接总线供电器件时需要电源开关

2.2.31 通用串行总线on-the-go高速（OTG_HS）

该器件内置有一个 USB OTG 高速（高达 480Mb/s）的器件/主机/OTG 外设。USB OTG HS 支持全速和高速工作。它集成的收发器用于全速工作（12MB/s），具有的 UTMI 引脚数目少的接口（ULPI）用于高速工作（480MB/s）。当使用 HS 模式的 USB OTG HS 时，需要有外部 PHY 器件连至 ULPI。

USB OTG HS 外设与 USB2.0 规范和 OTG1.0 规范兼容。它具有可由软件配置的端点设置，并支持挂起/恢复功能。USB OTG 全速控制器需要专用的 48MHz 时钟，由连至 HSE 振荡器的 PLL 产生。

主要特性为：

- 具有动态FIFO大小的1Kbit × 35组合Rx和Tx FIFO大小
- 支持会话请求协议（SRP）和主机协商协议（HNP）
- 6个双向端点
- 12个主机通道，支持周期性OUT
- 支持内部FS OTG PHY
- 外部HS或HS OTG工作支持SDR模式的ULPI。OTG PHY通过12个信号连至微控制器ULPI端口。它可使用60MHz输出的时钟。
- 内部USB DMA
- 内有HNP/SNP/IP（不需要任何外部电阻器）
- 对于OTG/主机模式，当连接总线供电器件时需要电源开关

2.2.32 数字摄像头接口(DCMI)

该器件内置有摄像头接口，可通过 8 位至 14 位并行接口与摄像头模块和 CMOS 传感器连接以接收视频数据。该摄像头接口可支持的数据传输速率可在 54MHz 时高达 54Mbyte/s。它具有以下特性：

- 输入像素时钟和同步信号的可编程极性
- 并行数据通信可为8、10、12、14位
- 支持8位逐行视频单色或原始拜尔格式、YCbCr 4:2:2 逐行视频、RGB 565逐行视频或压缩数据（如JPEG）
- 支持连续模式或快照（单帧）模式
- 自动裁剪图像的能力

2.2.33 随机数发生器(RNG)

所有器件都内置有 RNG，可由集成的模拟电路生成 32 位随机数。

2.2.34 通用输入/输出 (GPIO)

每个 GPIO 引脚都可以由软件配置为输出（推挽或开漏、带或不带上拉/下拉）、输入（浮空、带或不带上拉/下拉）或外设复用功能。大多数 GPIO 引脚都具有数字或模拟复用功能。所有 GPIO 都有大电流的功能，具有速度选择以更好地管理内部噪声、功耗、电磁辐射。

如果需要，可在特定序列后锁定 I/O 配置，以避免对 I/O 寄存器执行意外写操作。

快速 I/O 处理，最大 I/O 切换可高达 84MHz。

2.2.35 模数转换器 (ADC)

内置有 3 个 12 位模数转换器(ADC)，每个 ADC 可共享多达 16 个外部通道，在单发或扫描模式下执行转换。在扫描模式下，将对一组选定的模拟输入执行自动转换。

ADC 接口内置的其它逻辑功能允许：

- 同步采样和保持
- 交叉采样和保持

ADC 可以使用 DMA 控制器。利用模拟看门狗功能，可以非常精确地监视一路、多路或所有选定通道的转换电压。当转换电压超出编程的阈值时，将产生中断。

为同步 A/D 转换和定时器，可由 TIM1、TIM2、TIM3、TIM4、TIM5、TIM8 定时器的任何一个触发 ADC。

2.2.36 温度传感器

温度传感器必须产生随温度线性变化的电压。转换范围为 1.8V 至 3.6V。温度传感器内部连接到 ADC1_IN16 的输入通道，该通道用于将传感器输出电压转换为数字值。

由于工艺不同，温度传感器的偏移因芯片而异，因此内部温度传感器主要适合检测温度变化的应用，而不是检测绝对温度的应用。如果需要读取精确温度，则应使用外部温度传感器部分。

2.2.37 数模转换器(DAC)

两个 12 位缓冲 DAC 通道可用于将两路数字信号转换为两路模拟电压信号输出。

该双数字接口支持以下功能：

- 两个DAC转换器：各对应一个输出通道
- 8位或12位单调输出
- 12位模式下数据采用左对齐或右对齐
- 同步更新功能
- 生成噪声波
- 生成三角波
- DAC双通道单独或同时转换
- 每个通道都具有DMA功能
- 通过外部触发信号进行转换
- 输入参考电压VREF+

该器件中使用 8 个 DAC 触发输入。DAC 通道通过定时器更新输出来触发，这些输出也连接到不同的 DMA 数据流。

2.2.38 串行线JTAG调试端口(SWJ-DP)

内置的 ARM SWJ-DP 接口由 JTAG 和串行线调试端口结合而成，可以实现要连接到目标的串行线调试探头或 JTAG 探头。

仅使用 2 个引脚执行调试，而不是 JTAG 要求的 5 个（可重用 JTAG 引脚，作为具有复用功能的 GPIO）：JTAG TMS 和 TCK 引脚分别与 SWDIO 和 SWCLK 共享，TMS 引脚上的指定序列用于在 JTAG-DP 和 SW-DP 间切换。

2.2.39 嵌入式跟踪宏单元

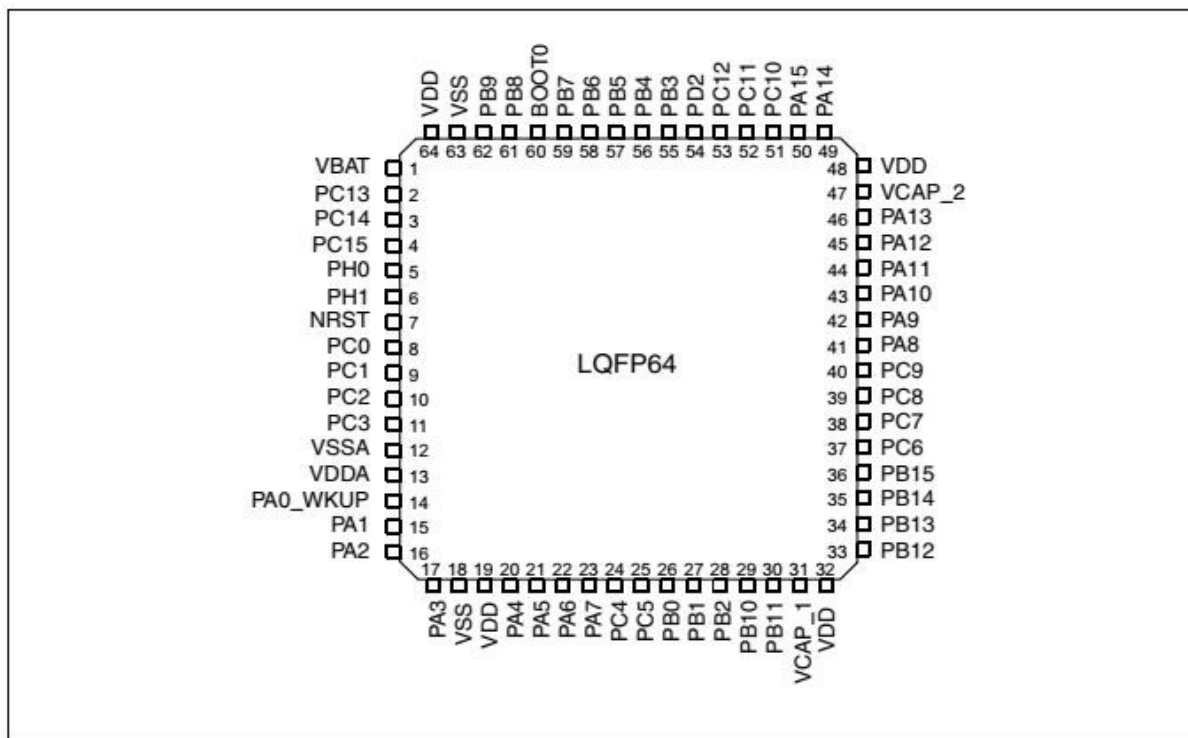
嵌入式跟踪宏单元能够通过少量 ETM 引脚、以极高的速率将压缩数据流从 AST32F407XG 传输到外部硬件跟踪端口分析器(TPA)设备中，从而提高了 CPU 内核中的指令和数据流的可视性。TPA 通过

USB、以太网或任何其它高速通道与主机计算机相连。可在运行调试软件的主机计算机上记录实时指令和数据流活动，并将其格式化以供显示。TPA 硬件可从通用开发工具供应商处购得。

嵌入式跟踪宏单元与第三方调试软件工具配合使用。

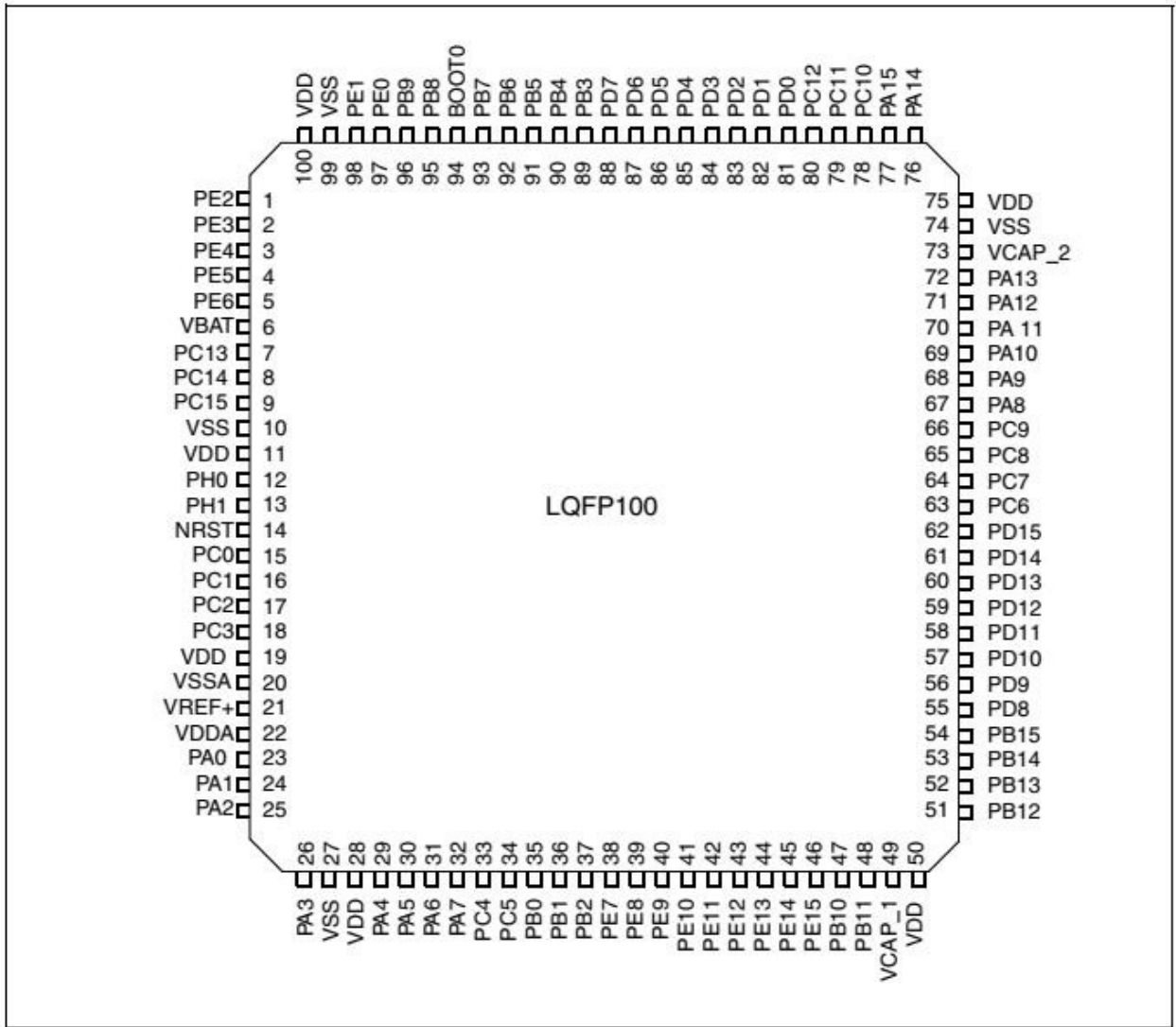
3 引脚和引脚描述

图 12. AST32F407XG LQFP64 引脚排序



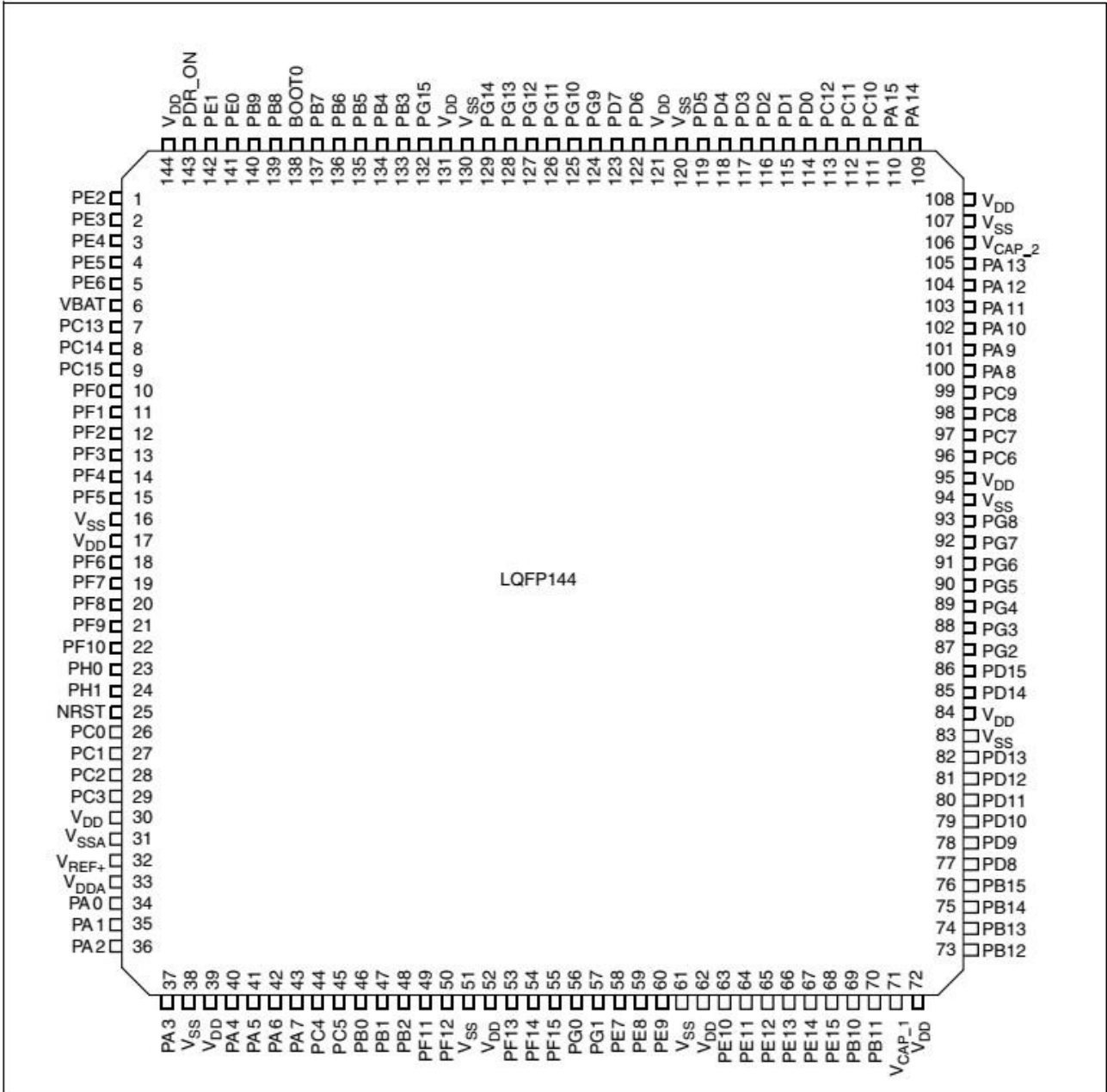
1. 上图显示了封装的顶视图。

图 13. AST32F407XG LQFP100 引脚排序



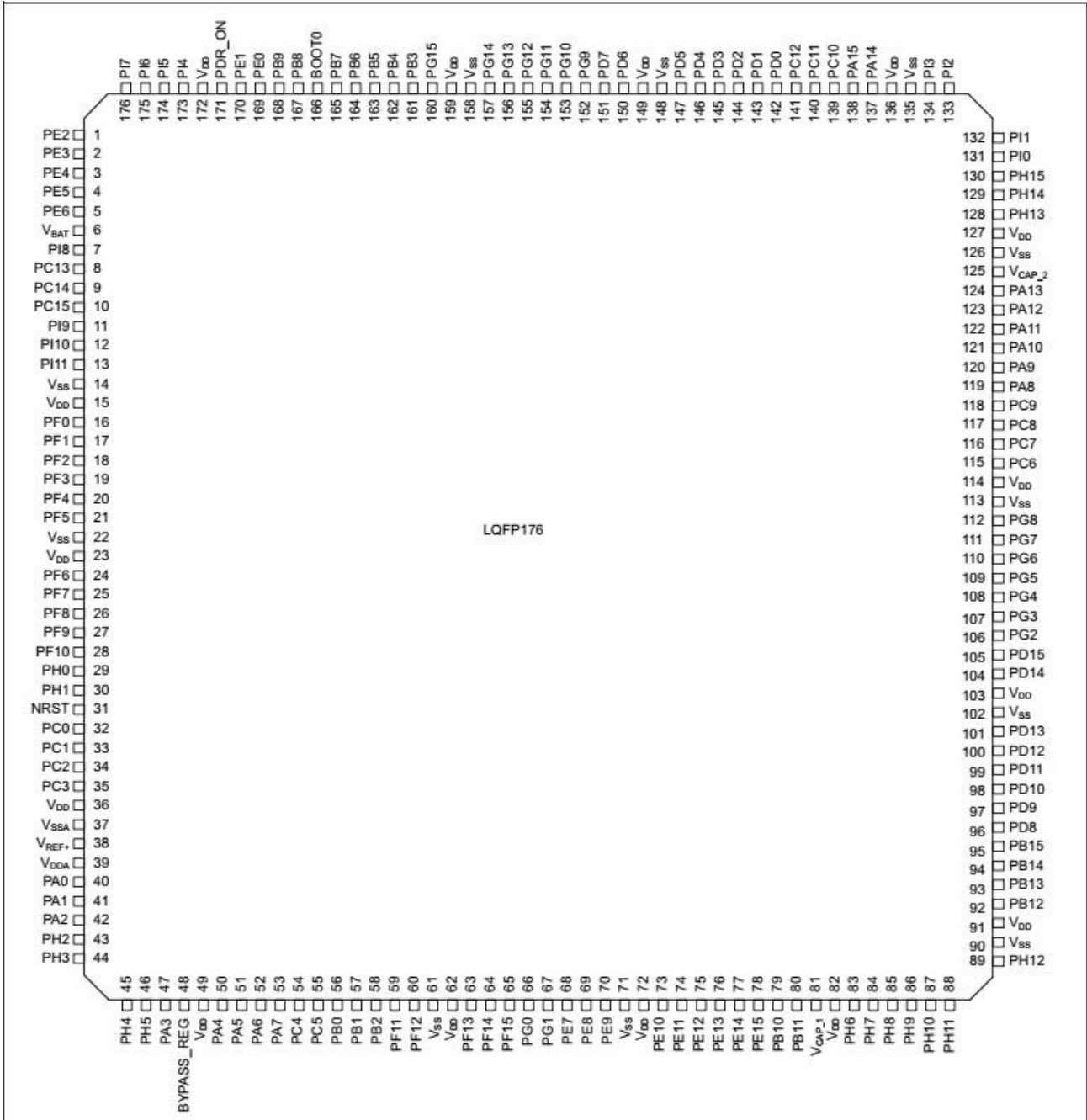
1. 上图显示了封装的顶视图。

图 14. AST32F407XG LQFP144 引脚排序



1. 上图显示了封装的顶视图。

图 15. AST32F407XG LQFP176 引脚排序



1. 显示了封装的顶视图。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15			
A	PE3	PE2	PE1	PE0	PB8	PB5	PG14	PG13	PB4	PB3	PD7	PC12	PA15	PA14	PA13			
B	PE4	PE5	PE6	PB9	PB7	PB6	PG15	PG12	PG11	PG10	PD6	PD0	PC11	PC10	PA12			
C	VBAT	PI7	PI6	PI5	VDD	PDR_ON	VDD	VDD	VDD	PG9	PD5	PD1	PI3	PI2	PA11			
D	PC13	PI8	PI9	PI4	VSS	BOOT0	VSS	VSS	VSS	PD4	PD3	PD2	PH15	PH1	PA10			
E	PC14	PF0	PI10	PI11								PH13	PH14	PH0	PA9			
F	PC15	VSS	VDD	PH2	VSS					VSS					VSS	VCAP_2	PC9	PA8
G	PH0	VSS	VDD	PH3	VSS					VSS					VSS	VDD	PC8	PC7
H	PH1	PF2	PF1	PH4	VSS					VSS					VSS	VDD	PG8	PC6
J	NRST	PF3	PF4	PH5	VSS					VSS					VDD	VDD	PG7	PG6
K	PF7	PF6	PF5	VDD	VSS					VSS					PH12	PG5	PG4	PG3
L	PF10	PF9	PF8	BYPASS_REG								PH11	PH10	PD15	PG2			
M	VSSA	PC0	PC1	PC2	PC3	PB2	PG1	VSS	VSS	VCAP_1	PH6	PH8	PH9	PD14	PD13			
N	VREF-	PA1	PA0	PA4	PC4	PF13	PG0	VDD	VDD	VDD	PE13	PH7	PD12	PD11	PD10			
P	VREF+	PA2	PA6	PA5	PC5	PF12	PF15	PE8	PE9	PE11	PE14	PB12	PB13	PD9	PD8			
R	VDDA	PA3	PA7	PB1	PB0	PF11	PF14	PE7	PE10	PE12	PE15	PB10	PB11	PB14	PB15			

1. 上图显示了封装的凸块视图。

表 5.引脚排列表中使用的图例/缩略语

名称	缩写	定义
引脚名称		除非在引脚名下面的括号中特别说明，复位期间和复位后的引脚功能与实际引脚名相同
引脚类型	S	电源引脚
	I	仅输入引脚
	I/O	输入/输出引脚
I/O结构	FT	5V容限I/O
	TTa	3.3V容限 I/O直接连至ADC
	B	专用BOOT0引脚
	RST	配有弱上拉电阻的双向复位引脚
注释		除非特别注释说明，否则在复位期间和复位后所有I/O都设为浮空输入
复用功能		通过GPIOx_AFR寄存器选择的功能
其他函数		通过外设寄存器直接选择/启用的功能

表 6. AST32F407XG 引脚和焊球定义

引脚号					引脚名 (复位后的功能) ⁽¹⁾	引脚类型	I/O结构	注释	复用功能	其他函数
LQFP64	LQFP100	LQFP144	UEBGA176	LQFP176						
-	1	1	A2	1	PE2	I/O	FT		TRACECLK/FSMC_A23/ ETH_MII_TXD3/ EVENTOUT	-
-	2	2	A1	2	PE3	I/O	FT		TRACED0/FSMC_A19/ EVENTOUT	
-	3	3	B1	3	PE4	I/O	FT		TRACED1/FSMC_A20/ DCMI_D4/EVENTOUT	
-	4	4	B2	4	PE5	I/O	FT		TRACED2/FSMC_A21/ TIM9_CH1/DCMI_D6/ EVENTOUT	
-	5	5	B3	5	PE6	I/O	FT		TRACED3/FSMC_A22/ TIM9_CH2/DCMI_D7/ EVENTOUT	
1	6	6	C1	6	V _{BAT}	S	-	-	-	
-	-	-	D2	7	PI8	I/O	FT	(2)(3)	EVENTOUT	RTC_TAMP1, RTC_TAMP2, RTC_TS
2	7	7	D1	8	PC13	I/O	FT	(2)(3)	EVENTOUT	RTC_OUT, RTC_TAMP1, RTC_TS
3	8	8	E1	9	PC14/ OSC32_IN	I/O	FT	(2)(3)	EVENTOUT	OSC32_IN ⁽⁴⁾
4	9	9	F1	10	PC15/ OSC32_OUT	I/O	FT	(2)(3)	EVENTOUT	OSC32_OUT ⁽⁴⁾
-	-	-	D3	11	PI9	I/O	FT	-	CAN1_RX/EVENTOUT	
-	-	-	E3	12	PI10	I/O	FT	-	ETH_MII_RX_ER/ EVENTOUT	
-	-	-	E4	13	PI11	I/O	FT	-	OTG_HS_ULPI_DIR/ EVENTOUT	
-	-	-	F2	14	V _{SS}	S	-	-	-	
-	-	-	F3	15	V _{DD}	S	-	-	-	
-	-	10	E2	16	PF0	I/O	FT	-	FSMC_A0/I2C2_SDA/ EVENTOUT	
-	-	11	H3	17	PF1	I/O	FT	-	FSMC_A1/I2C2_SCL/ EVENTOUT	
-	-	12	H2	18	PF2	I/O	FT	-	FSMC_A2/I2C2_SMBA/ EVENTOUT	-
-	-	13	J2	19	PF3	I/O	FT	(4)	FSMC_A3/EVENTOUT	ADC3_IN9
-	-	14	J3	20	PF4	I/O	FT	(4)	FSMC_A4/EVENTOUT	ADC3_IN14
-	-	15	K3	21	PF5	I/O	FT	(4)	FSMC_A5/EVENTOUT	ADC3_IN15
-	10	16	G2	22	V _{SS}	S	-	-	-	-
-	11	17	G3	23	V _{DD}	S	-	-	-	-
-	-	18	K2	24	PF6	I/O	FT	(4)	TIM10_CH1/ FSMC_NIORD/ EVENTOUT	ADC3_IN4
-	-	19	K1	25	PF7	I/O	FT	(4)	TIM11_CH1/ FSMC_NREG/ EVENTOUT	ADC3_IN5
-	-	20	L3	26	PF8	I/O	FT	(4)	TIM13_CH1/ FSMC_NIOWR/ EVENTOUT	ADC3_IN6
-	-	21	L2	27	PF9	I/O	FT	(4)	TIM14_CH1/FSMC_CD/ EVENTOUT	ADC3_IN7
-	-	22	L1	28	PF10	I/O	FT	(4)	FSMC_INTR/EVENTOUT	ADC3_IN8
5	12	23	G1	29	PH0/ OSC_IN	I/O	FT	-	EVENTOUT	OSC_IN ⁽⁴⁾

引脚号					引脚名（复位后的功能） ⁽¹⁾	引脚类型	I/O结构	注释	复用功能	其他函数
LQFP64	LQFP100	LQFP144	UFPGA176	LQFP176						
6	13	24	H1	30	PH1/ OSC_OUT	I/O	FT	-	EVENTOUT	OSC_OUT ⁽⁴⁾
7	14	25	J1	31	NRST	I/O	RST	-	-	-
8	15	26	M2	32	PC0	I/O	FT	(4)	OTG_HS_ULPI_STP/ EVENTOUT	ADC123_IN10
9	16	27	M3	33	PC1	I/O	FT	(4)	ETH_MDC/EVENTOUT	ADC123_IN11
10	17	28	M4	34	PC2	I/O	FT	(4)	SPI2_MISO/ OTG_HS_ULPI_DIR/ ETH_MII_TXD2 /I2S2ext_SD/EVENTOUT	ADC123_IN12
11	18	29	M5	35	PC3	I/O	FT	(4)	SPI2_MOSI/ I2S2_SD/ OTG_HS_ULPI_NXT/ ETH_MII_TX_CLK/ EVENTOUT	ADC123_IN13
-	19	30	-	36	V _{DD}	S	-	-	-	-
12	20	31	M1	37	V _{SSA}	S	-	-	-	-
-	-	-	N1	-	V _{REF-}	S	-	-	-	-
-	21	32	P1	38	V _{REF+}	S	-	-	-	-
13	22	33	R1	39	V _{DDA}	S	-	-	-	-
14	23	34	N3	40	PA0/WKUP	I/O	FT	(5)	USART2_CTS/ UART4_TX/ ETH_MII_CRS/ TIM2_CH1_ETR/ TIM5_CH1/TIM8_ETR/ EVENTOUT	ADC123_IN0/WKUP
15	24	35	N2	41	PA1	I/O	FT	(4)	USART2_RTS/ UART4_RX/ ETH_RMII_REF_CLK/ ETH_MII_RX_CLK/ TIM5_CH2/TIM2_CH2 /EVENTOUT	ADC123_IN1
16	25	36	P2	42	PA2	I/O	FT	(4)	USART2_TX/TIM5_CH3/ TIM9_CH1/TIM2_CH3/ ETH_MDIO/EVENTOUT	ADC123_IN2
-	-	-	F4	43	PH2	I/O	FT	-	ETH_MII_CRS/EVENTOUT	-
-	-	-	G4	44	PH3	I/O	FT	-	ETH_MII_COL/EVENTOUT	-
-	-	-	H4	45	PH4	I/O	FT	-	I2C2_SCL/ OTG_HS_ULPI_NXT/ EVENTOUT	-
-	-	-	J4	46	PH5	I/O	FT	-	I2C2_SDA/EVENTOUT	-
17	26	37	R2	47	PA3	I/O	FT	(4)	USART2_RX/TIM5_CH4/ TIM9_CH2/TIM2_CH4/ OTG_HS_ULPI_D0/ ETH_MII_COL/ EVENTOUT	ADC123_IN3
18	27	38	-	-	V _{SS}	S	-	-	-	-
-	-	-	L4	48	BYPASS_REG	I	FT-	-	-	-
19	28	39	K4	49	V _{DD}	S	-	-	-	-
20	29	40	N4	50	PA4	I/O	TTa	(4)	SPI1_NSS/SPI3_NSS/ USART2_CK/ DCMI_HSYNC/ OTG_HS_SOF/I2S3_WS/ EVENTOUT	ADC12_IN4/ DAC_OUT1
21	30	41	P4	51	PA5	I/O	TTa	(4)	SPI1_SCK/ OTG_HS_ULPI_CK/ TIM2_CH1_ETR/ TIM8_CH1N/EVENTOUT	ADC12_IN5/ DAC_OUT2

引脚号					引脚名（复位后的功能） ⁽¹⁾	引脚类型	I/O结构	注释	复用功能	其他函数
LQFP64	LQFP100	LQFP144	UFPGA176	LQFP176						
22	31	42	P3	52	PA6	I/O	FT	(4)	SPI1_MISO/TIM8_BKIN/TIM13_CH1/ DCMI_PIXCLK/TIM3_CH1/ TIM1_BKIN/EVENTOUT	ADC12_IN6
23	32	43	R3	53	PA7	I/O	FT	(4)	SPI1_MOSI/TIM8_CH1N/ TIM14_CH1/TIM3_CH2/ ETH_MII_RX_DV/ TIM1_CH1N/ ETH_RMII_CRS_DV/ EVENTOUT	ADC12_IN7
24	33	44	N5	54	PC4	I/O	FT	(4)	ETH_RMII_RX_D0/ ETH_MII_RX_D0/ EVENTOUT	ADC12_IN14
25	34	45	P5	55	PC5	I/O	FT	(4)	ETH_RMII_RX_D1/ ETH_MII_RX_D1/ EVENTOUT	ADC12_IN15
26	35	46	R5	56	PB0	I/O	FT	(4)	TIM3_CH3/TIM8_CH2N/ OTG_HS_ULPI_D1/ ETH_MII_RXD2/ TIM1_CH2N/EVENTOUT	ADC12_IN8
27	36	47	R4	57	PB1	I/O	FT	(4)	TIM3_CH4/TIM8_CH3N/ OTG_HS_ULPI_D2/ ETH_MII_RXD3/ TIM1_CH3N/EVENTOUT	ADC12_IN9
28	37	48	M6	58	PB2/BOOT1	I/O	FT	-	EVENTOUT	-
-	-	49	R6	59	PF11	I/O	FT	-	DCMI_D12/EVENTOUT	-
-	-	50	P6	60	PF12	I/O	FT	-	FSMC_A6/EVENTOUT	-
-	-	51	M8	61	V _{SS}	S	-	-	-	-
-	-	52	N8	62	V _{DD}	S	-	-	-	-
-	-	53	N6	63	PF13	I/O	FT	-	FSMC_A7/EVENTOUT	-
-	-	54	R7	64	PF14	I/O	FT	-	FSMC_A8/EVENTOUT	-
-	-	55	P7	65	PF15	I/O	FT	-	FSMC_A9/EVENTOUT	-
-	-	56	N7	66	PG0	I/O	FT	-	FSMC_A10/EVENTOUT	-
-	-	57	M7	67	PG1	I/O	FT	-	FSMC_A11/EVENTOUT	-
-	38	58	R8	68	PE7	I/O	FT	-	FSMC_D4/TIM1_ETR/ EVENTOUT	-
-	39	59	P8	69	PE8	I/O	FT	-	FSMC_D5/TIM1_CH1N/ EVENTOUT	-
-	40	60	P9	70	PE9	I/O	FT	-	FSMC_D6/TIM1_CH1/ EVENTOUT	-
-	-	61	M9	71	V _{SS}	S	-	-	-	-
-	-	62	N9	72	V _{DD}	S	-	-	-	-
-	41	63	R9	73	PE10	I/O	FT	-	FSMC_D7/TIM1_CH2N/ EVENTOUT	-
-	42	64	P10	74	PE11	I/O	FT	-	FSMC_D8/TIM1_CH2/ EVENTOUT	-
-	43	65	R10	75	PE12	I/O	FT	-	FSMC_D9/TIM1_CH3N/ EVENTOUT	-
-	44	66	N11	76	PE13	I/O	FT	-	FSMC_D10/TIM1_CH3/ EVENTOUT	-
-	45	67	P11	77	PE14	I/O	FT	-	FSMC_D11/TIM1_CH4/ EVENTOUT	-
-	46	68	R11	78	PE15	I/O	FT	-	FSMC_D12/TIM1_BKIN/ EVENTOUT	-
29	47	69	R12	79	PB10	I/O	FT	-	SPI2_SCK/I2S2_CK/ I2C2_SCL/USART3_TX/ OTG_HS_ULPI_D3/ ETH_MII_RX_ER/ TIM2_CH3/EVENTOUT	-

引脚号					引脚名（复位后的功能） ⁽¹⁾	引脚类型	I/O结构	注释	复用功能	其他函数
LQFP64	LQFP100	LQFP144	UFPGA176	LQFP176						
30	48	70	R13	80	PB11	I/O	FT	-	I2C2_SDA/USART3_RX/ OTG_HS_ULPI_D4/ ETH_RMII_TX_EN/ ETH_MII_TX_EN/ TIM2_CH4/EVENTOUT	-
31	49	71	M10	81	V _{CAP1}	S	-	-	-	-
32	50	72	N10	82	V _{DD}	S	-	-	-	-
-	-	-	M11	83	PH6	I/O	FT	-	I2C2_SMBA/TIM12_CH1/ ETH_MII_RXD2/ EVENTOUT	-
-	-	-	N12	84	PH7	I/O	FT	-	I2C3_SCL/ ETH_MII_RXD3/ EVENTOUT	-
-	-	-	M12	85	PH8	I/O	FT	-	I2C3_SDA/ DCMI_HSYNC/ EVENTOUT	-
-	-	-	M13	86	PH9	I/O	FT	-	I2C3_SMBA/TIM12_CH2/ /DCMI_D0/EVENTOUT	-
-	-	-	L13	87	PH10	I/O	FT	-	TIM5_CH1/DCMI_D1/ EVENTOUT	-
-	-	-	L12	88	PH11	I/O	FT	-	TIM5_CH2/DCMI_D2/ EVENTOUT	-
-	-	-	K12	89	PH12	I/O	FT	-	TIM5_CH3/DCMI_D3/ EVENTOUT	-
-	-	-	H12	90	V _{SS}	S	-	-	-	-
-	-	-	J12	91	V _{DD}	S	-	-	-	-
33	51	73	P12	92	PB12	I/O	FT	-	SPI2_NSS/I2S2_WS/ I2C2_SMBA/ USART3_CK/TIM1_BKIN/ CAN2_RX/OTG_HS_ULPI_D5/ ETH_RMII_TXD0/ ETH_MII_TXD0/ OTG_HS_ID/EVENTOUT	-
34	52	74	P13	93	PB13	I/O	FT	-	SPI2_SCK/I2S2_CK/ USART3_CTS/ TIM1_CH1N/CAN2_TX/ OTG_HS_ULPI_D6/ ETH_RMII_TXD1/ ETH_MII_TXD1/ EVENTOUT	OTG_HS_VBUS-
35	53	75	R14	94	PB14	I/O	FT	-	SPI2_MISO/TIM1_CH2N/ TIM12_CH1/ OTG_HS_DM/ USART3_RTS/ TIM8_CH2N/I2S2ext_SD/ EVENTOUT	-
36	54	76	R15	95	PB15	I/O	FT	-	SPI2_MOSI/I2S2_SD/ TIM1_CH3N/TIM8_CH3N/ TIM12_CH2/ OTG_HS_DP/EVENTOUT	RTC-REFIN
-	55	77	P15	96	PD8	I/O	FT	-	FSMC_D13/USART3_TX/ EVENTOUT	-
-	56	78	P14	97	PD9	I/O	FT	-	FSMC_D14/USART3_RX/ EVENTOUT	-
-	57	79	N15	98	PD10	I/O	FT	-	FSMC_D15/USART3_CK/ EVENTOUT	-
-	58	80	N14	99	PD11	I/O	FT	-	FSMC_CLE/FSMC_A16/ USART3_CTS/EVENTOUT	-

引脚号					引脚名（复位后的功能） ⁽¹⁾	引脚类型	I/O结构	注释	复用功能	其他函数
LQFP64	LQFP100	LQFP144	UFPGA176	LQFP176						
-	59	81	N13	100	PD12	I/O	FT	-	FSMC_ALE/ FSMC_A17/TIM4_CH1/ USART3_RTS/ EVENTOUT	-
-	60	82	M15	101	PD13	I/O	FT	-	FSMC_A18/TIM4_CH2/ EVENTOUT	-
-	-	83	-	102	V _{SS}	S	-	-	-	-
-	-	84	J13	103	V _{DD}	S	-	-	-	-
-	61	85	M14	104	PD14	I/O	FT	-	FSMC_D0/TIM4_CH3/ EVENTOUT	-
-	62	86	L14	105	PD15	I/O	FT	-	FSMC_D1/TIM4_CH4/ EVENTOUT	-
-	-	87	L15	106	PG2	I/O	FT	-	FSMC_A12/EVENTOUT	-
-	-	88	K15	107	PG3	I/O	FT	-	FSMC_A13/EVENTOUT	-
-	-	89	K14	108	PG4	I/O	FT	-	FSMC_A14/EVENTOUT	-
-	-	90	K13	109	PG5	I/O	FT	-	FSMC_A15/EVENTOUT	-
-	-	91	J15	110	PG6	I/O	FT	-	FSMC_INT2/EVENTOUT	-
-	-	92	J14	111	PG7	I/O	FT	-	FSMC_INT3/USART6_CK/ EVENTOUT	-
-	-	93	H14	112	PG8	I/O	FT	-	USART6_RTS/ ETH_PPS_OUT/ EVENTOUT	-
-	-	94	G12	113	V _{SS}	S	-	-	-	-
-	-	95	H13	114	V _{DD}	S	-	-	-	-
37	63	96	H15	115	PC6	I/O	FT	-	I2S2_MCK/ TIM8_CH1/SDIO_D6/ USART6_TX/ DCMI_D0/TIM3_CH1/ EVENTOUT	-
38	64	97	G15	116	PC7	I/O	FT	-	I2S3_MCK/ TIM8_CH2/SDIO_D7/ USART6_RX/ DCMI_D1/TIM3_CH2/ EVENTOUT	-
39	65	98	G14	117	PC8	I/O	FT	-	TIM8_CH3/SDIO_D0/ TIM3_CH3/USART6_CK/ DCMI_D2/EVENTOUT	-
40	66	99	F14	118	PC9	I/O	FT	-	I2S_CKIN/MCO2/ TIM8_CH4/SDIO_D1/ I2C3_SDA/DCMI_D3/ TIM3_CH4/EVENTOUT	-
41	67	100	F15	119	PA8	I/O	FT	-	MCO1/USART1_CK/ TIM1_CH1/I2C3_SCL/ OTG_FS_SOF/EVENTOUT	-
42	68	101	E15	120	PA9	I/O	FT	-	USART1_TX/TIM1_CH2/ I2C3_SMBA/DCMI_D0/ EVENTOUT	OTG_FS_VBUS
43	69	102	D15	121	PA10	I/O	FT	-	USART1_RX/TIM1_CH3/ OTG_FS_ID/DCMI_D1/ EVENTOUT	-
44	70	103	C15	122	PA11	I/O	FT	-	USART1_CTS/CAN1_RX/ TIM1_CH4/ OTG_FS_DM/EVENTOUT	-
45	71	104	B15	123	PA12	I/O	FT	-	USART1_RTS/CAN1_TX/ TIM1_ETR/OTG_FS_DP/ EVENTOUT	-
46	72	105	A15	124	PA13 (JTMS-SWDIO)	I/O	FT	-	JTMS-SWDIO/EVENTOUT	-

引脚号					引脚名 (复位后的功能) ⁽¹⁾	引脚类型	I/O结构	注释	复用功能	其他函数
LQFP64	LQFP100	LQFP144	UFPGA176	LQFP176						
47	73	106	F13	125	V _{CAP_2}	S	-	-	-	-
-	74	107	F12	126	V _{SS}	S	-	-	-	-
48	75	108	G13	127	V _{DD}	S	-	-	-	-
-	-	-	E12	128	PH13	I/O	FT	-	TIM8_CH1N/CAN1_TX/ EVENTOUT	-
-	-	-	E13	129	PH14	I/O	FT	-	TIM8_CH2N/DCMI_D4/ EVENTOUT	-
-	-	-	D13	130	PH15	I/O	FT	-	TIM8_CH3N/DCMI_D11/ EVENTOUT	-
-	-	-	E14	131	PI0	I/O	FT	-	TIM5_CH4/SPI2_NSS/ I2S2_WS/DCMI_D13/ EVENTOUT	-
-	-	-	D14	132	PI1	I/O	FT	-	SPI2_SCK/I2S2_CK/ DCMI_D8/EVENTOUT	-
-	-	-	C14	133	PI2	I/O	FT	-	TIM8_CH4/SPI2_MISO/ DCMI_D9/I2S2ext_SD/ EVENTOUT	-
-	-	-	C13	134	PI3	I/O	FT	-	TIM8_ETR/SPI2_MOSI/ I2S2_SD/DCMI_D10/ EVENTOUT	-
-	-	-	D9	135	V _{SS}	S	-	-	-	-
-	-	-	C9	136	V _{DD}	S	-	-	-	-
49	76	109	A14	137	PA14 (JTCK/SWCLK)	I/O	FT	-	JTCK-SWCLK/EVENTOUT	-
50	77	110	A13	138	PA15(JTDI)	I/O	FT	-	JTDI/SPI3_NSS/ I2S3_WS/TIM2_CH1_ETR/ SPI1_NSS/EVENTOUT	-
51	78	111	B14	139	PC10	I/O	FT	-	SPI3_SCK/I2S3_CK/ UART4_TX/SDIO_D2/ DCMI_D8/USART3_TX/ EVENTOUT	-
52	79	112	B13	140	PC11	I/O	FT	-	UART4_RX/SPI3_MISO/ SDIO_D3/ DCMI_D4/USART3_RX/ I2S3ext_SD/EVENTOUT	-
53	80	113	A12	141	PC12	I/O	FT	-	UART5_TX/SDIO_CK/ DCMI_D9/SPI3_MOSI/ I2S3_SD/USART3_CK/ EVENTOUT	-
-	81	114	B12	142	PD0	I/O	FT	-	FSMC_D2/CAN1_RX/ EVENTOUT	-
-	82	115	C12	143	PD1	I/O	FT	-	FSMC_D3/CAN1_TX/ EVENTOUT	-
54	83	116	D12	144	PD2	I/O	FT	-	TIM3_ETR/UART5_RX/ SDIO_CMD/DCMI_D11/ EVENTOUT	-
-	84	117	D11	145	PD3	I/O	FT	-	FSMC_CLK/ USART2_CTS/ EVENTOUT	-
-	85	118	D10	146	PD4	I/O	FT	-	FSMC_NOE/ USART2_RTS/ EVENTOUT	-
-	86	119	C11	147	PD5	I/O	FT	-	FSMC_NWE/ USART2_TX/ EVENTOUT	-
-	-	120	D8	148	V _{SS}	S	-	-	-	-
-	-	121	C8	149	V _{DD}	S	-	-	-	-

引脚号					引脚名 (复位后的功能) ⁽¹⁾	引脚类型	I/O结构	注释	复用功能	其他函数
LQFP64	LQFP100	LQFP144	UFPGA176	LQFP176						
-	87	122	B11	150	PD6	I/O	FT	-	FSMC_NWAIT/ USART2_RX/EVENTOUT	-
-	88	123	A11	151	PD7	I/O	FT	-	USART2_CK/FSMC_NE1/ FSMC_NCE2/EVENTOUT	-
-	-	124	C10	152	PG9	I/O	FT	-	USART6_RX/FSMC_NE2/ FSMC_NCE3/EVENTOUT	-
-	-	125	B10	153	PG10	I/O	FT	-	FSMC_NCE4_1/ FSMC_NE3/EVENTOUT	-
-	-	126	B9	154	PG11	I/O	FT	-	FSMC_NCE4_2/ ETH_MII_TX_EN/ ETH_RMII_TX_EN/ EVENTOUT	-
-	-	127	B8	155	PG12	I/O	FT	-	FSMC_NE4/ USART6_RTS/ EVENTOUT	-
-	-	128	A8	156	PG13	I/O	FT	-	FSMC_A24/ USART6_CTS/ ETH_MII_TXD0/ ETH_RMII_TXD0/ EVENTOUT	-
-	-	129	A7	157	PG14	I/O	FT	-	FSMC_A25/USART6_TX/ ETH_MII_TXD1/ ETH_RMII_TXD1/ EVENTOUT	-
-	-	130	D7	158	V _{SS}	S	-	-	-	-
-	-	131	C7	159	V _{DD}	S	-	-	-	-
-	-	132	B7	160	PG15	I/O	FT	-	USART6_CTS/ DCMI_D13/EVENTOUT	-
55	89	133	A10	161	PB3 (JTDO/TRACESWO)	I/O	FT	-	JTDO/TRACESWO/ SPI3_SCK/I2S3_CK/ TIM2_CH2/SPI1_SCK/ EVENTOUT	-
56	90	134	A9	162	PB4(NJTRST)	I/O	FT	-	NJTRST/SPI3_MISO/ TIM3_CH1/SPI1_MISO/ I2S3ext_SD/EVENTOUT	-
57	91	135	A6	163	PB5	I/O	FT	-	I2C1_SMBA/CAN2_RX/ OTG_HS_ULPI_D7/ ETH_PPS_OUT/TIM3_CH2/ SPI1_MOSI/SPI3_MOSI/ DCMI_D10/I2S3_SD/ EVENTOUT	-
58	92	136	B6	164	PB6	I/O	FT	-	I2C1_SCL/TIM4_CH1/ CAN2_TX/ DCMI_D5/USART1_TX/ EVENTOUT	-
59	93	137	B5	165	PB7	I/O	FT	-	I2C1_SDA/FSMC_NL/ DCMI_VSYNC/ USART1_RX/TIM4_CH2/ EVENTOUT	-
60	94	138	D6	166	BOOT0	I	B	-	-	V _{pp}
61	95	139	A5	167	PB8	I/O	FT	-	TIM4_CH3/SDIO_D4/ TIM10_CH1/DCMI_D6/ ETH_MII_TXD3/ I2C1_SCL/CAN1_RX/ EVENTOUT	-

引脚号					引脚名（复位后的功能） ⁽¹⁾	引脚类型	I/O结构	注释	复用功能	其他函数
LQFP64	LQFP100	LQFP144	UFBGA176	LQFP176						
62	96	140	B4	168	PB9	I/O	FT	-	SPI2_NSS/I2S2_WS/ TIM4_CH4/TIM11_CH1/ SDIO_D5/DCMI_D7/ I2C1_SDA/CAN1_TX/ EVENTOUT	-
-	97	141	A4	169	PE0	I/O	FT	-	TIM4_ETR/FSMC_NBL0 /DCMI_D2/EVENTOUT	-
-	98	142	A3	170	PE1	I/O	FT	-	FSMC_NBL1/DCMI_D3 /EVENTOUT	-
63	99	-	D5	-	V _{SS}	S	-	-	-	-
-	-	143	C6	171	PDR_ON	I	FT	-	-	-
64	100	144	C5	172	V _{DD}	S	-	-	-	-
-	-	-	D4	173	PI4	I/O	FT	-	TIM8_BKIN/DCMI_D5/ EVENTOUT	-
-	-	-	C4	174	PI15	I/O	FT	-	TIM8_CH1/ DCMI_VSYNC/ EVENTOUT	-
-	-	-	C3	175	PI16	I/O	FT	-	TIM8_CH2/DCMI_D6/ EVENTOUT	-
-	-	-	C2	176	PI17	I/O	FT	-	TIM8_CH3/DCMI_D7/ EVENTOUT	-

1. 可用功能取决于所选器件。
2. PC13、PC14、PC15和PC18通过电源开关供电。由于该开关的灌电流能力有限(3mA)，因此在输出模式下使用GPIO PC13到PC15和PI8时存在以下限制：
 - 速率不得超过2MHz，最大负载为30pF。
 - 这些I/O不能用作电流源（如用于驱动LED）。
3. 备份域第一次上电后的主要功能。之后，即使复位，这些引脚的状态也取决于RTC寄存器的内容（因为主复位不会复位这些寄存器）。有关如何管理这些I/O的详细信息，请参见AST32F4xx参考手册中介绍RTC寄存器的部分。
4. 除了模拟模式或振荡器模式（PC14、PC15、PH0、PH1），FT=5V容限。
5. 若器件采用UFBGA176封装，且BYPass_REG引脚设为V_{DD}(调压器OFF/内部复位ON模式)，则PA0被用作内部复位（低电平有效）

表 7. FSMC 引脚定义

引脚名称 ⁽¹⁾	CF	NOR/PSRAM/SRAM	NOR/PSRAM复用	NAND16	LQFP100 ⁽²⁾
PE2	-	A23	A23	-	Yes
PE3	-	A19	A19	-	Yes
PE4	-	A20	A20	-	Yes
PE5	-	A21	A21	-	Yes
PE6	-	A22	A22	-	Yes
PF0	A0	A0	-	-	-
PF1	A1	A1	-	-	-
PF2	A2	A2	-	-	-
PF3	A3	A3	-	-	-
PF4	A4	A4	-	-	-
PF5	A5	A5	-	-	-
PF6	NIORD	-	-	-	-
PF7	NREG	-	-	-	-
PF8	NIOWR	-	-	-	-
PF9	CD	-	-	-	-
PF10	INTR	-	-	-	-
PF11	A6	-	-	-	-
PF12	A6	A6	-	-	-
PF13	A7	A7	-	-	-
PF14	A8	A8	-	-	-
PF15	A9	A9	-	-	-
PG0	A10	A10	-	-	-
PG1	-	A11	-	-	-
PE7	D4	D4	DA4	D4	Yes
PE8	D5	D5	DA5	D5	Yes
PE9	D6	D6	DA6	D6	Yes
PE10	D7	D7	DA7	D7	Yes
PE11	D8	D8	DA8	D8	Yes
PE12	D9	D9	DA9	D9	Yes
PE13	D10	D10	DA10	D10	Yes
PE14	D11	D11	DA11	D11	Yes
PE15	D12	D12	DA12	D12	Yes
PD8	D13	D13	DA13	D13	Yes
PD9	D14	D14	DA14	D14	Yes
PD10	D15	D15	DA15	D15	Yes
PD11	-	A16	A16	CLE	Yes
PD12	-	A17	A17	ALE	Yes
PD13	-	A18	A18	-	Yes
PD14	D0	D0	DA0	D0	Yes
PD15	D1	D1	DA1	D1	Yes
PG2	-	A12	-	-	
PG3	-	A13	-	-	
PG4	-	A14	-	-	
PG5	-	A15	-	-	
PG6	-	-	-	INT2	

PG7	-	-	-	INT3	
PD0	D2	D2	DA2	D2	Yes
PD1	D3	D3	DA3	D3	Yes
PD3	-	CLK	CLK	-	Yes
PD4	NOE	NOE	NOE	NOE	Yes
PD5	NWE	NWE	NWE	NWE	Yes
PD6	NWAIT	NWAIT	NWAIT	NWAIT	Yes
PD7	-	NE1	NE1	NCE2	Yes
PG9	-	NE2	NE2	NCE3	-
PG10	NCE4_1	NE3	NE3	-	-
PG11	NCE4_2	-	-	-	-
PG12	-	NE4	NE4	-	-
PG13	-	A24	A24	-	-
PG14	-	A25	A25	-	-
PB7	-	NADV	NADV	-	Yes
PE0	-	NBL0	NBL0	-	Yes
PE1	-	NBL1	NBL1	-	Yes

1. 完整的FSMC特性可以在LQFP144, LQFP176和UFBGA176上使用, 在专用栏中给出了小型模块的特性。
2. 100pin封装的设备没有F和G接口

表 8. 复用功能映射表

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15	
	SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/ I2S2/I2S2ext	SPI3/I2Sext/ I2S3	USART1/2/3/ I2S3ext	UART4/5/ USART6	CAN1/2 TIM12/13/14	OTG_FS/ OTG_HS	ETH	FSMC/SDIO /OTG_FS	DCMI			
PortA	PA0	-	TIM2_CH1_ETR	TIM5_CH1	TIM8_ETR	-	-	-	USART2_CTS	UART4_TX	-	-	ETH_MII_CRS	-	-	-	EVENTOUT
	PA1	-	TIM2_CH2	TIM5_CH2	-	-	-	-	USART2_RTS	UART4_RX	-	-	ETH_MII_RX_CLK ETH_RMII_REF_CLK	-	-	-	EVENTOUT
	PA2	-	TIM2_CH3	TIM5_CH3	TIM9_CH1	-	-	-	USART2_TX	-	-	-	ETH_MDIO	-	-	-	EVENTOUT
	PA3	-	TIM2_CH4	TIM5_CH4	TIM9_CH2	-	-	-	USART2_RX	-	-	OTG_HS_ULPI_D0	ETH_MII_COL	-	-	-	EVENTOUT
	PA4	-	-	-	-	-	SPI1_NSS	SPI3_NSS I2S3_WS	USART2_CK	-	-	-	-	OTG_HS_SOF	DCMI_HSYNC	-	EVENTOUT
	PA5	-	TIM2_CH1_ETR	-	TIM8_CH1N	-	SPI1_SCK	-	-	-	-	OTG_HS_ULPI_CK	-	-	-	-	EVENTOUT
	PA6	-	TIM1_BKIN	TIM3_CH1	TIM8_BKIN	-	SPI1_MISO	-	-	-	TIM13_CH1	-	-	-	DCMI_PIXCK	-	EVENTOUT
	PA7	-	TIM1_CH1N	TIM3_CH2	TIM8_CH1N	-	SPI1_MOSI	-	-	-	TIM14_CH1	-	ETH_MII_RX_DV ETH_RMII_CRS_DV	-	-	-	EVENTOUT
	PA8	MCO1	TIM1_CH1	-	-	I2C3_SCL	-	-	USART1_CK	-	-	OTG_FS_SOF	-	-	-	-	EVENTOUT
	PA9	-	TIM1_CH2	-	-	I2C3_SMBA	-	-	USART1_TX	-	-	-	-	-	DCMI_D0	-	EVENTOUT
	PA10	-	TIM1_CH3	-	-	-	-	-	USART1_RX	-	-	OTG_FS_ID	-	-	DCMI_D1	-	EVENTOUT
	PA11	-	TIM1_CH4	-	-	-	-	-	USART1_CTS	-	CAN1_RX	OTG_FS_DM	-	-	-	-	EVENTOUT
	PA12	-	TIM1_ETR	-	-	-	-	-	USART1_RTS	-	CAN1_TX	OTG_FS_DP	-	-	-	-	EVENTOUT
	PA13	JTMS-SWDIO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
	PA14	JTCK-SWCLK	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
PA15	JTDI	TIM2_CH1 TIM2_ETR	-	-	-	SPI1_NSS	SPI3_NSS/ I2S3_WS	-	-	-	-	-	-	-	-	EVENTOUT	

表8. 复用功能映射表(续)

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15	
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2Sext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI			
PortB	PB0	-	TIM1_CH2N	TIM3_CH3	TIM8_CH2N	-	-	-	-	-	-	OTG_HS_ULPI_D1	ETH_MII_RXD2	-	-	-	EVENTOUT	
	PB1	-	TIM1_CH3N	TIM3_CH4	TIM8_CH3N	-	-	-	-	-	-	OTG_HS_ULPI_D2	ETH_MII_RXD3	-	-	-	EVENTOUT	
	PB2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT	
	PB3	JTDO/TRACESWO	TIM2_CH2	-	-	-	SPI1_SCK	SPI3_SCK I2S3_CK	-	-	-	-	-	-	-	-	-	EVENTOUT
	PB4	NJTRST	-	TIM3_CH1	-	-	SPI1_MISO	SPI3_MISO	I2S3ext_SD	-	-	-	-	-	-	-	-	EVENTOUT
	PB5	-	-	TIM3_CH2	-	I2C1_SMB_A	SPI1_MOSI	SPI3_MOSI I2S3_SD	-	-	CAN2_RX	OTG_HS_ULPI_D7	ETH_PPS_OUT	-	DCMI_D10	-	EVENTOUT	
	PB6	-	-	TIM4_CH1	-	I2C1_SCL	-	-	USART1_TX	-	CAN2_TX	-	-	-	DCMI_D5	-	EVENTOUT	
	PB7	-	-	TIM4_CH2	-	I2C1_SDA	-	-	USART1_RX	-	-	-	-	FSMC_NL	DCMI_VSYN_C	-	EVENTOUT	
	PB8	-	-	TIM4_CH3	TIM10_CH1	I2C1_SCL	-	-	-	-	CAN1_RX	-	ETH_MII_TXD3	SDIO_D4	DCMI_D6	-	EVENTOUT	
	PB9	-	-	TIM4_CH4	TIM11_CH1	I2C1_SDA	SPI2_NSS I2S2_WS	-	-	-	CAN1_TX	-	-	SDIO_D5	DCMI_D7	-	EVENTOUT	
	PB10	-	TIM2_CH3	-	-	I2C2_SCL	SPI2_SCK I2S2_CK	-	USART3_TX	-	-	OTG_HS_ULPI_D3	ETH_MII_RX_ER	-	-	-	EVENTOUT	
	PB11	-	TIM2_CH4	-	-	I2C2_SDA	-	-	USART3_RX	-	-	OTG_HS_ULPI_D4	ETH_MII_TX_EN ETH_RMII_TX_EN	-	-	-	EVENTOUT	
	PB12	-	TIM1_BKIN	-	-	I2C2_SMBA	SPI2_NSS I2S2_WS	-	USART3_CK	-	CAN2_RX	OTG_HS_ULPI_D5	ETH_MII_TXD0 ETH_RMII_TXD0	OTG_HS_ID	-	-	EVENTOUT	
	PB13	-	TIM1_CH1N	-	-	-	SPI2_SCK I2S2_CK	-	USART3_CTS	-	CAN2_TX	OTG_HS_ULPI_D6	ETH_MII_TXD1 ETH_RMII_TXD1	-	-	-	EVENTOUT	
	PB14	-	TIM1_CH2N	-	TIM8_CH2N	-	SPI2_MISO	I2S2ext_SD	USART3_RTS	-	TIM12_CH1	-	-	OTG_HS_DM	-	-	EVENTOUT	
PB15	RTC_REFIN	TIM1_CH3N	-	TIM8_CH3N	-	SPI2_MOSI I2S2_SD	-	-	-	TIM12_CH2	-	-	OTG_HS_DP	-	-	EVENTOUT		

表8. 复用功能映射表(续)

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15	
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2Sext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI			
PortC	PC0	-	-	-	-	-	-	-	-	-	-	OTG_HS_ULPI_STP	-	-	-	-	EVENTOUT	
	PC1	-	-	-	-	-	-	-	-	-	-	-	ETH_MDC	-	-	-	EVENTOUT	
	PC2	-	-	-	-	-	SPI2_MISO	I2S2ext_SD	-	-	-	OTG_HS_ULPI_DIR	ETH_MII_TXD2	-	-	-	EVENTOUT	
	PC3	-	-	-	-	-	SPI2_MOSI	I2S2_SD	-	-	-	OTG_HS_ULPI_NXT	ETH_MII_TX_CLK	-	-	-	EVENTOUT	
	PC4	-	-	-	-	-	-	-	-	-	-	-	ETH_RMII_RXD0	ETH_MII_RXD0	-	-	-	EVENTOUT
	PC5	-	-	-	-	-	-	-	-	-	-	-	ETH_MII_RXD1	ETH_RMII_RXD1	-	-	-	EVENTOUT
	PC6	-	-	TIM3_CH1	TIM8_CH1	-	I2S2_MCK	-	-	USART6_TX	-	-	-	SDIO_D6	DCMI_D0	-	-	EVENTOUT
	PC7	-	-	TIM3_CH2	TIM8_CH2	-	-	I2S3_MCK	-	USART6_RX	-	-	-	SDIO_D7	DCMI_D1	-	-	EVENTOUT
	PC8	-	-	TIM3_CH3	TIM8_CH3	-	-	-	-	USART6_CK	-	-	-	SDIO_D0	DCMI_D2	-	-	EVENTOUT
	PC9	MCO2	-	TIM3_CH4	TIM8_CH4	I2C3_SDA	I2S_CKIN	-	-	-	-	-	-	SDIO_D1	DCMI_D3	-	-	EVENTOUT
	PC10	-	-	-	-	-	-	SPI3_SCK/I2S3_CK	USART3_TX/	UART4_TX	-	-	-	SDIO_D2	DCMI_D8	-	-	EVENTOUT
	PC11	-	-	-	-	-	I2S3ext_SD	SPI3_MISO	USART3_RX	UART4_RX	-	-	-	SDIO_D3	DCMI_D4	-	-	EVENTOUT
	PC12	-	-	-	-	-	-	SPI3_MOSI	I2S3_SD	USART3_CK	UART5_TX	-	-	SDIO_CK	DCMI_D9	-	-	EVENTOUT
	PC13	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
	PC14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
PC15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT	

表8. 复用功能映射表(续)

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2Sext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI		
PortD	PD0	-	-	-	-	-	-	-	-	-	CAN1_RX	-	-	FSMC_D2	-	-	EVENTOUT
	PD1	-	-	-	-	-	-	-	-	-	CAN1_TX	-	-	FSMC_D3	-	-	EVENTOUT
	PD2	-	-	TIM3_ETR	-	-	-	-	-	UART5_RX	-	-	-	SDIO_CMD	DCMI_D11	-	EVENTOUT
	PD3	-	-	-	-	-	-	-	USART2_CTS	-	-	-	-	FSMC_CLK	-	-	EVENTOUT
	PD4	-	-	-	-	-	-	-	USART2_RTS	-	-	-	-	FSMC_NOE	-	-	EVENTOUT
	PD5	-	-	-	-	-	-	-	USART2_TX	-	-	-	-	FSMC_NWE	-	-	EVENTOUT
	PD6	-	-	-	-	-	-	-	USART2_RX	-	-	-	-	FSMC_NWAIT	-	-	EVENTOUT
	PD7	-	-	-	-	-	-	-	USART2_CK	-	-	-	-	FSMC_NE1/FSMC_NCE2	-	-	EVENTOUT
	PD8	-	-	-	-	-	-	-	USART3_TX	-	-	-	-	FSMC_D13	-	-	EVENTOUT
	PD9	-	-	-	-	-	-	-	USART3_RX	-	-	-	-	FSMC_D14	-	-	EVENTOUT
	PD10	-	-	-	-	-	-	-	USART3_CK	-	-	-	-	FSMC_D15	-	-	EVENTOUT
	PD11	-	-	-	-	-	-	-	USART3_CTS	-	-	-	-	FSMC_A16	-	-	EVENTOUT
	PD12	-	-	TIM4_CH1	-	-	-	-	USART3_RTS	-	-	-	-	FSMC_A17	-	-	EVENTOUT
	PD13	-	-	TIM4_CH2	-	-	-	-	-	-	-	-	-	FSMC_A18	-	-	EVENTOUT
	PD14	-	-	TIM4_CH3	-	-	-	-	-	-	-	-	-	FSMC_D0	-	-	EVENTOUT
PD15	-	-	TIM4_CH4	-	-	-	-	-	-	-	-	-	FSMC_D1	-	-	EVENTOUT	

表8. 复用功能映射表(续)

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2Sext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI		
PortE	PE0	-	-	TIM4_ETR	-	-	-	-	-	-	-	-	-	FSMC_NBL0	DCMI_D2	-	EVENTOUT
	PE1	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_NBL1	DCMI_D3	-	EVENTOUT
	PE2	TRACECLK	-	-	-	-	-	-	-	-	-	-	ETH_MII_TXD3	FSMC_A23	-	-	EVENTOUT
	PE3	TRACED0	-	-	-	-	-	-	-	-	-	-	-	FSMC_A19	-	-	EVENTOUT
	PE4	TRACED1	-	-	-	-	-	-	-	-	-	-	-	FSMC_A20	DCMI_D4	-	EVENTOUT
	PE5	TRACED2	-	-	TIM9_CH1	-	-	-	-	-	-	-	-	FSMC_A21	DCMI_D6	-	EVENTOUT
	PE6	TRACED3	-	-	TIM9_CH2	-	-	-	-	-	-	-	-	FSMC_A22	DCMI_D7	-	EVENTOUT
	PE7	-	TIM1_ETR	-	-	-	-	-	-	-	-	-	-	FSMC_D4	-	-	EVENTOUT
	PE8	-	TIM1_CH1N	-	-	-	-	-	-	-	-	-	-	FSMC_D5	-	-	EVENTOUT
	PE9	-	TIM1_CH1	-	-	-	-	-	-	-	-	-	-	FSMC_D6	-	-	EVENTOUT
	PE10	-	TIM1_CH2N	-	-	-	-	-	-	-	-	-	-	FSMC_D7	-	-	EVENTOUT
	PE11	-	TIM1_CH2	-	-	-	-	-	-	-	-	-	-	FSMC_D8	-	-	EVENTOUT
	PE12	-	TIM1_CH3N	-	-	-	-	-	-	-	-	-	-	FSMC_D9	-	-	EVENTOUT
	PE13	-	TIM1_CH3	-	-	-	-	-	-	-	-	-	-	FSMC_D10	-	-	EVENTOUT
	PE14	-	TIM1_CH4	-	-	-	-	-	-	-	-	-	-	FSMC_D11	-	-	EVENTOUT
PE15	-	TIM1_BKIN	-	-	-	-	-	-	-	-	-	-	FSMC_D12	-	-	EVENTOUT	

表8. 复用功能映射表(续)

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2Sext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI		
PortF	PF0	-	-	-	-	I2C2_SDA	-	-	-	-	-	-	-	FSMC_A0	-	-	EVENTOUT
	PF1	-	-	-	-	I2C2_SCL	-	-	-	-	-	-	-	FSMC_A1	-	-	EVENTOUT
	PF2	-	-	-	-	I2C2_SMBA	-	-	-	-	-	-	-	FSMC_A2	-	-	EVENTOUT
	PF3	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A3	-	-	EVENTOUT
	PF4	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A4	-	-	EVENTOUT
	PF5	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A5	-	-	EVENTOUT
	PF6	-	-	-	TIM10_CH1	-	-	-	-	-	-	-	-	FSMC_NIORD	-	-	EVENTOUT
	PF7	-	-	-	TIM11_CH1	-	-	-	-	-	-	-	-	FSMC_NREG	-	-	EVENTOUT
	PF8	-	-	-	-	-	-	-	-	-	TIM13_CH1	-	-	FSMC_NIOWR	-	-	EVENTOUT
	PF9	-	-	-	-	-	-	-	-	-	TIM14_CH1	-	-	FSMC_CD	-	-	EVENTOUT
	PF10	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_INTR	-	-	EVENTOUT
	PF11	-	-	-	-	-	-	-	-	-	-	-	-	-	DCMI_D12	-	EVENTOUT
	PF12	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A6	-	-	EVENTOUT
	PF13	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A7	-	-	EVENTOUT
	PF14	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A8	-	-	EVENTOUT
PF15	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A9	-	-	EVENTOUT	

表8. 复用功能映射表(续)

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2Sext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI		
PortG	PG0	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A10	-	-	EVENTOUT
	PG1	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A11	-	-	EVENTOUT
	PG2	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A12	-	-	EVENTOUT
	PG3	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A13	-	-	EVENTOUT
	PG4	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A14	-	-	EVENTOUT
	PG5	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_A15	-	-	EVENTOUT
	PG6	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_INT2	-	-	EVENTOUT
	PG7	-	-	-	-	-	-	-	-	USART6_CK	-	-	-	FSMC_INT3	-	-	EVENTOUT
	PG8	-	-	-	-	-	-	-	-	USART6_RTS	-	-	ETH_PPS_OUT	-	-	-	EVENTOUT
	PG9	-	-	-	-	-	-	-	-	USART6_RX	-	-	-	FSMC_NE2/FSMC_NCE3	-	-	EVENTOUT
	PG10	-	-	-	-	-	-	-	-	-	-	-	-	FSMC_NCE4_1/FSMC_NE3	-	-	EVENTOUT
	PG11	-	-	-	-	-	-	-	-	-	-	-	ETH_MII_TX_EN ETH_RMII_TX_EN	FSMC_NCE4_2	-	-	EVENTOUT
	PG12	-	-	-	-	-	-	-	-	USART6_RTS	-	-	-	FSMC_NE4	-	-	EVENTOUT
	PG13	-	-	-	-	-	-	-	-	UART6_CTS	-	-	ETH_MII_TXD0 ETH_RMII_TXD0	FSMC_A24	-	-	EVENTOUT
	PG14	-	-	-	-	-	-	-	-	USART6_TX	-	-	ETH_MII_TXD1 ETH_RMII_TXD1	FSMC_A25	-	-	EVENTOUT
PG15	-	-	-	-	-	-	-	-	USART6_CTS	-	-	-	-	DCMI_D13	-	EVENTOUT	

表8. 复用功能映射表(续)

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2Sext/I2S3	USART1/2/3/I2S3ext	UART4/5/USART6	CAN1/2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI		
PortH	PH0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
	PH1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
	PH2	-	-	-	-	-	-	-	-	-	-	-	ETH_MII_CRD	-	-	-	EVENTOUT
	PH3	-	-	-	-	-	-	-	-	-	-	-	ETH_MII_COL	-	-	-	EVENTOUT
	PH4	-	-	-	-	I2C2_SCL	-	-	-	-	-	-	OTG_HS_ULPI_NXT	-	-	-	EVENTOUT
	PH5	-	-	-	-	I2C2_SDA	-	-	-	-	-	-	-	-	-	-	EVENTOUT
	PH6	-	-	-	-	I2C2_SMBA	-	-	-	-	TIM12_CH1	-	ETH_MII_RXD2	-	-	-	EVENTOUT
	PH7	-	-	-	-	I2C3_SCL	-	-	-	-	-	-	ETH_MII_RXD3	-	-	-	EVENTOUT
	PH8	-	-	-	-	I2C3_SDA	-	-	-	-	-	-	-	-	DCMI_HSYNC	-	EVENTOUT
	PH9	-	-	-	-	I2C3_SMBA	-	-	-	-	TIM12_CH2	-	-	-	DCMI_D0	-	EVENTOUT
	PH10	-	-	TIM5_CH1	-	-	-	-	-	-	-	-	-	-	DCMI_D1	-	EVENTOUT
	PH11	-	-	TIM5_CH2	-	-	-	-	-	-	-	-	-	-	DCMI_D2	-	EVENTOUT
	PH12	-	-	TIM5_CH3	-	-	-	-	-	-	-	-	-	-	DCMI_D3	-	EVENTOUT
	PH13	-	-	-	TIM8_CH1N	-	-	-	-	-	CAN1_TX	-	-	-	-	-	EVENTOUT
	PH14	-	-	-	TIM8_CH2N	-	-	-	-	-	-	-	-	-	DCMI_D4	-	EVENTOUT
PH15	-	-	-	TIM8_CH3N	-	-	-	-	-	-	-	-	-	DCMI_D11	-	EVENTOUT	

表8. 复用功能映射表(续)

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15	
		SYS	TIM1/2	TIM3/4/5	TIM8/9/10/11	I2C1/2/3	SPI1/SPI2/ I2S2/I2S2ext	SPI3/I2Sext /I2S3	USART1/2/3/ I2S3ext	UART4/5/ USART6	CAN1/2 TIM12/13/ 14	OTG_FS/ OTG_HS	ETH	FSMC/SDIO /OTG_FS	DCMI			
PortI	PI0	-	-	TIM5_CH4	-	-	SPI2_NSS I2S2_WS	-	-	-	-	-	-	-	DCMI_D13	-	EVENTOUT	
	PI1	-	-	-	-	-	SPI2_SCK I2S2_CK	-	-	-	-	-	-	-	DCMI_D8	-	EVENTOUT	
	PI2	-	-	-	TIM8_CH4	-	SPI2_MISO	I2S2ext_SD	-	-	-	-	-	-	DCMI_D9	-	EVENTOUT	
	PI3	-	-	-	TIM8_ETR	-	SPI2_MOSI I2S2_SD	-	-	-	-	-	-	-	DCMI_D10	-	EVENTOUT	
	PI4	-	-	-	TIM8_BKIN	-	-	-	-	-	-	-	-	-	DCMI_D5	-	EVENTOUT	
	PI5	-	-	-	TIM8_CH1	-	-	-	-	-	-	-	-	-	DCMI_VSYNC	-	EVENTOUT	
	PI6	-	-	-	TIM8_CH2	-	-	-	-	-	-	-	-	-	DCMI_D6	-	EVENTOUT	
	PI7	-	-	-	TIM8_CH3	-	-	-	-	-	-	-	-	-	DCMI_D7	-	EVENTOUT	
	PI8	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
	PI9	-	-	-	-	-	-	-	-	-	-	CAN1_RX	-	-	-	-	-	EVENTOUT
	PI10	-	-	-	-	-	-	-	-	-	-	-	-	ETH_MII_RX_ER	-	-	-	EVENTOUT
PI11	-	-	-	-	-	-	-	-	-	-	-	OTG_HS_ULPI_DIR	-	-	-	-	EVENTOUT	

4 内存映射

内存映射如图17所示

图 17. 内存映射

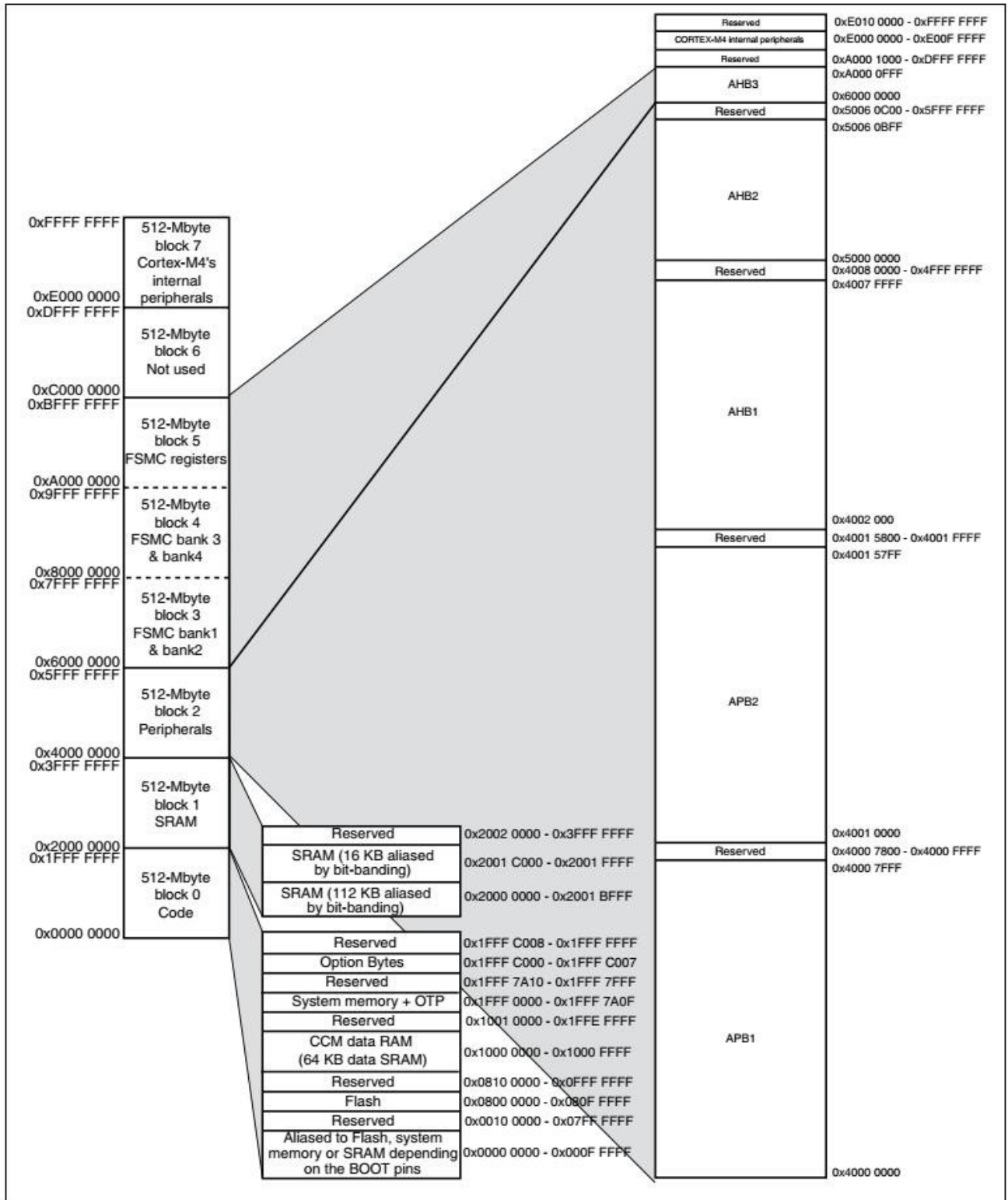


表 9. 寄存器边界地址

总线	边界地址	外设
	0xE00FFFFFF-0xFFFFFFFF	保留
Cortex-M4	0xE0000000-0xE00FFFFF	Cortex-M4 内部外设
	0xA0001000-0xDFFFFFFF	保留
AHB3	0xA0000000-0xA0000FFF	FSMC控制寄存器
	0x90000000-0x9FFFFFFF	FSMC存储区域4
	0x80000000-0x8FFFFFFF	FSMC存储区域3
	0x70000000-0x7FFFFFFF	FSMC存储区域2
	0x60000000-0x6FFFFFFF	FSMC存储区域1
	0x50060C00-0x5FFFFFFF	保留
AHB2	0x50060800-0x50060BFF	RNG
	0x50050400-0x500607FF	保留
	0x50050000-0x500503FF	DCMI
	0x50040000-0x5004FFFF	保留
	0x50000000-0x5003FFFF	USB OTG FS
	0x40080000-0x4FFFFFFF	保留

总线	边界地址	外设
AHB1	0x40040000-0x4007FFFF	USB OTG HS
	0x40029400-0x4002AFFF	保留
	0x40029000-0x400293FF	以太网MAC
	0x40028C00-0x40028FFF	
	0x40028800-0x40028BFF	
	0x40028400-0x400287FF	
	0x40028000-0x400283FF	
	0x40026800-0x40027FFF	
	0x40026400-0x400267FF	DMA2
	0x40026000-0x400263FF	DMA1
	0X40025000-0X40025FFF	保留
	0x40024000-0x40024FFF	BKP SRAM
	0x40023C00-0x40023FFF	Flash 接口寄存器
	0x40023800-0x40023BFF	RCC
	0X40023400-0X400237FF	保留
	0x40023000-0x400233FF	CRC
	0x40022400-0x40022FFF	保留
	0x40022000-0x400223FF	GPIOI
	0x40021C00-0x40021FFF	GPIOH
	0x40021800-0x40021BFF	GPIOG
	0x40021400-0x400217FF	GPIOF
	0x40021000-0x400213FF	GPIOE
	0X40020C00-0x40020FFF	GIPOD
	0x40020800-0x40020BFF	GPIOC
	0x40020400-0x400207FF	GPIOB
	0x40020000-0x400203FF	GPIOA
		0x40015800-0x4001FFFF

总线	边界地址	外设
APB2	0x40014C00-0x400157FFF	保留
	0x40014800-0x40014BFF	TIM11
	0x40014400-0x400147FF	TIM10
	0x40014000-0x400143FF	TIM9
	0x40013C00-0x40013FFF	EXTI
	0x40013800-0x40013BFF	SYSCFG
	0x40013400-0x400137FF	保留
	0x40013000-0x400133FF	SPI1
	0x40012C00-0x40012FFF	SDIO
	0x40012400-0x40012BFF	保留
	0x40012000-0x400123FF	ADC1-ADC2-ADC3
	0x40011800-0x40011FFF	保留
	0x40011400-0x400117FF	USART6
	0x40011000-0x400113FF	USART1
	0x40010800-0x40010FFF	保留
	0x40010400-0x400107FF	TIM8
	0x40010000-0x400103FF	TIM1
	0x40007800-0x4000FFFF	保留

总线	边界地址	外设
APB1	0x40007800-0x40007FFF	保留
	0x40007400-0x400077FF	DAC
	0x40007000-0x400073FF	PWR
	0x40006C00-0x40006FFF	保留
	0x40006800-0x40006BFF	CAN2
	0x40006400-0x400067FF	CAN1
	0x40006000-0x400063FF	保留
	0x40005C00-0x40005FFF	I2C3
	0x40005800-0x40005BFF	I2C2
	0x40005400-0x400057FF	I2C1
	0x40005000-0x400053FF	UART5
	0x40004C00-0x40004FFF	UART4
	0x40004800-0x40004BFF	USART3
	0x40004400-0x400047FF	USART2
	0x40004000-0x400043FF	I2S3ext
	0x40003C00-0x40003FFF	SPI3/I2S3
	0x40003800-0x40003BFF	SPI2/I2S2
	0x40003400-0x400037FF	I2S2ext
	0x40003000-0x400033FF	IWDG
	0x40002C00-0x40002FFF	WWDG
	0x40002800-0x40002BFF	RTC & BKP 寄存器
	0x40002400-0x400027FF	保留
	0x40002000-0x400023FF	TIM14
	0x40001C00-0x40001FFF	TIM13
	0x40001800-0x40001BFF	TIM12
	0x40001400-0x400017FF	TIM7
	0x40001000-0x400013FF	TIM6
	0x40000C00-0x40000FFF	TIM5
	0x40000800-0x40000BFF	TIM4
	0x40000400-0x400007FF	TIM3
0x40000000-0x400003FF	TIM2	

5 电气特性

5.1 参数条件

若无另行说明，所有电压都以 V_{SS} 为基准。

5.1.1 最小值和最大值

除非特别说明，所有器件的最小值和最大值已在生产期间进行过测试，测试环境温度为 $T_A=25^{\circ}\text{C}$ 和 $T_A=T_{Amax}$ （取决于所选器件的温度范围），这些值能在最坏的环境温度、供电电压和时钟频率条件下得到保证。

根据特性分析结果、设计仿真和/或技术特性得到的数据在表格的脚注中说明，并未在生产中进行测试。在特性分析基础上，最小值和最大值是通过样本测试后，取其平均值再加上或减去三倍的标准差（平均值 $\pm 3\sigma$ ）得到。

5.1.2 典型值

除非特别说明，典型数据都是在 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 条件下测得的（针对 $1.8\text{V}\leq V_{DD}\leq 3.6\text{V}$ 电压范围。这些数据未经测试，仅供设计参考。

典型的 ADC 精度值是通过对一个标准扩散批次采样，在整个温度范围内执行特性分析确定的，其中 95% 的器件的误差小于或等于指定的值（平均值 $\pm 2\sigma$ ）。

5.1.3 典型曲线

除非特别说明，否则所有典型曲线未经测试，仅供设计参考。

5.1.4 负载电容

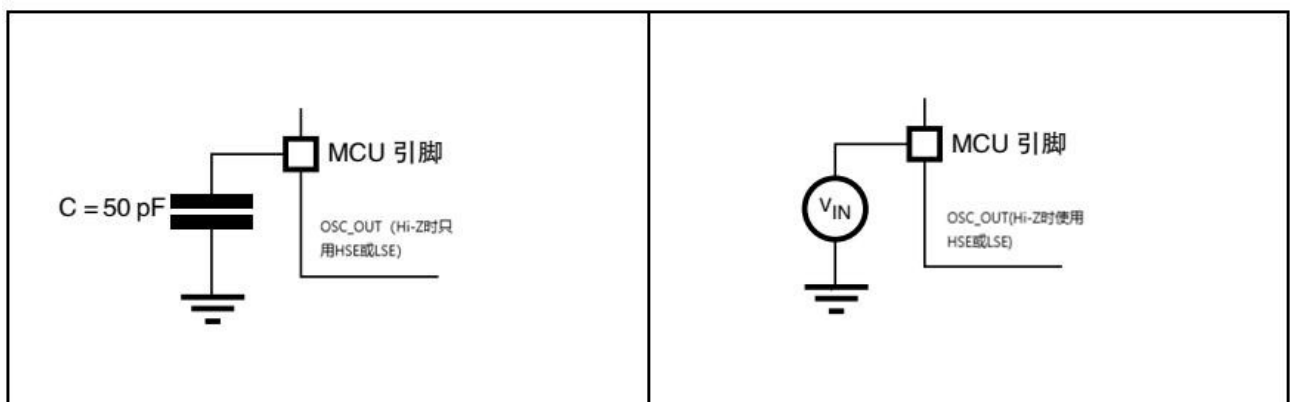
图18中显示了用于测量引脚参数的负载条件。

5.1.5 引脚输入电压

图19中显示了器件引脚上输入电压的测量方法。

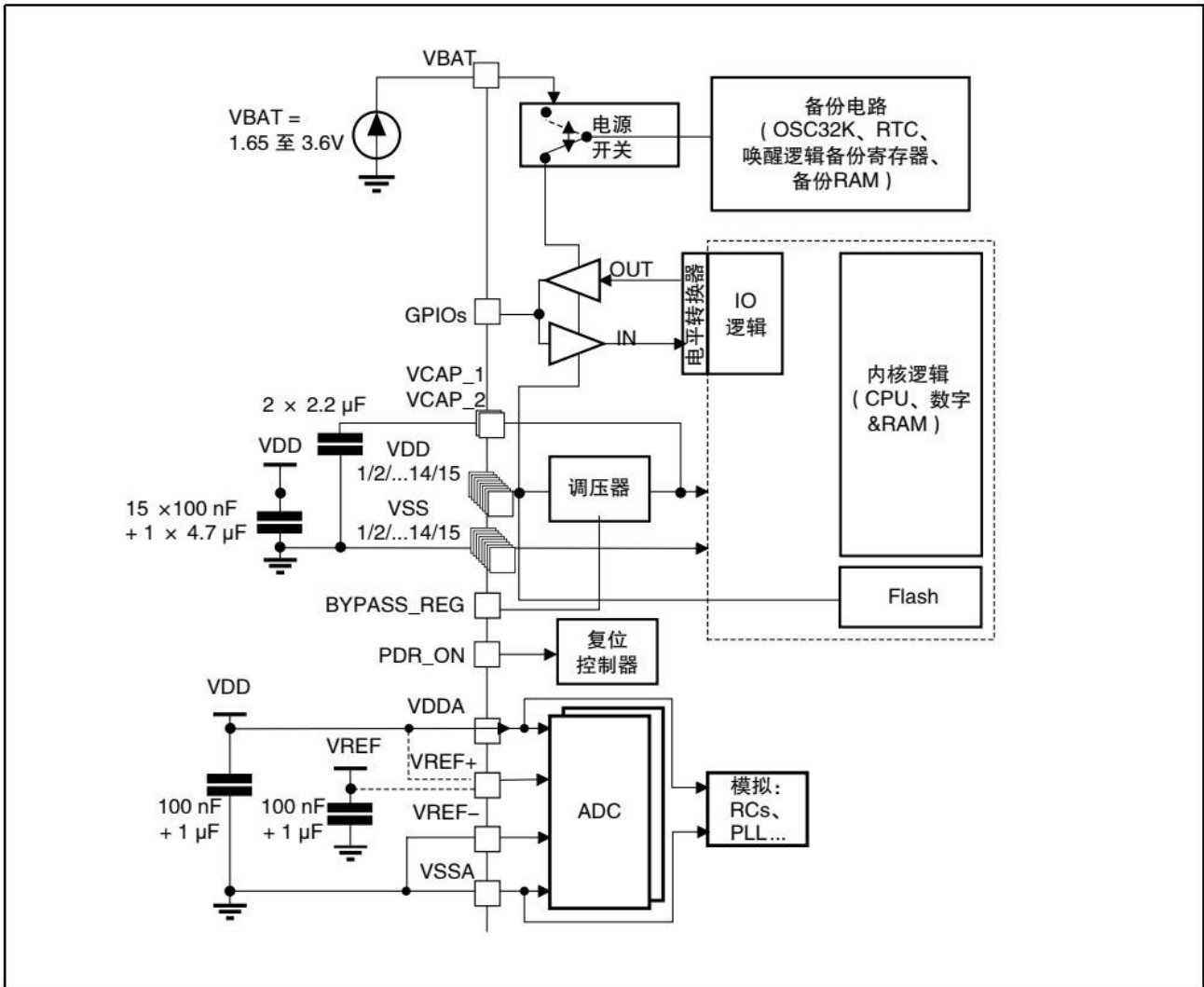
图 18.引脚负载条件

图 19.引脚输入电压



5.1.6 电源方案

图 20. 电源方案

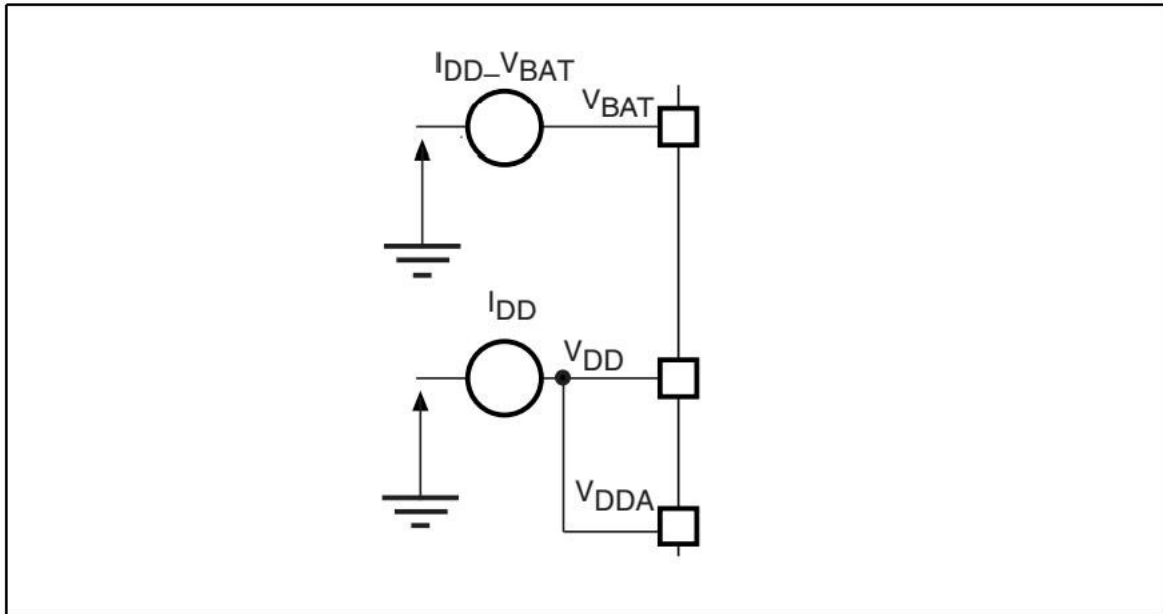


1. BYPASS_REG 和 PDR_ON引脚，请参考第2.2.16章节：电源监控器和第2.2.15章节：调压器
2. 当调压器OFF时，应将两个2.2μF陶瓷电容替换为两个100nF去耦电容。
3. 4.7μF陶瓷电容必须连至VDD引脚之一。
4. $V_{DDA} = V_{DD}$ 和 $V_{SSA} = V_{SS}$

注意：每个电源对（ V_{DD}/V_{SS} ， V_{DDA}/V_{SSA} ...）必须使用上述的滤波陶瓷电容去耦。这些电容必须尽量靠近或低于PCB下面的适当引脚，以确保器件正常工作。不建议去掉滤波电容来降低PCB尺寸或成本。这可能导致器件工作不正常。

5.1.7 电流消耗测量

图 21. 电流消耗测量方案



5.2 绝对最大额定值

如果加在器件上的载荷超过表10: 电压特性、表11: 电流特性和表12: 热特性中列出的绝对最大额定值，则可能导致器件永久损坏。这些数值只是额定应力，并不意味着器件在这些条件下功能正常。长期工作在最大额定值条件下可能会影响器件的可靠性。

表 10. 电压特性

符号	额定值	最小值	最大值	单位
$V_{DD}-V_{SS}$	外部主电源电压（包括 V_{DDA} 、 V_{DD} ） ⁽¹⁾	-0.3	4.0	V
V_{IN}	FT引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{DD}+4$	
	任何其它引脚上的输入电压	$V_{SS}-0.3$	4.0	
$ \Delta V_{DDx} $	不同 V_{DD} 电源引脚之间的电压变化	-	50	mV
$ V_{SSx}-V_{SS} $	不同 V_{DD} 电源引脚的变化包括 V_{REF} 在内的所有不同接地引脚的变化			
$V_{ESD(HBM)}$	静电放电电压（人体模型）	参照第5.3.14节：绝对最大额定值（电气灵敏度）		

1. 在允许的范围内，所有主电源(V_{DD} , V_{DDA})和接地(V_{SS} , V_{SSA})引脚必须始终连接到外部电源。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见表11。

表 11. 电流特性

符号	条件	最大值	单位
I_{VDD}	流入每个 V_{DD_X} 电源线的最大电流（拉电流） ⁽¹⁾	240	mA
I_{VSS}	流出每个 V_{SS_X} 接地线的最大电流（灌电流） ⁽¹⁾	240	
I_{IO}	任意I/O和控制引脚的输出灌电流	25	
	任意I/O和控制引脚的输出拉电流	25	
$I_{INJ(PIN)}^{(2)}$	FT引脚上的注入电流 ⁽³⁾	-5/+0	
	任何其他引脚上的注入电流 ⁽⁴⁾	±5	
$\Sigma I_{INJ(PIN)}^{(4)}$	所有I/O和控制引脚上的总注入电流 ⁽⁵⁾	±25	

1. 在允许的范围内，所有主电源(V_{DD}, V_{DDA})和接地(V_{SS}, V_{SSA})引脚必须始终连接到外部电源。
2. 反向注入电流会干扰器件的模拟性能。请参见第5.3.21章节：12位ADC特性中的注释。
3. 这些I/O上无法正向注入，当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流，不得超出 $I_{INJ(PIN)}$ 。有关允许的最大输入电压值的信息，请参见表0。
4. 当 $V_{IN} > V_{DDA}$ 时，会产生正向注入电流；当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流，不得超出 $I_{INJ(PIN)}$ 。有关允许的最大输入电压值的信息，请参见表0。
5. 当多个输入同时存在注入电流时， $\Sigma I_{INJ(PIN)}$ 的最大值等于正向注入电流和反向注入电流（瞬时值）的绝对值之和。

表 12. 热特性

符号	额定值	数值	单位
TSTG	储存温度范围	-65到+150	°C
TJ	最大结温	125	°C

5.3 工作条件

5.3.1 通用工作条件

表 13.通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f _{HCLK}	内部AHB时钟频率	PWR_CR寄存器中的VOS位=0x00 ⁽¹⁾	0	-	144	MHz
		PWR_CR寄存器中的VOS位=0x01	0	-	168	MHz
f _{PCLK1}	内部APB1时钟频率	-	0	-	42	MHz
f _{PCLK2}	内部APB2时钟频率	-	0	-	84	MHz
V _{DD}	标准工作电压	-	1.8 ⁽²⁾	-	3.6	V
V _{DDA} ⁽³⁾⁽⁴⁾	模拟工作电压 (ADC限制在1.2M采样)	必须与V _{DD} 等电位 ⁽⁵⁾	1.8 ⁽²⁾	-	2.4	
	模拟工作电压 (ADC限制在1.4M采样)		2.4	-	3.6	
V _{BAT}	备份工作电压	-	1.65	-	3.6	
V _{I2}	调压器ON: V _{CAP_1} /V _{CAP_2} 引脚上的1.2V内部电压	PWR_CR寄存器中的VOS位=0x00 ⁽¹⁾ , 144MHz最大频率	1.08	1.14	1.20	
		PWR_CR寄存器中的VOS位=0x01, 168MHz最大频率	1.20	1.26	1.32	
	调压器OFF: 必须从外部调压器在 V _{CAP_1} /V _{CAP_2} 引脚上提供1.2V 外部电压	最大频率144MHz	1.10	1.14	1.20	
V _{IN}	RST和FT引脚上的输入电压 ⁽⁶⁾	2V ≤ V _{DD} ≤ 3.6V	-0.3	-	5.5	
		V _{DD} ≤ 2V	-0.3	-	5.2	
	TTa引脚上的输入电压	-	-0.3	-	V _{DDA} +0.3	
	BOOT0引脚上的输入电压	-	-	-	5.5	
P _D	T _A =85°C (后缀为6) 或 T _A =105°C (后缀为7) 时的功率耗散 ⁽⁷⁾	LQFP64	-	-	435	
		LQFP100	-	-	465	
		LQFP144	-	-	500	
		LQFP176	-	-	526	
		UFBGA176	-	-	513	
T _A	环境温度 (后缀为6的版本)	最大功率耗散	-40	-	85	
		低功率耗散 ⁽⁸⁾	-40	-	105	
	环境温度 (后缀为7的版本)	最大功率耗散	-40	-	105	
		低功率耗散 ⁽⁸⁾	-40	-	125	
T _J	结温范围	后缀为6的版本	-40	-	105	
		后缀为7的版本	-40	-	125	

- 当系统时钟频率在30至144 MHz之间时，在整个温度范围内，VOS=0比VOS=1的平均期望功耗增益约为10%。
- 当设备工作在低温范围内并使用外部电源监控器时，可达到1.7V的V_{DD}/V_{DDA}最小值（请参考：[内部复位OFF](#)章节）。
- 当使用ADC时，请参见表67: ADC特性。
- 若存在VREF+引脚，则必须考虑下述条件：V_{DDA}-VREF+ < 1.2V。
- 建议使用相同的电源为V_{DD}和V_{DDA}供电。在上电和掉电期间，V_{DD}和V_{DDA}之间容许的最大差值为300mV。
- 要使电压保持在高于V_{DD}+0.3，必须禁止内部上拉/下拉电阻。
- 如果T_A较低，只要T_J不超过T_{Jmax}，便允许更高的P_D值。
- 在低功率耗散状态下，只要T_J不超过T_{Jmax}，T_A便可扩展到此范围。

表 14.不同工作供电电压范围的限制

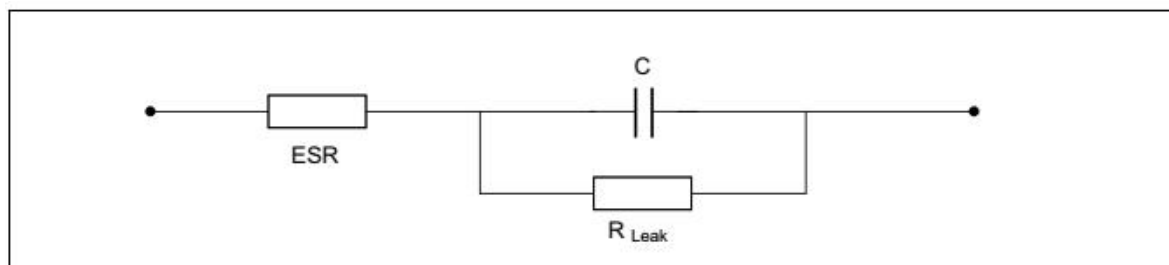
工作供电电压范围	ADC运算	最大Flash访问频率, 无等待状态 ($f_{Flashmax}$)	最大HCLK频率Flash等待状态 ⁽¹⁾⁽²⁾	I/O运算	时钟输出I/O引脚的频率	可能的Flash操作
$V_{DD}=1.8$ 至 $2.1V^{(3)}$	转换时间高达 1.2Msps	20MHz ⁽⁴⁾	160MHz, 有7个等待状态	-没有I/O补偿 -降低速度性能	高达30MHz	仅8位擦除和编程操作
$V_{DD}=2.1$ 至 $2.4V$	转换时间高达 1.2Msps	22MHz	168MHz, 有7个等待状态	-没有I/O补偿 -降低速度性能	高达30MHz	16位擦除和编程操作
$V_{DD}=2.4$ 至 $2.7V$	转换时间高达 2.4Msps	24MHz	168MHz, 有6个等待状态	-有I/O补偿 -降低速度性能	高达48MHz	16位擦除和编程操作
$V_{DD}=2.7$ 至 $3.6V^{(5)}$	转换时间高达 2.4Msps	30MHz	168MHz, 有5个等待状态	-有I/O补偿 -降低速度性能	-当 $V_{DD}=2.7$ 至 $3.0V$ 时为 48MHz -当 $V_{DD}=3.0$ 至 $3.6V$ 时为 60MHz	32位擦除和编程操作

1. 仅当从Flash执行代码时可用。当从RAM执行代码时, 无需等待状态。
2. 得益于ART加速器和128位Flash, 这里给出的等待状态数目不影响从Flash的执行速度, 原因是ART加速器可达到等效于0等待状态程序执行的性能。
3. 当设备工作在低温范围内并使用外部电源监控器时, 可达到1.7V的 V_{DD}/V_{DDA} 最小值 (请参考: *内部复位OFF* 章节)。
4. 预取不可用。
5. USB全速PHY的电压范围可低至2.7V。然而D-和D+引脚的电气特性在2.7至3V间会变差。

5.3.2 V_{CAP1}/V_{CAP2} 外部电容

主调压器的稳定性是通过将外部电容 C_{EXT} 连接到 V_{CAP1}/V_{CAP2} 引脚实现的。 C_{EXT} 在表 16 中说明。

图 22.外部电容 C_{EXT}



1. 图例: ESR为等效串联电阻

表 15. V_{CAP1}/V_{CAP2} 工作条件 (1)

符号	参数	条件
CEXT	外部电容的电容值	2.2 μ F
ESR	外部电容的ESR	<2 Ω

1. 当旁路调压器时, 不需要两个2.2 μ F的 V_{CAP} 电容, 应将其替换为两个100nF的去耦电容。

5.3.3 上电/掉电时的工作条件（稳压器开）

T_A 服从一般工作条件。

表 16. 上电/掉电时的工作条件（稳压器开）

符号	参数	最小值	最大值	单位
tvDD	V _{DD} 上升时间速率	20	∞	μs/V
	V _{DD} 下降时间速率	20	∞	

5.3.4 上电/掉电时的工作条件（稳压器关）

T_A 服从一般工作条件。

表 17. 上电/掉电时的工作条件（稳压器关）（1）

符号	参数	条件	最小值	最大值	单位
tvDD	V _{DD} 上升时间速率	上电	20	∞	μs/V
	V _{DD} 下降时间速率	掉电	20	∞	
tvCAP	V _{CAP_1} 和V _{CAP_2} 上升时间速率	上电	20	∞	
	V _{CAP_1} 和V _{CAP_2} 下降时间速率	掉电	20	∞	

1. 为在掉电时复位内部逻辑，必须当V_{DD}低于V_{I2}时在PA0引脚上应用复位。

5.3.5 嵌入式复位和电源控制模块特性

表19中给出的参数是在表13中汇总的环境温度和V_{DD}电源电压条件下测试得出的。

表 18. 嵌入式复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程电压检测器的电平选择	PLS[2:0]=000（上升沿）	2.09	2.14	2.19	V
		PLS[2:0]=000（下降沿）	1.98	2.04	2.08	V
		PLS[2:0]=001（上升沿）	2.23	2.30	2.37	V
		PLS[2:0]=001（下降沿）	2.13	2.19	2.25	V
		PLS[2:0]=010（上升沿）	2.39	2.45	2.51	V
		PLS[2:0]=010（下降沿）	2.29	2.35	2.39	V
		PLS[2:0]=011（上升沿）	2.54	2.60	2.65	V
		PLS[2:0]=011（下降沿）	2.44	2.51	2.56	V
		PLS[2:0]=100（上升沿）	2.70	2.76	2.82	V
		PLS[2:0]=100（下降沿）	2.59	2.66	2.71	V
		PLS[2:0]=101（上升沿）	2.86	2.93	2.99	V
		PLS[2:0]=101（下降沿）	2.65	2.84	2.92	V
		PLS[2:0]=110（上升沿）	2.96	3.03	3.10	V
		PLS[2:0]=110（下降沿）	2.85	2.93	2.99	V
PLS[2:0]=111（上升沿）	3.07	3.14	3.21	V		
PLS[2:0]=111（下降沿）	2.95	3.03	3.09	V		
V _{PVDhyst} ⁽¹⁾	PVD迟滞	-	-	100	-	mV
V _{POR/PDR}	上电/掉电复位阈值	下降沿	1.60	1.68	1.76	V
		上升沿	1.64	1.72	1.80	V
V _{PDRhyst} ⁽¹⁾	PDR迟滞	-	-	40	-	mV
VBOR1	1级欠压门限	下降沿	2.13	2.19	2.24	V
		上升沿	2.23	2.29	2.33	V
VBOR2	2级欠压门限	下降沿	2.44	2.50	2.56	V
		上升沿	2.53	2.59	2.63	V
VBOR3	3级欠压门限	下降沿	2.75	2.83	2.88	V
		上升沿	2.85	2.92	2.97	V
V _{BORhyst} ⁽¹⁾	BOR迟滞	-	-	100	-	mV
T _{RESTTEMPO} ⁽¹⁾⁽²⁾	POR复位持续时间	-	0.5	1.5	3.0	ms
I _{RUSH} ⁽¹⁾	调压器上电时的浪涌电流（POR或从待机唤醒）	-	-	160	200	mA
E _{RUSH} ⁽¹⁾	调压器上电时的浪涌功率（POR或从待机唤醒）	V _{DD} =1.8V, T _A =105°C, I _{RUSH} =171mA 在31μs	-	-	5.4	μC

1. 由设计保证，未经生产测试。

2. 复位持续时间的测量方法为从上电（POR复位或从唤醒）到用户应用代码读取第一条指令的时刻。

5.3.6 供电电流特性

电流消耗受多个参数和因素影响，其中包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及执行的二进制代码等。

图21:电流消耗测量方案中介绍了电流消耗的测量方法。

本节所述各种运行模式下的电流消耗测量值都通过一套精简代码得出，利用这套代码与 CoreMark 代码得出的消耗相同。

典型和最大电流消耗

MCU 处于下述条件下：

- 所有I/O引脚都处于输入模式， V_{DD} 或 V_{SS} 上为静态值（无负载）。
- 所有的外设都处于禁止状态，有明确说明时除外。
- Flash访问时间调整至 f_{HCLK} 频率和 V_{DD} 范围。
- 启动外设时，系统时钟为HCLK， $f_{PCLK1}=f_{HCLK}/4$ ， $f_{PCLK2}=f_{HCLK}/2$ 。
- 除非特别说明， $V_{DD}=3.6V$ ，最大环境温度（ T_A ）时达到最大值，典型值为 $T_A=25^{\circ}C$ ， $V_{DD}=3.3V$ 。

表 19.运行模式的典型和最大电流消耗，数据处理代码从 Flash（启用除预取之外的 ART 加速器）或 RAM 运行(1)

符号	参数	条件	f_{HCLK}	典型值	最大值 ⁽²⁾		单位
				$T_A=25^{\circ}C$	$T_A=85^{\circ}C$	$T_A=105^{\circ}C$	
I_{DD}	运行模式下的供电电流	使用外部时钟 ⁽³⁾ ，启用所有外设 ⁽⁴⁾⁽⁵⁾	168MHz	65.3	69.6	75.4	mA
			144MHz	56.7	60.9	66.7	
			120MHz	43.6	49.7	54.3	
			90MHz	36.6	42.0	48.6	
			60MHz	23.6	29.2	36.1	
			30MHz	13.7	18.8	22.3	
			25MHz	11.9	16.8	21.4	
			16MHz ⁽⁶⁾	8.4	12.9	16.2	
			8MHz	5.3	8.6	12.6	
			4MHz	2.5	5.5	6.7	
		2MHz	1.3	3.1	4.1		
		使用外部时钟 ⁽³⁾ ，禁止所有外设 ⁽⁴⁾⁽⁵⁾	168MHz	28.7	34.4	42.3	
			144MHz	25.1	30.5	36.5	
			120MHz	20.2	24.9	28.8	
			90MHz	17.8	22.1	27.3	
			60MHz	11.9	16.2	21.4	
			30MHz	7.6	11.8	17.1	
			25MHz	6.9	10.9	16.3	
			16MHz ⁽⁶⁾	4.8	9.3	13.9	
			8MHz	3.1	7.9	8.4	
4MHz	1.8		4.2	4.5			
2MHz	0.8	2.3	3.0				

1. 使用BOOT引脚从SRAM1运行代码和数据处理。
2. 由特性分析结果保证，在生产测试 $V_{DD\ max}$ 和 f_{HCLK} 和 \max 启动外设。
3. 当 $f_{HCLK}>25MHz$ 时，外部基座为4MHz，PLL为ON。
4. 当ADC为ON时（ADC_CR2寄存器中的ADON位置位），对于模拟部分，每ADC会增加1.6mA的功耗。
5. 当ADC、DAC、HSE、LSE、HSI、LSI等模拟外设块为ON时，应考虑额外功耗。
6. 在这种情况下，HCLK=系统时钟/2

表 20.运行模式的典型和最大电流消耗，数据处理代码从 Flash（禁止 ART 加速器）运行

符号	参数	条件	f _{HCLK}	典型值	最大值 ⁽¹⁾		单位
				T _A =25°C	T _A =85°C	T _A =105°C	
I _{DD}	运行模式下的供电电流	使用外部时钟 ⁽²⁾ ，使能所有外设 ⁽³⁾⁽⁴⁾	168MHz	64.4	68.7	74.3	mA
			144MHz	55.2	60.7	66.5	
			120MHz	45.7	51.2	57.4	
			90MHz	36.0	42.5	48.7	
			60MHz	24.5	30.9	36.1	
			30MHz	14.3	20.2	26.6	
			25MHz	12.2	17.9	24.1	
			16MHz	8.5	13.9	19.4	
			8MHz	5.4	10.2	14.9	
			4MHz	2.9	5.1	7.5	
		2MHz	1.2	2.3	3.6		
		使用外部时钟 ⁽²⁾ ，关闭所有外设 ⁽³⁾⁽⁴⁾	168MHz	30.9	36.9	45.7	
			144MHz	26.8	32.8	40.3	
			120MHz	21.7	27.8	34.6	
			90MHz	18.3	23.8	30.1	
			60MHz	12.4	18.0	24.5	
			30MHz	7.5	13.1	19.6	
			25MHz	6.6	12.2	18.8	
			16MHz	5.0	10.3	16.2	
			8MHz	4.8	8.3	13.4	
4MHz	3.0		3.8	6.1			
2MHz	2.1	1.2	3.2				

1. 通过特性保证，在启用外设的V_{DDmax}和f_{HCLKmax}环境下生产测试。
2. f_{HCLK}>25MHz时，外部基座为4MHz，PLL为ON。
3. 当ADC、DAC、HSE、LSE、HSI、LSI等模拟外设块为ON时，应考虑额外功耗。
4. 当ADC为ON时（ADC_CR2寄存器中的ADON位置位），对于模拟部分，每ADC会增加1.6mA的功耗。

图23.典型的电流消耗与温度，运行模式，从Flash（开启ART加速器）或RAM运行带有数据处理的代码，外设为OFF

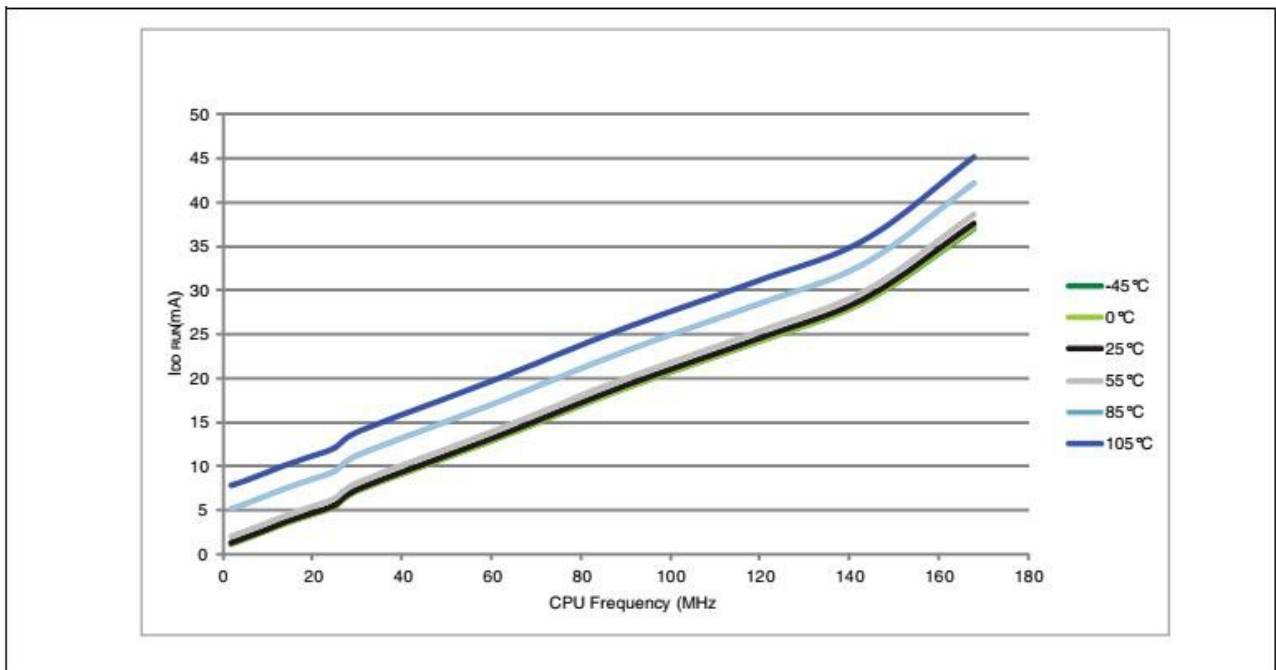


图 24 典型的电流消耗与温度 运行模式 从 Flash（开启 ART 加速器）或 RAM 运行带有数据

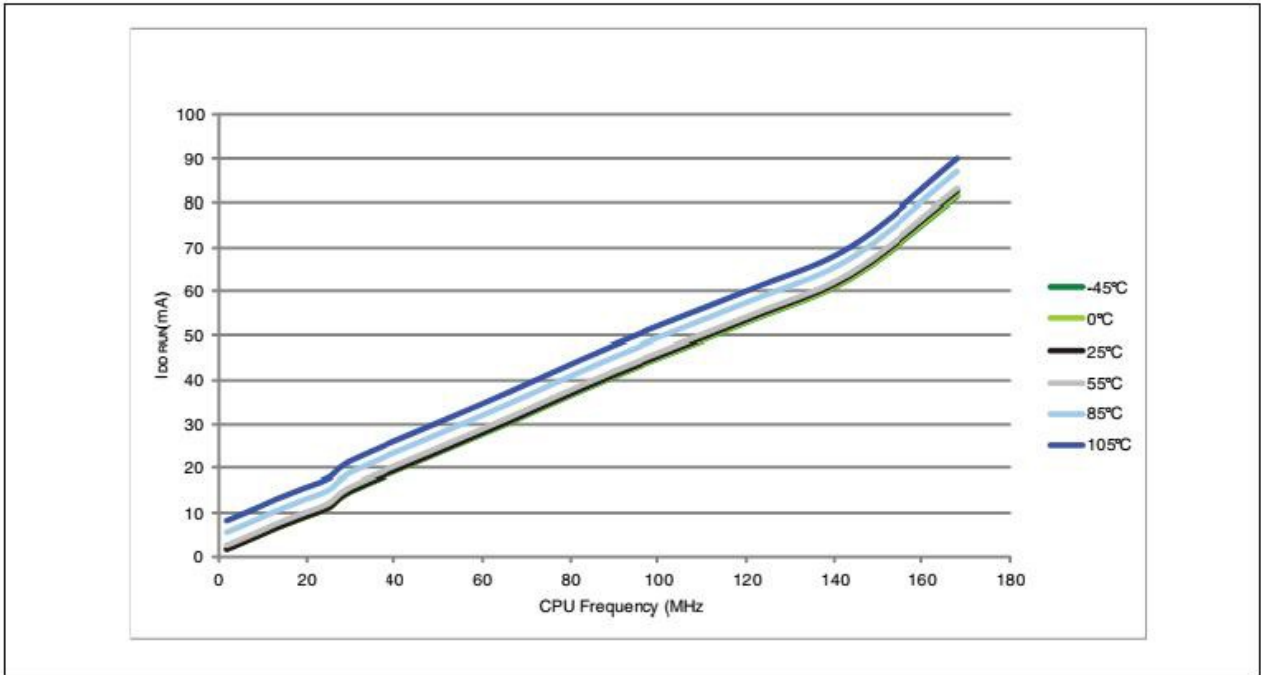


图 25.典型的电流消耗与温度，运行模式，从 Flash（开启 ART 加速器）或 RAM 运行带有数据处理的代码，外设为 OFF

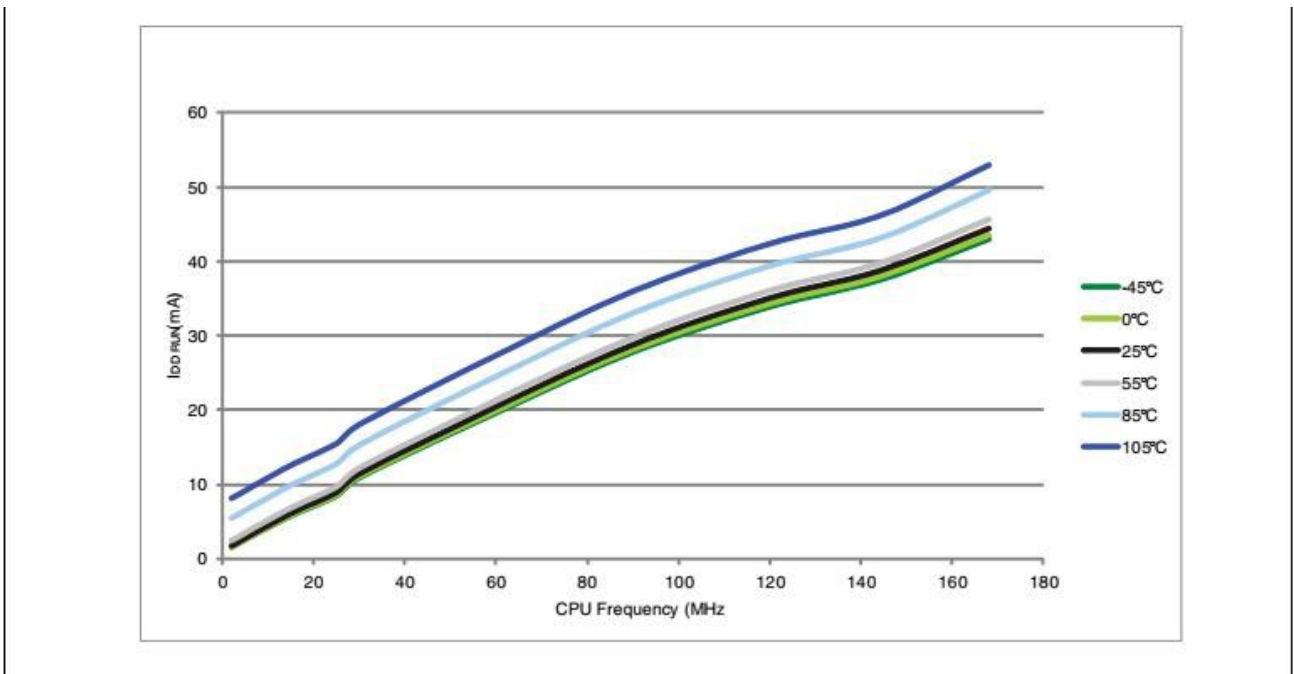


图 26 典型的电流消耗与温度 运行模式 从 Flash（开启 ART 加速器）或 RAM 运行带有数据处

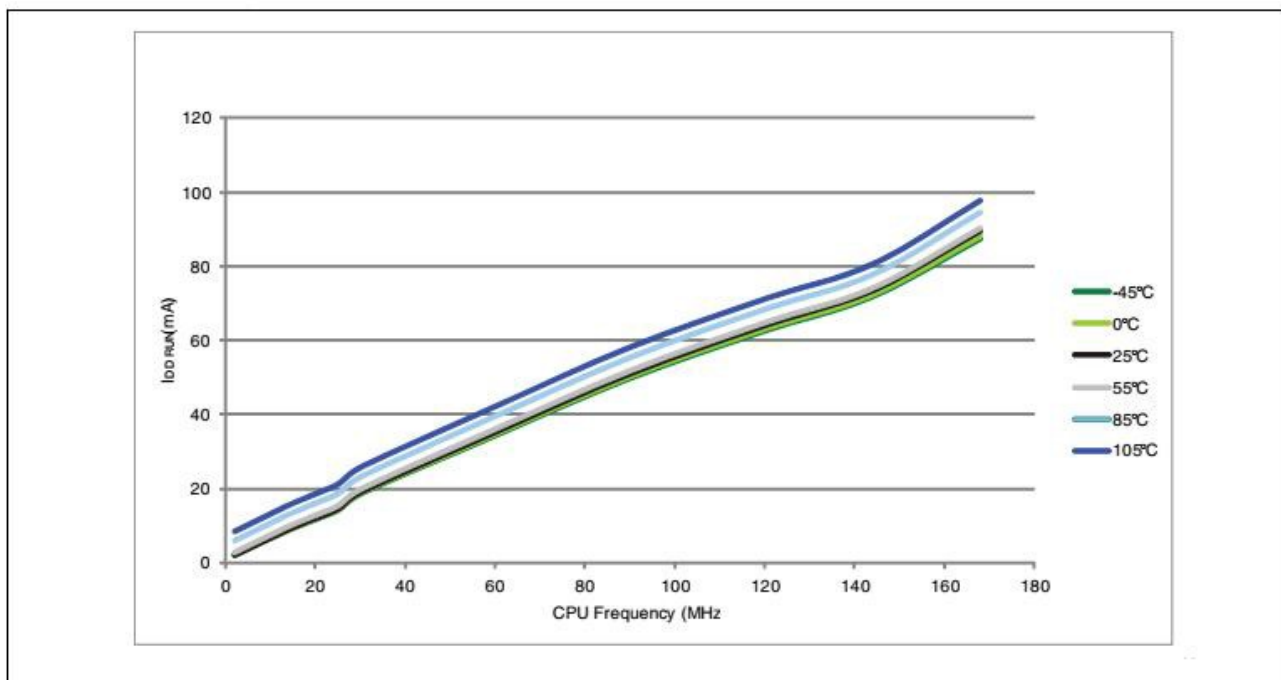


表 21.睡眠模式的典型和最大电流消耗

符号	参数	条件	f _{HCLK}	典型值	最大值 ⁽¹⁾			单位
				T _A =25°C	T _A =85°C	T _A =105°C		
I _{DD}	睡眠模式下的供电电流	使用外部时钟 ⁽²⁾ 使能所有外设 ⁽³⁾	168MHz	46.2	53.2	60.4	mA	
			144MHz	40.7	46.9	53.7		
			120MHz	37.5	40.5	47.9		
			90MHz	30.2	33.8	40.5		
			60MHz	18.7	24.9	32.4		
			30MHz	11.2	17.0	24.1		
			25MHz	9.6	15.6	23.3		
			16MHz	6.2	12.1	19.8		
			8MHz	4.0	10.4	15.6		
			4MHz	2.1	5.2	7.8		
		2MHz	0.9	3.0	4.0			
		使用外部时钟 ⁽²⁾ 关闭所有外设 ⁽³⁾	168MHz	13.0	18.9	24.1		
			144MHz	11.5	17.0	22.8		
			120MHz	9.8	15.5	20.7		
			90MHz	8.2	14.1	19.4		
			60MHz	6.3	11.8	16.2		
			30MHz	4.5	10.1	13.9		
			25MHz	4.1	9.5	12.1		
			16MHz	3.5	5.2	9.8		
			8MHz	1.9	3.2	5.1		
4MHz	1.4		1.6	2.8				
2MHz	0.5	0.9	1.4					

1. 由特性分析结果保证，在生产测试V_{DDmax}和f_{HCLK+max}，启动外设。
2. 当f_{HCLK}>25MHz时，外部基座为4MHz，PLL为ON。
3. 当ADC为ON时（ADC_CR2寄存器中的ADON位置位），对于模拟部分，每ADC会增加1.6mA的功耗。

表 22.停止模式的典型和最大电流消耗

符号	参数	条件	典型值	最大值 ⁽¹⁾				单位
			T _A =25°C	T _A =25°C	T _A =85°C	T _A =105°C		
I _{DD_STOP}	供电电流处于停止模式，调压器处于运行模式	Flash处于停止模式，所有振荡器OFF，无独立看门狗	0.37	1.10	5.14	7.25	mA	
		Flash处于深掉电模式，所有振荡器OFF，无独立看门狗	0.37	1.11	5.14	7.24		
	供电电流处于停止模式，调压器处于低功耗模式	Flash处于停止模式，所有振荡器OFF，无独立看门狗	0.37	1.10	3.29	6.12		
		Flash处于深掉电模式，所有振荡器OFF，无独立看门狗	0.37	1.11	3.33	6.14		

表 23.待机模式的典型和最大电流消耗

符号	参数	条件	典型值			最大值 ⁽¹⁾		单位
			T _A =25°C			T _A =85°C	T _A =105°C	
			V _{DD} =1.8V	V _{DD} =2.4V	V _{DD} =3.3V	V _{DD} =3.6V		
I _{DD_STBY}	待机模式下的供电电流	备份SRAM ON，低速振荡器LSE和RTC ON	3.0	3.4	4.0	20	36	μA
		备份SRAM OFF，低速振荡器LSE和RTC ON	2.4	2.7	3.3	16	32	μA
		备份SRAM ON，RTC OFF	2.4	2.6	3.0	12.5	24.8	μA
		备份SRAM OFF，RTC OFF	1.7	1.9	2.2	9.8	19.2	μA

1. 数据通过特性分析确定。

表 24.V_{BAT}模式的典型和最大电流消耗

符号	参数	条件	典型值			最大值 ⁽¹⁾		单位
			T _A =25°C			T _A =85°C	T _A =105°C	
			V _{DD} =1.8V	V _{DD} =2.4V	V _{DD} =3.3V	V _{DD} =1.8V		
I _{DD_VBAT}	备份域的供电电流	备份SRAM ON，低速振荡器LSE)和RTC ON	1.29	1.42	1.68	6	11	μA
		备份SRAM OFF，低速振荡器LSE)和RTC ON	0.62	0.73	0.96	3	5	μA
		备份SRAM ON，RTC OFF	0.79	0.81	0.86	5	10	μA
		备份SRAM OFF，RTC OFF	0.10	0.10	0.10	2	4	μA

1. 数据通过特性分析确定。

图 27.典型的 V_{BAT} 电流消耗 (LSE 和 RTC ON/备份 RAM OFF)

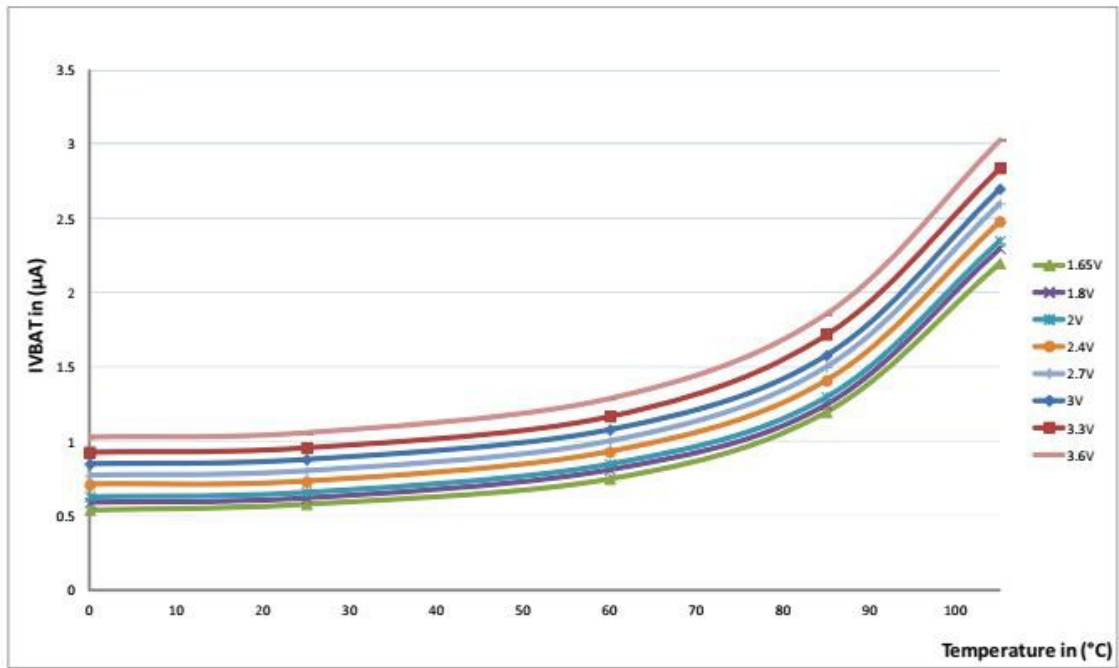
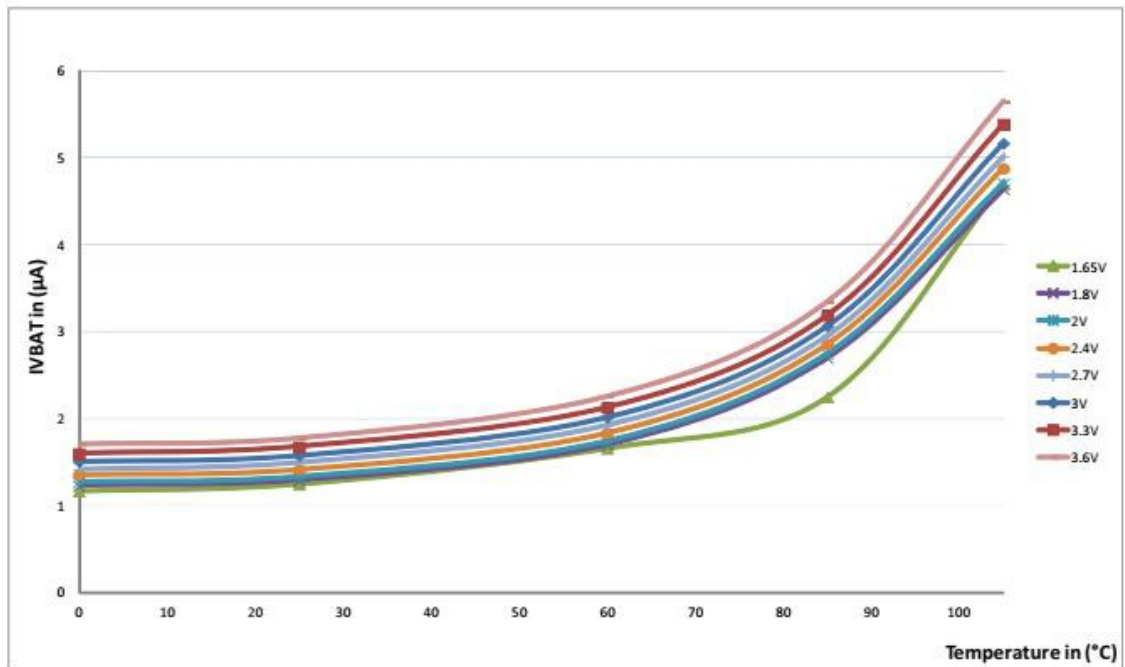


图 28.典型的 V_{BAT} 电流消耗 (LSE 和 RTC ON/备份 RAM ON)



额外电流消耗

MCU 处于下述条件下：

- 所有I/O引脚都配置为模拟模式。
- Flash访问时间调整为 f_{HCLK} 频率。
- 电压缩放如下调整为 f_{HCLK} 频率：
 - 级别2用于 $f_{HCLK} \leq 144\text{MHz}$
 - 级别1用于 $144\text{MHz} < f_{HCLK} \leq 168\text{MHz}$ 。
- 系统时钟为HCLK， $f_{PCLK1} = f_{HCLK}/4$ ， $f_{PCLK2} = f_{HCLK}/2$ 。
- HSE晶振时钟频率为 25MHz。
- $T_A=25^\circ\text{C}$ 。

表 25.运行模式的典型电流消耗，数据处理代码从 Flash 运行，调压器 ON（启用除预取之外的 ART 加速器）， $V_{DD}=1.8\text{V}$ （1）

符号	参数	条件	$f_{HCLK}(\text{MHz})$	典型值	单位
I_{DD}	RUN模式的 V_{DD} 供电电流	使能所有外设	160	36.2	mA
			144	29.3	
			120	24.7	
			90	19.3	
			60	13.4	
			30	7.7	
			25	6.0	

1. 当启用外设时，不包括对应于外设模拟部分的功耗（如ADC或DAC）。

I/O系统电流消耗

I/O 系统的电流消耗有两部分：静态和动态。

I/O静态电流消耗

所有用作带上拉电阻输入的 I/O 都会在引脚外部保持为低时产生电流消耗。此电流消耗的值可通过使用表46:I/O 静态特性中给出的上拉/下拉电阻值简单算出。

对于输出引脚，还必须考虑任何外部下拉电阻或外部负载以估计电流消耗。

若外部施加了中间电平，则额外的 I/O 电流消耗是因为配置为输入的 I/O。此电流消耗是由于用于区分输入值的输入施密特触发器电路导致。除非应用需要此特定配置，否则可通过将这些 I/O 配置为模拟模式以避免此供电电流消耗。ADC 输入引脚应配置为模拟输入就是这种情况。

注意：任何浮空的输入引脚都可能由于外部电磁噪声，成为中间电平或意外切换。为防止浮空引脚相关的电流消耗，它们必须配置为模拟模式，或内部强制为确定的数字值。这可通过使用上拉/下拉电阻或将引脚配置为输出模式做到。

I/O动态电流消耗

除了内部外设的电流消耗（请参见表27:外设电流消耗），应用所使用的 I/O 也对电流消耗有贡献。当 I/O 引脚切换时，它使用 MCU 供电电压的电流为 I/O 引脚电路供电，并对连至该引脚的（内部或外部）容性负载充电/放电：

$$I_{sw}=V_{DD}\times f_{sw}\times C$$

其中：

I_{sw} 为切换 I/O 对容性负载充电/放电的灌电流

V_{DD} 为 MCU 供电电压

f_{sw} 为 I/O 切换频率

C 为 I/O 引脚看到的总电容： $C=C_{INT}+C_{EXT}$

测试引脚配置位推挽输出模式，由软件按固定频率切换。

表 26.切换输出 I/O 电流消耗

符号	参数	条件 (1)	I/O切换频率 (fsw)	典型值	单位
IDDIO	I/O切换电流	$V_{DD}=3.3V^{(2)}$ $C=C_{INT}$	2MHz	0.02	mA
			8MHz	0.14	
			25MHz	0.51	
			50MHz	0.86	
			60MHz	1.30	
		$V_{DD}=3.3V$ $C_{EXT}=0pF$ $C=C_{INT}+C_{EXT}+C_S$	2MHz	0.10	
			8MHz	0.38	
			25MHz	1.18	
			50MHz	2.47	
			60MHz	2.86	
		$V_{DD}=3.3V$ $C_{EXT}=10pF$ $C=C_{INT}+C_{EXT}+C_S$	2MHz	0.17	
			8MHz	0.66	
			25MHz	1.70	
			50MHz	2.65	
			60MHz	3.48	
		$V_{DD}=3.3V$ $C_{EXT}=22pF$ $C=C_{INT}+C_{EXT}+C_S$	2MHz	0.23	
			8MHz	0.95	
			25MHz	3.20	
			50MHz	4.69	
			60MHz	8.06	
$V_{DD}=3.3V$ $C_{EXT}=33pF$ $C=C_{INT}+C_{EXT}+C_S$	2MHz	0.30			
	8MHz	1.22			
	25MHz	3.90			
	50MHz	8.82			
	60MHz	-(3)			

1. C_S 为PCB板电容，包括板引脚。 $C_S=7pF$ （估计值）。

2. 此测试通过切断LQFP封装引脚执行（移除板）。

3. 在60MHz时，C的最大负载被指定为30pF

片上外设电流消耗

片上外设的当前消耗情况见表27.MCU 放置在以下条件下:

- 在启动时, 所有I/O引脚都为模拟输入配置。
- 所有外设都处于禁止状态, 另有说明时除外。
- 代码从Flash内存中运行, Flash内存访问时间在168Mhz时等于5个等待状态。
- 代码从Flash内存中运行, Flash内存访问时间在144Mhz时等于4个等待状态, 功率比例模式设置为2。
- ART加速器为ON。
- 给出的数值通过测量电流消耗差计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- HCLK为系统时钟。f_{PCLK1}=f_{HCLK}/4和f_{PCLK2}=f_{HCLK}/2。
- 环境工作温度为25°C, V_{DD}=3.3V。

表 27.外设电流消耗

外设	I _{DD} (典型值) ⁽¹⁾		单位	
	级别1(高达168MHz)	级别2(高达144MHz)		
AHB1(高达168MHz)	GPIOA	2.70	2.40	μA/MHz
	GPIOB	2.50	2.22	
	GPIOC	2.54	2.28	
	GIOD	2.55	2.28	
	GPIOE	2.68	2.40	
	GPIOF	2.53	2.28	
	GPIOG	2.51	2.22	
	GPIOH	2.51	2.22	
	GPIOI	2.50	2.22	
	OTG_HS+ULPI	28.33	25.38	
	CRC	0.41	0.40	
	BKPSRAM	0.63	0.58	
	DMA1	37.44	33.58	
	DMA2	37.69	33.93	
	ETH_MAC ETH_MAC_TX ETH_MAC_RX ETH_MAC_PTP	20.43	18.39	

表 27.外设电流消耗（续）

外设		I _{DD} （典型值） ⁽¹⁾		单位
		级别1(高达168MHz)	级别2(高达144MHz)	
AHB2 (高达168MHz)	OTG_FS	26.45	26.67	μA/MHz
	DCMI	5.87	5.35	
	RNG	1.50	1.67	
AHB3 (高达168MHz)	FSMC	12.46	11.31	μA/MHz
总线矩阵 ⁽²⁾		13.10	11.81	μA/MHz
APB1 (高达42MHz)	TIM2	16.71	16.50	μA/MHz
	TIM3	12.33	11.94	
	TIM4	13.45	12.92	
	TIM5	17.14	16.58	
	TIM6	2.43	3.06	
	TIM7	2.43	2.22	
	TIM12	6.62	6.83	
	TIM13	5.05	5.47	
	TIM14	5.26	5.61	
	PWR	1.00	0.56	
	USART2	2.69	2.78	
	USART3	2.74	2.78	
	UART4	3.24	3.33	
	UART5	2.69	2.78	
	I2C1	2.67	2.50	
	I2C2	2.83	2.78	
	I2C3	2.81	2.78	
	SPI2	2.43	2.22	
	SPI3	2.43	2.22	
	I2S2	2.43	2.22	
	I2S3	2.26	2.22	
CAN1	5.12	5.56		
CAN2	4.81	5.28		
DAC	1.67	1.67		
WWDG	1.00	0.83		

• 7.外设电流消耗（续）

外设		I _{DD} （典型值）		单位
		级别1(高达168MHz)	级别2(高达144MHz)	
APB2 (高达84MHz)	SDIO	7.08	7.92	μA/MHz
	TIM1	16.79	15.51	
	TIM8	17.88	16.53	
	TIM9	7.64	7.28	
	TIM10	4.89	4.82	
	TIM11	5.19	4.82	
	ADC1(5)	4.67	4.58	
	ADC2(5)	4.67	4.58	
	ADC3(5)	4.43	4.44	
	SPI1	1.32	1.39	
	USART1	3.51	3.72	
	USART6	3.55	3.75	
	SYSCFG	0.74	0.56	

1. 当I/O补偿单元为ON时，I_{DD}典型值增加0.22mA。
2. 当至少有一个主设备为ON时，总线矩阵自动激活。
3. 若需启用I2S外设，首先设置SPI_I2SCFGR寄存器中的I2SMOD位，然后是I2SE位。
4. 当DAC为ON且DAC_CR寄存器中的EN1/2位置位时，每个DAC通道的模拟部分会增加额外的0.8mA功耗。
5. 当ADC为ON时（ADC_CR2寄存器中的ADON位置位），对于模拟部分，每ADC会增加1.6mA的功耗。

5.3.7 低功耗模式唤醒时序

表28 中给出的唤醒时间测量方法为，从唤醒事件触发至 CPU 执行的第一条指令：

- 对于停止或睡眠模式：时钟源为RC振荡器。
- 休眠模式：时钟源为进入休眠模式前设置的时钟。

所有时序均在环境温度及 V_{DD} 供电电压条件下进行的测试。

表 28.低功耗模式唤醒时间

符号	参数	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
$t_{WUSLEEP}^{(2)}$	从睡眠唤醒	-	5	-	CPU时钟周期
$t_{WUSTOP}^{(2)}$	从停机唤醒（调节器在运行模式和FLASH存储器在停机模式）	-	13	-	μs
	从停机式唤醒（调节器在低功率模式和FLASH存储器在停机模式）	-	17	40	
	从停机式唤醒（调节器在运行模式和FLASH存储器在深度关机模式下）	-	105	-	
	从停机式唤醒（调节器在低功率模式和FLASH存储器在深度关机模式下）	-	110	-	
$t_{WUSTDBY}^{(2)(3)}$	从待机模式唤醒	260	375	480	μs

1. 通过特性分析确定，未经生产测试。
2. 唤醒时间的测量从触发唤醒事件开始，到应用程序代码读取第一条指令为止。
3. $t_{WUSTDBY}$ 的最小值和最大值分别在105°C和-45°C时给出

5.3.8 外部时钟源特性

外部源产生的高速外部用户时钟

表29 中给出的特性是使用高速外部时钟源在表13 中汇总的环境温度和电源电压条件下测得的。表

29.高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟源频率 ⁽¹⁾	-	1	-	50	MHz
V_{HSEH}	OSC_IN输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	V
$t_{w(HSE)}$ $t_{w(HSE)}$	OSC_IN高电平或低电平时间 ⁽¹⁾		5	-	-	ns
$t_{r(HSE)}$ $t_{r(HSE)}$	OSC_IN上升或下降时间 ⁽¹⁾		-	-	10	ns
$C_{in(HSE)}$	OSC_IN输入电容 ⁽¹⁾		-	-	5	pF
$DuCy(HSE)$	占空比	-	45	-	55	%
I_L	OSC_IN输入泄漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1. 由设计保证，未经生产测试。

外部源产生的低速外部用户时钟

表30 中给出的特性是使用低速外部时钟源在表13 中汇总的环境温度和电源电压条件下测得的。表 30.低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟源频率 ⁽¹⁾	-	-	32.768	1000	kHz
V_{LSEH}	OSC32_IN输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	
V_{LSEL}	OSC32_IN输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	
$t_{w(LSE)}$ $t_{r(LSE)}$	OSC32_IN高电平或低电平时间 ⁽¹⁾		450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN上升或下降时间 ⁽¹⁾		-	-	50	
$C_{in(LSE)}$	OSC32_IN输入电容 ⁽¹⁾	-	-	5	-	pF
$DuCy_{(LSE)}$	占空比	-	30	-	70	%
I_L	OSC32_IN输入泄漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1.由设计保证，未经生产测试。

图 29.高速外部时钟源的交流时序图

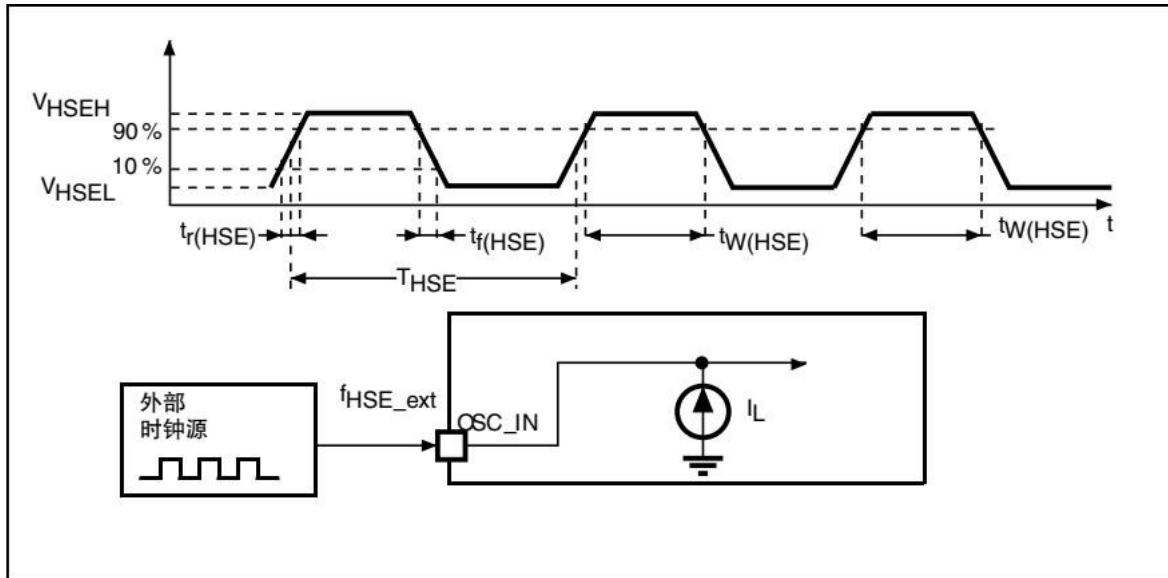
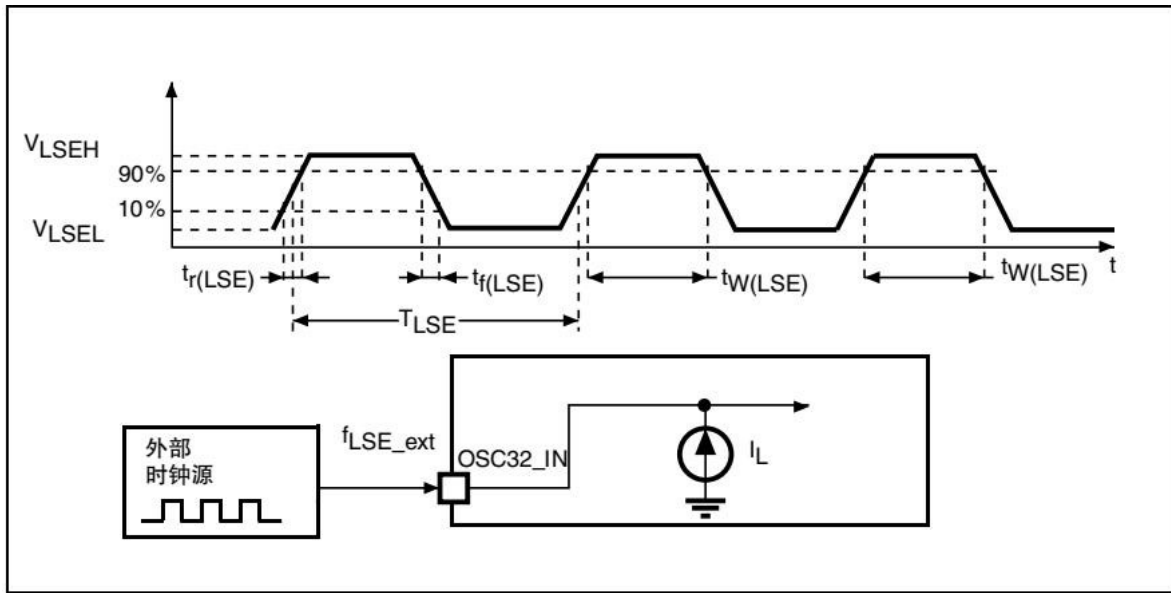


图30.低速外部时钟源的交流时序图



晶振/陶瓷谐振器产生的高速外部时钟

高速外部(HSE)时钟可以使用一个 4 到 26MHz 的晶振/陶瓷谐振振荡器产生。本节介绍的信息通过特性分析结果确定，这些结果是使用表31中列出的典型外部元器件获得的。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

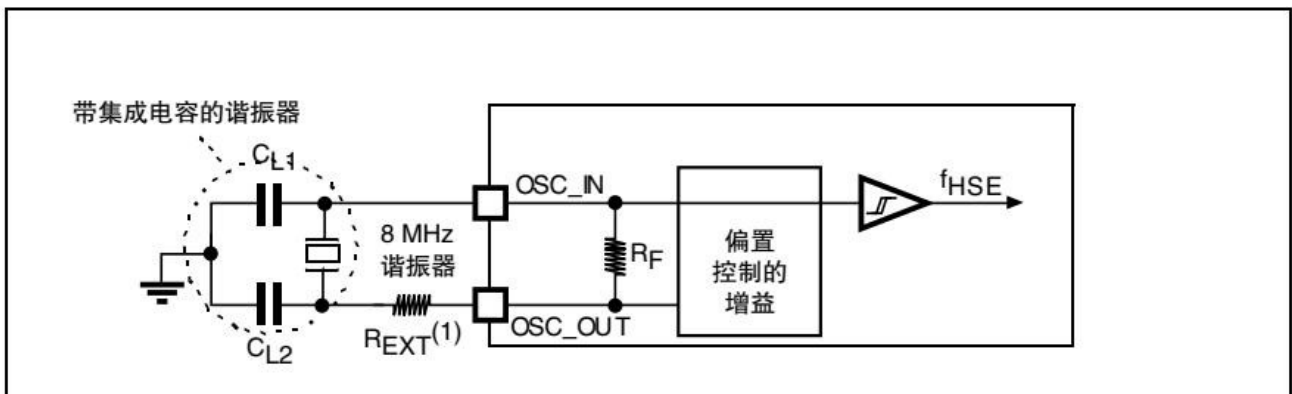
表 31.HSE 4-26MHz 振荡器特性（1）

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	-	26	MHz
R_F	反馈电阻	-	-	200	-	k Ω
G_m	振荡器跨导	起振	5	-	-	μA
$G_{meritmax}$	最大关键晶振gm		-	-	1	mA/V
$t_{su(HSE)}^{(2)}$	启动时间	V_{DD} 稳定	-	2	-	ms

1. 由设计保证，未经生产测试。
2. $t_{su(HSE)}$ 是起振时间，即从软件使能HSE开始测量，直至得到稳定的8MHz振荡频率这段时间。此值基于特性分析，未经生产测试。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

对于 C_{L1} 和 C_{L2} ，建议使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于 5pF 到 25pF（典型值）之间的高质量外部陶瓷电容（请参见图31）。 C_{L1} 和 C_{L2} 的大小通常相同。晶振制造商指定的负载电容通常是 C_{L1} 和 C_{L2} 的串联组合。确定 C_{L1} 和 C_{L2} 的规格时，必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 10pF）。

图 31 采用 8MHz 晶振的典型应用



1. R_{EXT} 的值取决于晶振特性。

晶振/陶瓷谐振器产生的低速外部时钟

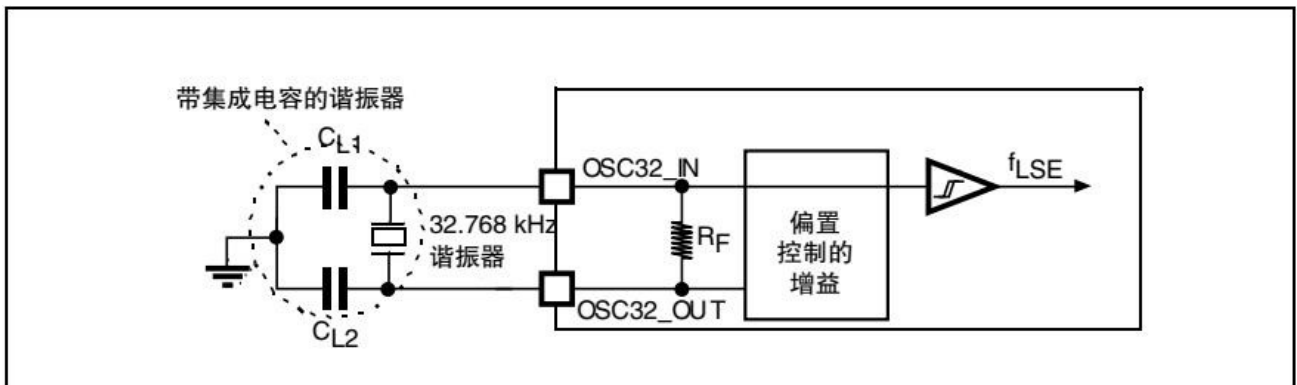
低速外部(LSE)时钟可以使用一个由 32.768kHz 的晶振/陶瓷谐振器构成的振荡器产生。本节介绍的信息通过特性分析结果确定。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 32.LSE 振荡器特性(fLSE=32.768kHz)(1)

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻	-	-	18.4	-	$M\Omega$
I_{DD}	LSE电流消耗	-	-	-	1	μA
f_{OSC_in}	振荡频率			32.768		MHz
G_m	振荡器跨导	起振	2.8			$\mu A/V$
$G_{m_{critmax}}$	最大关键晶振gm		-	-	0.56	
$T_{su(LSE)}^{(2)}$	启动时间	V_{DD} 稳定	-	2	-	s

1. 由设计保证，未经生产测试。
2. 此参数取决于应用中使用的晶振。 $t_{su(LSE)}$ 是起振时间，即从软件使能HSE开始测量，直至得到稳定的32.768kHz振荡频率这段时间。此值基于特性分析，未经生产测试。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

图 32.采用 32.768kHz 晶振的典型应用



5.3.9 内部时钟源特性

表33 和表34 中给出的参数是在表 14 中汇总的环境温度和 V_{DD} 的。

高速内部(HSI)RC振荡器

表 33.HSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率		-	16	-	MHz
ACC_{HSI}	HSI振荡器的精度	$T_A=-40$ 到 $105^{\circ}C^{(3)}$	-8	-	4.5	%
		$T_A=-10$ 到 $85^{\circ}C^{(3)}$	-4	-	4	%
		$T_A=25^{\circ}C^{(4)}$	-1	-	1	%
$t_{su(HSI)}^{(2)}$	HSI用户微调步骤 ⁽²⁾	-	-	-	1	%
$t_{su(HSI)}^{(2)}$	HSI振荡器起振时间	-	-	2.2	4	μs
$I_{DD(HSI)}^{(2)}$	HSI振荡器功耗	-	-	60	80	μA

1. 除非特别说明, 否则 $V_{DD}=3.3V$, $T_A=-40$ 到 $105^{\circ}C$ 。

2. 由设计保证, 未经生产测试。

3. 通过特性分析确定, 未经生产测试。

4. 工厂校准, 零件不另外焊接

低速内部(LSI)RC振荡器

表 34.LSI 振荡器特性⁽¹⁾

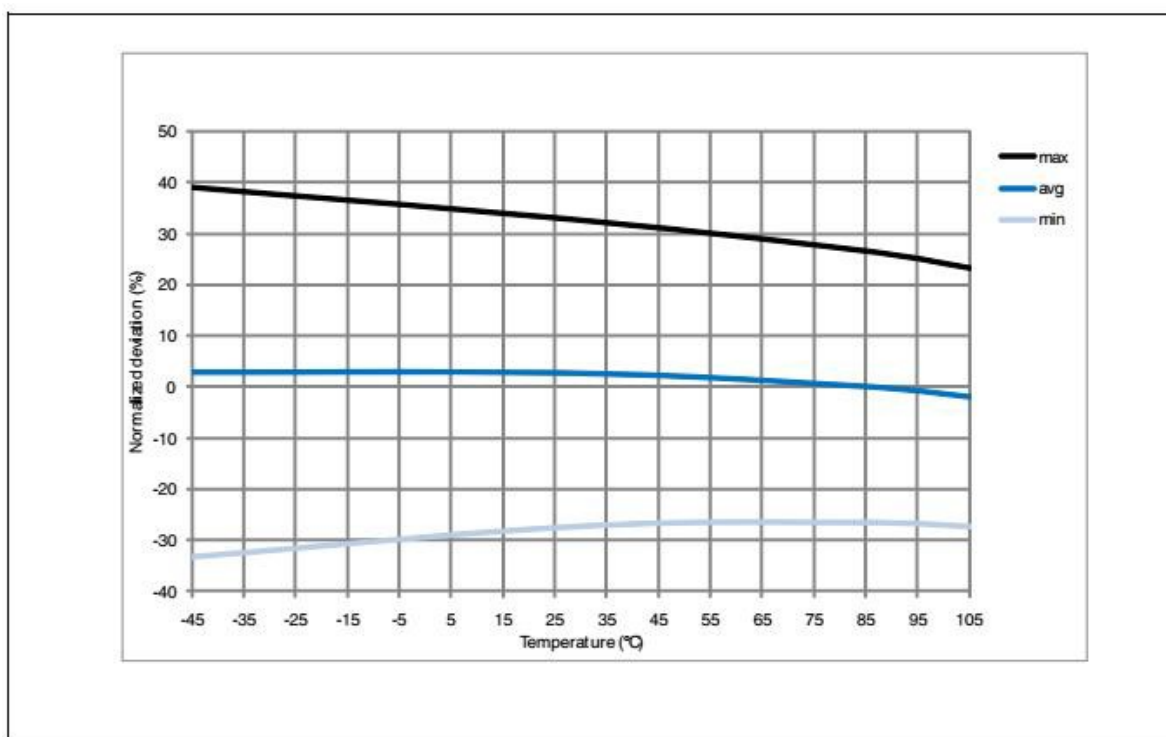
符号	参数	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	频率	17	32	47	kHz
$t_{su(LSI)}^{(3)}$	LSI振荡器起振时间	-	15	40	μs
$I_{DD(LSI)}^{(3)}$	LSI振荡器功耗	-	0.4	0.6	μA

1. 除非特别说明, 否则 $V_{DD}=3V$, $T_A=-40$ 到 $105^{\circ}C$ 。

2. 通过特性分析确定, 未经生产测试。

3. 由设计保证, 未经生产测试。

图 33. ACC_{LSI} 与温度



5.3.10 PLL特性

表 35 和表 36 中给出的参数是在表 13 中汇总的温度和 V_{DD} 电源电压条件下测试得出的。

表 35.主 PLL 特性

符号	参数	条件	最小值	典型值	最大值	单位	
f_{PLL_IN}	PLL输入时钟 ⁽¹⁾	-	0.95 ⁽²⁾	1	2.10	MHz	
f_{PLL_OUT}	PLL倍频输出时钟	-	24	-	168	MHz	
f_{PLL48_OUT}	48 MHz PLL倍频输出时钟	-	-	48	75	MHz	
f_{VCO_OUT}	PLL VCO输出	-	100	-	432	MHz	
t_{LOCK}	PLL锁相时间	VCO频率 = 100MHz	75	-	200	μ s	
	PLL锁相时间	VCO频率 = 432MHz	100	-	300	μ s	
Jitter ⁽³⁾	周期间抖动	系统时钟 120MHz	RMS	-	25	-	ps
			峰到峰	-	± 150	-	
	RMS		-	15	-		
	峰到峰		-	± 200	-		
	RMII以太网的主时钟输出 (MCO)	50MHz, 1000采样的周期到周期	-	32	-		
	MII以太网的主时钟输出 (MCO)	25MHz, 1000采样的周期到周期	-	40	-		
	位时间CAN抖动	1MHz, 1000采样的周期到周期	-	330	-		
$I_{DD(PLL)}$ ⁽⁴⁾	V_{DD} 上的PLL功耗	VCO频率=100MHz	0.15	-	0.40	mA	
		VCO频率=432MHz	0.45	-	0.75		
$I_{DDA(PLL)}$ ⁽⁴⁾	V_{DDA} 上的PLL功耗	VCO频率=100MHz	0.30	-	0.40	mA	
		VCO频率=432MHz	0.55	-	0.85		

1. 请注意使用适当的分频因子M以得到特定的PLL输入时钟值。PLL和PLL12S共享M因子。
2. 由设计保证, 未经生产测试。
3. 并行使用2个PLL可最多使抖动恶化+30%。
4. 通过特性分析确定, 未经生产测试。

表 36.PLL12S (音频 PLL) 特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{PLL12S_IN}	PLL12S输入时钟 ⁽¹⁾	-	0.95 ⁽²⁾	1	2.10	MHz
f_{PLL12S_OUT}	PLL12S倍频输出时钟	-	-	-	216	MHz
f_{VCO_OUT}	PLL12S VCO输出	-	100	-	432	MHz
t_{LOCK}	PLL12S锁相时间	VCO频率=100MHz	75	-	200	μ s
		VCO频率=432MHz	100	-	300	μ s
Jitter ⁽³⁾	主P2S时钟抖动	12.288 MHz, 48KHz周期, N=432, R=5的周期到周期	RMS	-	90	-
		12.288 MHz, 48KHz周期, N=432, R=5的周期到周期	峰到峰	-	± 280	-
		12.288 MHz的平均频率N=432,R=5 1000采样		-	90	-
	WS P2S时钟抖动	48KHz的周期到周期1000采样	-	400	-	ps
$I_{DD(PLL12S)}$ ⁽⁴⁾	V_{DD} 上的PLL12S功耗	VCO频率=100MHz	0.15	-	0.40	mA
		VCO频率=432MHz	0.45	-	0.75	
$I_{DDA(PLL12S)}$ ⁽⁴⁾	V_{DDA} 上的PLL12S功耗	VCO频率=100MHz	0.30	-	0.40	mA
		VCO频率=432MHz	0.55	-	0.85	

1. 请注意使用适当的分频因子M以得到特定的PLL输入时钟值。
2. 由设计保证, 未经生产测试。
3. 主PLL运行给出的值。
4. 通过特性分析确定, 未经生产测试。

5.3.11 PLL扩频时钟生成 (ssCG) 特性

扩频时钟生成 (ssCG) 特性可降低电磁干扰 (请参见表42:EMI特性)。它仅在主 PLL 上可用。

表 37.ssCG 参数约束

符号	参数	最小值	典型值	最大值	单位
f_{Mod}	调制频率	-	-	10	KHz
md	调峰深度	0.25	-	2	%
MODEPER*INCSTEP		-	-	$2^{15}-1$	-

1. 由设计保证, 未经生产测试。

公式1

调频周期 (MODEPER) 由下式给出:

$$MODEPER = \text{round}[f_{PLL_IN}/(4 \times f_{MOD})]$$

f_{PLL_IN} 和 f_{MOD} 必须以 Hz 表示。

例如:

若 $f_{PLL_IN}=1\text{MHz}$, $f_{MOD}=1\text{kHz}$, 则调制深度 (MODEPER) 由公式 1 给出:

$$MODEPER = \text{round}[106/(4 \times 103)]=250$$

公式2

公式 2 可计算增量步长 (INCSTEP):

$$INCSTEP = \text{round}[\frac{(2^{15}-1) \times md \times PLLN}{(100 \times 5 \times MODEPER)}]$$

f_{VCO_OUT} 必须以 MHz 表示。

调制深度 (md) = $\pm 2\%$ (4%峰到峰), $PLLN = 240$ (单位 MHz):

$$INCSTEP = \text{round}[\frac{(215-1) \times 2 \times 240}{(100 \times 5 \times 250)}] = 126md(\text{quantitized})\%$$

因为线性调制曲线由 MODEPER 和 INCSTEP 的量化值 (取整至最接近的整数) 得到, 所以可能产生幅度量化误差。因此, 得到的调制深度是量化的。调制深度的量化百分比由下式给出:

$$Md_{\text{quantized}}\% = (MODEPER \times INCSTEP \times 100 \times 5) / ((215-1) \times PLLN)$$

因此:

$$Md_{\text{quantized}}\% = (250 \times 126 \times 100 \times 5) / ((215-1) \times 240) = 2.002\%(\text{peak})$$

图 35 和 图 36 显示了中央扩频和下扩频模式的主 PLL 输出时钟波形, 其中:

F0 为 f_{PLL_OUT} 标称。

T_{mode} 为调制周期。

md 为调制深度。

图 34.中央扩频模式的 PLL 输出时钟波形

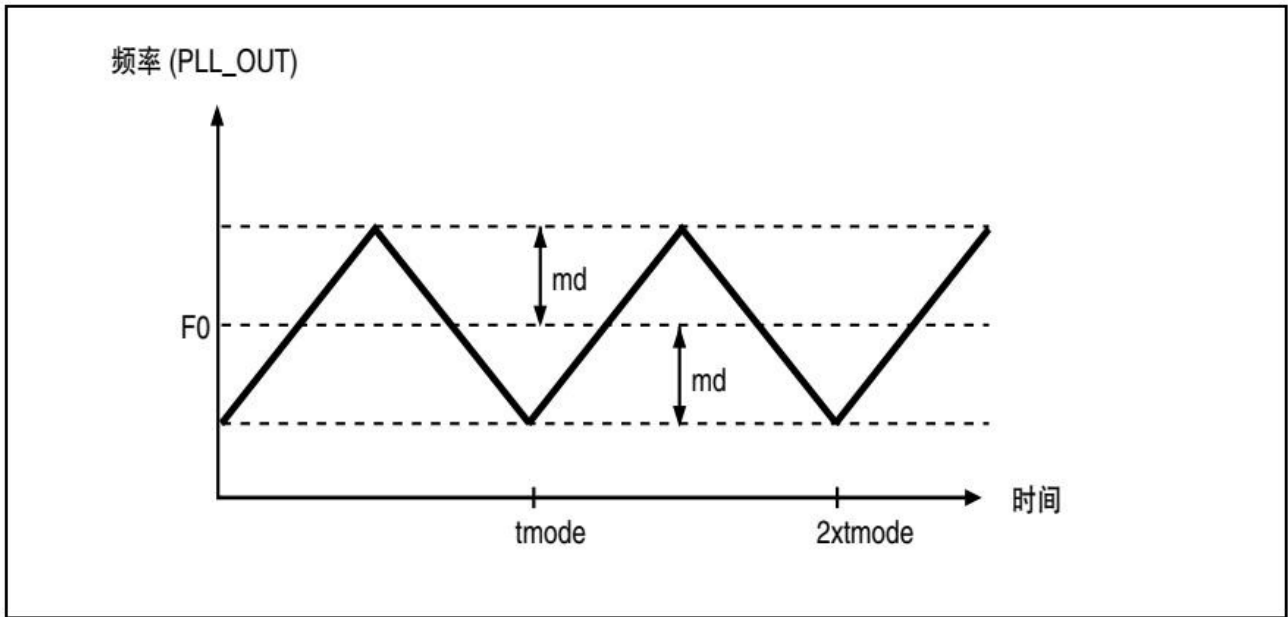
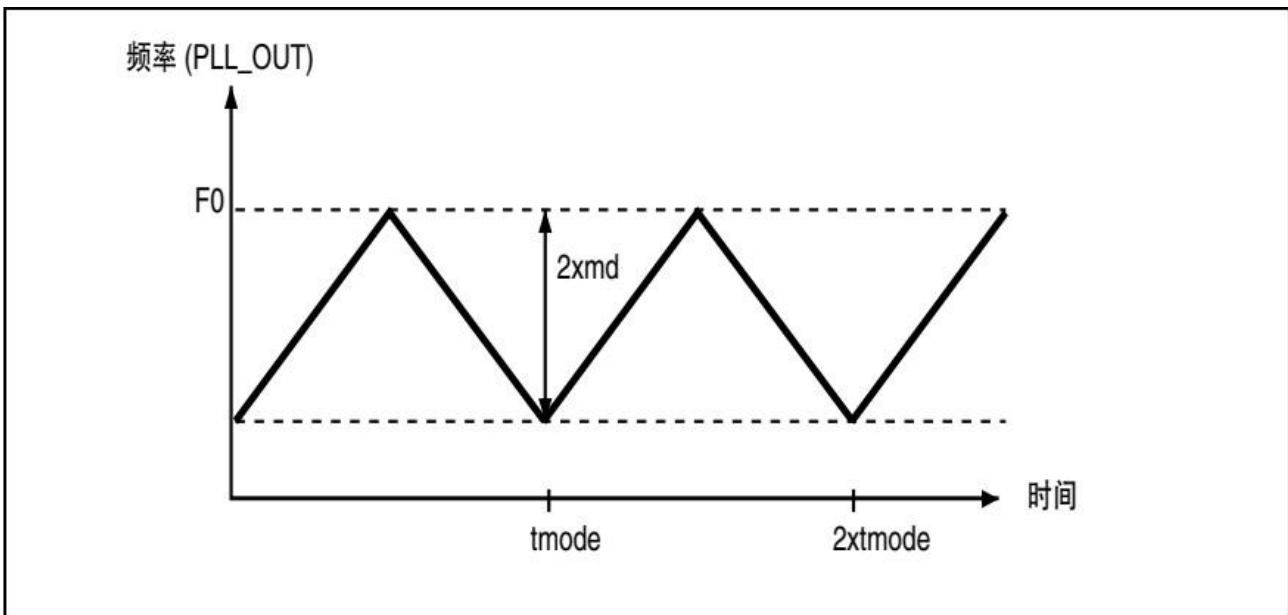


图 35.下扩频模式的 PLL 输出时钟波形



5.3.12 存储器特性

Flash

除非特别说明，否则所有特性均在 $T_A = -40$ 到 105°C 时测得。

器件交付给客户时，Flash 已被擦除。

表 38. Flash 特性

符号	参数	条件	最小值	典型值	最大值	单位
I _{DD}	供电电流	写入/擦除8位模式, V _{DD} =1.8V	-	5	-	mA
		写入/擦除16位模式, V _{DD} =2.1V	-	8	-	
		写入/擦除32位模式, V _{DD} =3.3V	-	12	-	

表 39. Flash 编程

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
t _{prog}	字编程时间	编程/擦除并行位数 (PSIZE) =×8/16/32	-	16	100 ⁽²⁾	μs
t _{ERASE16KB}	扇区(16KB)擦除时间	编程/擦除并行位数 (PSIZE) =×8	-	400	800	ms
		编程/擦除并行位数 (PSIZE) =×16	-	300	600	
		编程/擦除并行位数 (PSIZE) =×32	-	250	500	
t _{ERASE64KB}	扇区(64KB)擦除时间	编程/擦除并行位数 (PSIZE) =×8	-	1200	2400	ms
		编程/擦除并行位数 (PSIZE) =×16	-	700	1400	
		编程/擦除并行位数 (PSIZE) =×32	-	550	1100	
t _{ERASE128KB}	扇区(128KB)擦除时间	编程/擦除并行位数 (PSIZE) =×8	-	2	4	s
		编程/擦除并行位数 (PSIZE) =×16	-	1.3	2.6	
		编程/擦除并行位数 (PSIZE) =×32	-	1	2	
t _{ME}	整体擦除时间	编程/擦除并行位数 (PSIZE) =×8	-	16	32	s
		编程/擦除并行位数 (PSIZE) =×16	-	11	22	
		编程/擦除并行位数 (PSIZE) =×32	-	8	16	
V _{prog}	编程电压	32位程序操作	2.7	-	3.6	V
		16位程序操作	2.1	-	3.6	V
		8位程序操作	1.8	-	3.6	V

1. 通过特性分析确定，未经生产测试。
2. 最大编程时间为100K次擦除操作之后测得。

表 40.Flash 可擦写次数和数据保存期限

符号	参数	条件	数值	单位
			最小值 ⁽¹⁾	
N _{END}	可擦写次数	T _A =-40到+105°C (后缀为7)	10	千次
t _{RET}	数据保存期限	T _A =85°C时1000次擦写(2)	30	年
		T _A =105°C时1000次擦写(2)	10	
		T _A =55°C时10,000次擦写(2)	20	

1. 通过特性分析确定，未经生产测试。
2. 循环测试在整个温度范围内进行。

5.3.13 EMC特性

敏感性测试在器件特性分析期间通过抽样来完成。

功能性EMS（电磁敏感性）

在器件上运行一个简单的应用程序（通过 I/O 端口切换两个 LED）时，器件承受两种电磁干扰，直至出现故障。故障状况由 LED 指示：

- 静电放电(ESD)（正电和负电）施加到器件所有引脚，直至器件发生功能性故障。该测试符合IEC 61000-4-2标准。
- FTB：通过一个100pF电容对V_{DD}和V_{SS}引脚施加一个突发的快速瞬变电压（正电压和负电压），直至器件发生功能性故障。该测试符合IEC 61000-4-4标准。

通过器件复位可恢复正常工作。

测试结果参见表41。

表 41.EMS 特性

符号	参数	条件	级别/分类
V _{FESD}	施加在任意I/O引脚并导致功能性故障的极限电压	V _{DD} =3.3V, LQFP176, T _A =+25°C, f _{HCLK} =168MHz, 符合IEC61000-4-2标准	2B
V _{EFTB}	通过100pF电容施加在V _{DD} 和V _{SS} 引脚上并导致功能性故障的突发快速瞬变电压	V _{DD} =3.3V, LQFP176, T _A =+25°C, f _{HCLK} =168MHz符合IEC61000-4-2标准e	4A

设计更稳健的软件以避免噪声问题

EMC 特性评定与优化通常在组件级采用典型的应用环境和简化的 MCU 软件执行。应当注意，良好的 EMC 性能与具体的用户应用和软件密切相关。

因此，建议用户根据其应用所需的 EMC 级别来执行 EMC 软件优化和预审测试。

软件建议

流程图中必须包括对如下失控情况的管理：

- 程序计数器损坏
- 意外复位
- 关键数据损坏（控制寄存器...）

预审试验

大多数常见故障（意外复位和程序计数器损坏）都可以通过在 NRST 引脚或振荡器引脚手动施加 1 秒的低电平来再现。

要完成这些测试，可直接对器件施加超出规范值范围的 ESD 应力。当检测到意外行为时，可相应改进软件以防止发生不可恢复的错误。

电磁干扰(EMI)

当执行 EEMBC 代码的简单应用运行时，会监控器件发射的电磁场。这项发射测试符合 SAEIEC61967-2 标准，该标准规定了测试电路板和引脚负载。

表 42.EMI 特性

符号	参数	条件	监测的频段	最大值与 $[f_{HSE}/f_{CPU}]$	单位
				25/168MHz	
S _{EMI}	峰值	V _{DD} =3.3V, T _A =25°C, LQFP176封装, 符合SAE J1752/3EEMBC, ART ON, 所有外设时钟启用, 时钟抖动禁用。	0.1 到 30MHz	32	dB μ V
			30 到 130MHz	25	
			130 MHz 到 1GHz	29	
			SAM EMI级别	4	-
		V _{DD} =3.3V, T _A =25°C, LQFP176封装, 符合SAE J1752/3 EEMBC ART ON, 所有外设时钟启用, 时钟抖动启用	0.1 到 30 MHz	19	dB μ V
			30 到 130 MHz	16	
			130 MHz 到 1GHz	18	
			SAE EMI级别	3.5	-

5.3.14 绝对最大额定值（电气敏感性）

使用特定的测量方法对器件进行三种不同的测试（ESD、LU），以确定其在电气敏感性方面的性能。

静电放电(ESD)

根据每种引脚组合，对每个样本的引脚施加静电放电（一个正脉冲后接着一个负脉冲，两个脉冲间隔一秒钟）。样本大小取决于器件中供电引脚的数目（3 个器件 x(n+1)个供电引脚）。此项测试符合 JESD22-A114/C101 标准。

表 43.ESD 绝对最大额定值

符号	额定值	条件	分类	最大值 ⁽¹⁾	单位
V _{ESD(HBM)}	静电放电电压（人体模型）	T _A =+25°C, 符合JESD22-A114标准	2	2000 ⁽²⁾	V
V _{ESD(CDM)}	静电放电电压（充电设备模型）	T _A =+25°C, 符合JESD22-C101标准。	II	500	

1. 由特性分析结果保证，未经生产测试。

2. 基于V_{BAT}引脚，V_{ESD(HBM)}限制在1000V内

静态闭锁

为评估闭锁性能，需要对六个器件执行两项互补的静态闭锁测试：

- 对每个电源引脚施加过压
- 对每个输入、输出和可配置I/O引脚施加电流注入

这些测试符合 EIA/JESD 78A IC 闭锁标准。

表 44.电气敏感性

符号	参数	条件	分类
LU	静态闭锁分类	T _A =+105°C, 符合JESD78A标准	II级A类

5.3.15 I/O电流注入特性

通常情况下，在产品正常工作期间，应避免因外部电压低于 V_{SS} 或高于 V_{DD} （以 3V I/O 引脚为标准）而引起电流注入 I/O 引脚。但为了说明微控制器在意外发生异常注入时的稳健性，在器件特性评定期间对样本执行了敏感性测试。

I/O电流的功能敏感性

在器件上执行简单的应用程序，同时在设定为悬空输入模式的 I/O 引脚注入电流，以向器件施加电流应力。在逐个向 I/O 引脚注入电流的同时，检查器件是否发生功能性故障。

一旦出现以下参数超出范围的情况，即表明出现故障：ADC 误差超过特定限值(>5LSB TUE)，相邻引脚的感应漏电流超出常规限制（超出 $-5\mu\text{A}/+0\mu\text{A}$ 的范围），或出现其它功能性故障（例如复位、振荡器频率偏移）。

负感应漏电流由负注入导致，正感应漏电流由正注入导致。

测试结果参见表45。

表 45. I/O 电流注入敏感性

符号	说明	功能敏感性		单位
		注入负电流	注入正电流	
$I_{INJ}^{(1)}$	BOOT0引脚上的注入电流	-0	NA	mA
	NRST引脚上的注入电流	-0	NA	
	PE2,PE3,PE4,PE5,PE6, PI8,PC13,PC14,PC15,PI9,PI10,PI11,PF0, PF1,PF2,PF3,PF4,PF5,PF10,PH0/OSC_IN, PH1/OSC_OUT,PC0,PC1,PC2,PC3,PB6, PB7,PB8,PB9,PE0,PE1,PI4,PI5,PI6,PI7, PDR_ON,BYPASS_REG上的注入电流	-0	NA	
	所有FT引脚注入电流	-5	NA	
	在任何其他引脚上注入电流	-5	+5	

1. 建议在可能注入反向电流的模拟引脚上增加一个肖特基二极管（引脚与地之间）。

5.3.16 I/O端口特性

常规输入/输出特性

除非特别说明，否则表46:I/O 静态特性中的参数均在表13 所列条件下测试得出。所有 I/O 均兼容CMOS 和 TTL。

表 46.I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位	
V _{IL}	FT、TTa和NRST I/O输入低电平	1.7V≤V _{DD} ≤3.6V	-	-	0.3V _{DD} -0.04 ⁽¹⁾	V	
			0.3V _{DD} ⁽²⁾				
	BOOT0 I/O输入低电平电压	1.75V≤V _{DD} ≤3.6V, -40°C≤T _A ≤105°C	-	-	0.1V _{DD} +0.1		
V _{IH}	FT、TTa和NRST I/O输入高电平(5)	1.7V≤V _{DD} ≤3.6V	0.45V _{DD} +0.3 ⁽¹⁾	-	-	V	
			0.7V _{DD} ⁽²⁾				
	BOOT0 I/O输入高电平电压	1.75V≤V _{DD} ≤3.6V, -40°C≤T _A ≤105°C	0.17V _{DD} +0.7 ⁽¹⁾	-	-		
1.7V≤V _{DD} ≤3.6V, 0°C≤T _A ≤105°C							
V _{HYS}	FT、TTa和NRST I/O输入迟滞	1.7V≤V _{DD} ≤3.6V	10% V _{DD} ⁽³⁾	-	-	V	
	BOOT0 I/O输入迟滞	1.75V≤V _{DD} ≤3.6V, -40°C≤T _A ≤105°C	0.1	-	-		
		1.7V≤V _{DD} ≤3.6V, 0°C≤T _A ≤105°C		-	-		
I _{Ikg}	I/O输入泄漏电流 ⁽⁴⁾	V _{SS} ≤V _{IN} ≤V _{DD}	-	-	±1	μA	
	I/O FT输入泄漏电流 ⁽⁵⁾	V _{IN} =5V	-	-	3		
R _{PU}	弱上拉等效电阻 ⁽⁶⁾	除了PA10和PB12外的所有引脚	V _{IN} =V _{SS}	30	40	50	kΩ
		PA10和PB12	-	7	10	14	
R _{PD}	弱下拉等效电阻 ⁽⁷⁾	除了PA10和PB12外的所有引脚	V _{IN} =V _{DD}	30	40	50	
		PA10和PB12	-	7	10	14	
C _{IO} ⁽⁸⁾	I/O引脚电容	-	-	5	-	pF	

1. 由设计保证，未经生产测试。
2. 经生产测试。
3. 至少200mV。
4. 若负电流注入相邻引脚，则漏电流可能高于最大值，请参考表45:I/O电流注入敏感性
5. 要使电压保持在高于V_{DD}+0.3V，必须禁止内部上拉/下拉电阻。若负电流注入相邻引脚，则漏电流可能高于最大值，请参考表45:I/O电流注入敏感性
6. 上拉电阻设计为一个串联了可开关PMOS的实际电阻。该PMOS对串联电阻的影响极小（10%左右）。
7. 下拉电阻设计为一个串联了可开关NMOS的实际电阻。该NMOS对串联电阻的影响极小（10%左右）。
8. 施密特触发器开关电平之间的迟滞电压。通过特性分析确定，未经生产测试。

注 所有I/O均兼容CMOS和TTL（无需软件配置）。它们的特性并不仅限于满足严格的CMOS技术或TTL参数要求。

输出驱动电流

GPIO（通用输入/输出）可提供最大±8mA 的拉电流或灌电流，（在放宽 V_{OL}/V_{OH} 的条件下），拉电流或灌电流可达到±20mA，而 PC13、PC14、PC15、PI8 只提供最大±3mA 的拉电流或灌电流。当在输出模式使用 PC13 至 PC15 和 PI8 GPIO 时，在负载最大为 30pF 时速度不应超过 2MHz。

在应用中，驱动电流的 I/O 引脚的数量必须被限制位符合规定的绝对最大额定值。特别是：

- 所有I/O从 V_{DD} 获得的拉电流总和，加上MCU从 V_{DD} 过绝对最大额定 $\Sigma I_{V_{DD}}$ （请参见表11）。
- 所有I/O从 V_{SS} 获得的拉电流总和，加上MCU从 V_{SS} 获得的最大运行消耗拉电流，不能超过绝对最大额定 $\Sigma I_{V_{SS}}$ （请参见表11）。

输出电压

除非特别说明，否则表47 给出的参数是在表13 中汇总的环境温度和 V_{DD} 电源电压条件下测试得出的。所有 I/O 均兼容 CMOS 和 TTL。

表 47.输出电压特性(1)

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(2)}$	I/O引脚的输出低电平	CMOS端口 $I_{IO}=+8mA$ $2.7V < V_{DD} < 3.6V$	-	0.4	V
$V_{OH}^{(3)}$	I/O引脚的输出高电平		$V_{DD}-0.4$	-	
$V_{OL}^{(2)}$	I/O引脚的输出低电平	TTL端口(2) $I_{IO}=+8mA$ $2.7V \leq V_{DD} \leq 3.6V$	-	0.4	V
$V_{OH}^{(3)}$	I/O引脚的输出高电平		2.4	-	
$V_{OL}^{(2)(4)}$	I/O引脚的输出低电平	$I_{IO}=+20mA$ $2.7V \leq V_{DD} \leq 3.6V$	-	1.3	V
$V_{OH}^{(3)(4)}$	I/O引脚的输出高电平		$V_{DD}-1.3^{(4)}$	-	
$V_{OL}^{(2)(4)}$	I/O引脚的输出低电平	$I_{IO}=+6mA$ $1.8V \leq V_{DD} \leq 3.6V$	-	0.4	V
$V_{OH}^{(3)(4)}$	I/O引脚的输出高电平		$V_{DD}-0.4$	-	

1. PC13,PC14,PC15和PI8通过电源开关供电。自开关只有限电流（3Ma）,pse的GPIOs，PC13,PC15和PC18输出模式是有限的，速度不应超过2MHz的最大负载30pf。I/O不得用作电流源（例如驱动LED）。
2. 设备下沉的IO电流次序始终保持表1中规定的绝对最大额定值，I/O（I/O端口和控制引脚）之和不得超过 $I_{V_{SS}}$ 。
3. 由设备提供的电流必须始终遵守表1中规定的绝对最大额定值，并且I/O（I/O端口和控制引脚）之和不得超过 $I_{V_{DD}}$ 。
4. 由设计得到，未经过生产测试。

输入/输出交流特性

输入/输出交流特性的定义和值分别在图36和表48给出。

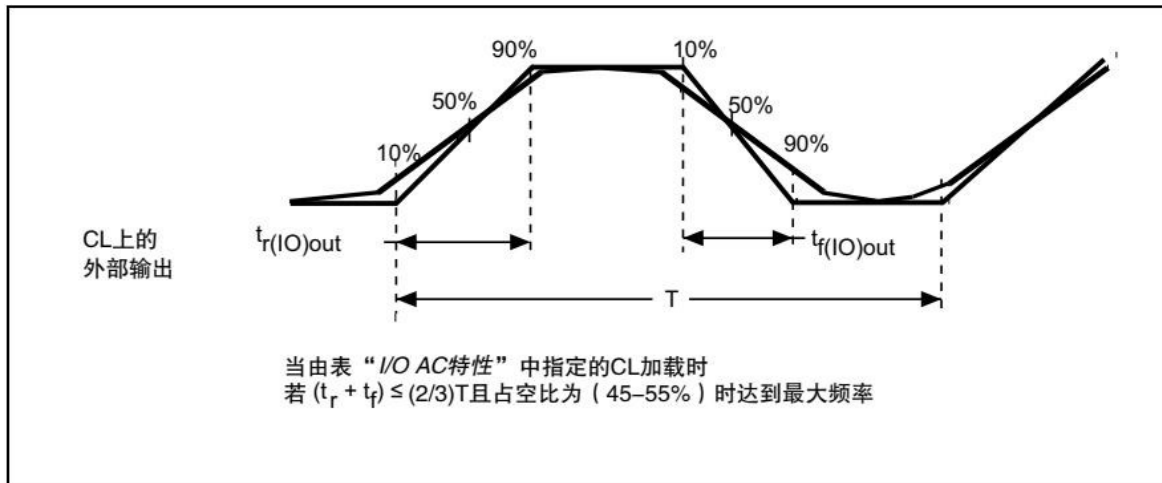
除非特别说明，否则表48中给出的参数是在表13中汇总的环境温度和 V_{DD} 电源电压条件下测试得出的。

表 48. I/O 交流特性(1)(2)

OSPEEDRy[1:0] 位值 ⁽¹⁾	参数	符号	测试条件				
			最小值	最大值	单位		
00	最大频率 ⁽³⁾	$f_{\max(\text{IO})\text{out}}$	除另有规定外, $V_{DD}=3.3\text{V}$, $V_{BAT}=3.3\text{V}$, $V_{DDA}=3.3\text{V}$, $T_A=-55^\circ\text{C}\sim 125^\circ\text{C}$				
			$C_L=50\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	4	MHz	
			$C_L=50\text{pF}$, $V_{DD}\geq 1.5\text{V}$	—	2		
			$C_L=10\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	8		
	$C_L=10\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	4				
输出高至低电平下降时间 及输出低至高电平上升时间	$t_{\text{r}(\text{IO})\text{out}}$ $t_{\text{f}(\text{IO})\text{out}}$	$C_L=50\text{pF}$, $V_{DD}=1.8\text{V}$ 到3.6V			—	100	ns
01	最大频率 ⁽³⁾	$f_{\max(\text{IO})\text{out}}$	$C_L=50\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	25	MHz	
			$C_L=50\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	12.5		
			$C_L=10\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	50 ⁽⁴⁾		
			$C_L=10\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	20		
	输出高至低电平下降时间 及输出低至高电平上升时间	$t_{\text{r}(\text{IO})\text{out}}$ $t_{\text{f}(\text{IO})\text{out}}$	$C_L=50\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	10	ns	
			$C_L=50\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	20		
			$C_L=10\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	6		
$C_L=10\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	10					
10	最大频率 ⁽³⁾	$f_{\max(\text{IO})\text{out}}$	$C_L=40\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	50 ⁽⁴⁾	MHz	
			$C_L=40\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	25		
			$C_L=10\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	100 ⁽⁴⁾		
			$C_L=10\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	50 ⁽⁴⁾		
	输出高至低电平下降时间 及输出低至高电平上升时间	$t_{\text{r}(\text{IO})\text{out}}$ $t_{\text{f}(\text{IO})\text{out}}$	$C_L=40\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	6	ns	
			$C_L=40\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	10		
$C_L=10\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	4					
$C_L=10\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	6					
11	最大频率 ⁽³⁾	$f_{\max(\text{IO})\text{out}}$	$C_L=30\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	100 ⁽⁴⁾	MHz	
			$C_L=30\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	50 ⁽⁴⁾		
			$C_L=10\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	180 ⁽⁴⁾		
			$C_L=10\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	100 ⁽⁴⁾		
	输出高至低电平下降时间 及输出低至高电平上升时间	$t_{\text{r}(\text{IO})\text{out}}$ $t_{\text{f}(\text{IO})\text{out}}$	$C_L=30\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	4	ns	
			$C_L=30\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	6		
			$C_L=10\text{pF}$, $V_{DD}\geq 2.7\text{V}$	—	2.5		
$C_L=10\text{pF}$, $V_{DD}\geq 1.8\text{V}$	—	4					
-	EXTI控制器检测到的外部信号的脉冲宽度	$t_{\text{EXTI}pw}$	-	10	-	ns	

1. 由设计保证，未经生产测试。
2. I/O速度通过OSPEEDRy[1:0]位配置。有关GPIOx_SPEEDR GPIO端口输出速度寄存器的说明，请参见AST32F4xx参考手册。
3. 最大频率在图36中定义。
4. 对于最大频率超过50MHz且 $V_{DD}>2.4\text{V}$ ，应使用补偿单元。

图 36.I/O 交流特性定义



5.3.17 NRST引脚特性

NRST 引脚输入驱动器采用 CMOS 技术。它连接至一个永久上拉电阻 RPU（请参见表46:I/O 静态特性）。

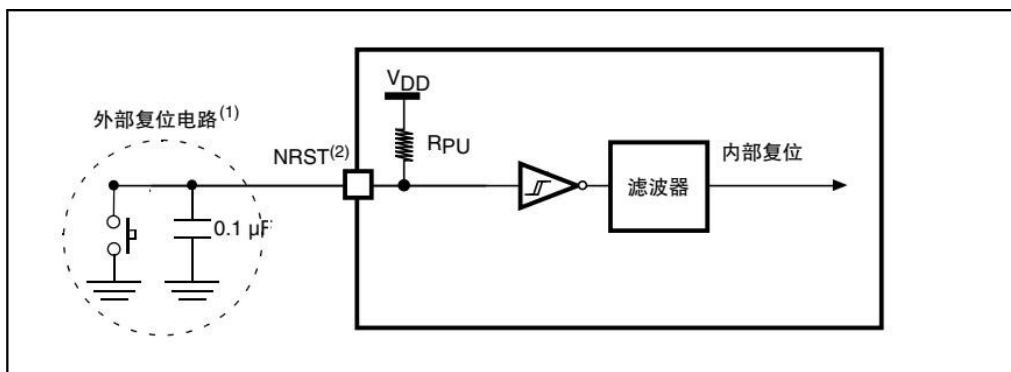
除非特别说明，否则表49 中给出的参数是在表13 中汇总的环境温度和 V_{DD} 电源电压条件下测试得出的。

表 49.NRST 引脚特性

符号	参数	测试条件	最小值	典型	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST输入低电平电压	TTL 口 $2.7V \leq V_{DD} \leq 3.6V$	-	-	0.8	V
$V_{IH(NRST)}^{(1)}$	NRST输入高电平电压		2	-	-	
$V_{IL(NRST)}^{(1)}$	NRST输入低电平电压	CMOS 口 $1.8V \leq V_{DD} \leq 3.6V$	-	-	$0.3V_{DD}$	
$V_{IH(NRST)}^{(1)}$	NRST输入高电平电压		$0.7V_{DD}$	-	-	
$V_{hys(NRST)}$	NRSTS施密特迟滞	-	-	200	-	mV
RPU	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$	30	40	50	kΩ
$V_{F(NRST)}^{(1)}$	NRST输入滤波脉冲	-	-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲	$V_{DD} > 2.7V$	300	-	-	ns
T_{NRST_OUT}	生成的复位脉冲时长	内部复位源	20	-	-	μs

1. 上拉电阻和下拉电阻设计为一个串联了可开关PMOS/NMOS的实际电阻。该MOS/NMOS对串联电阻的影响极小（10%左右）。
2. 由设计保证，未经生产测试。

图 37.推荐的 NRST 引脚保护



1. 该复位网络可保护器件不发生寄生复位。
2. 用户必须确保NRST引脚上的电平可降至表9指定的 $V_{IL(NRST)}$ 最大电平以下。否则器件不会执行复位。

5.3.18 TIM定时器特性

表50和表51中列出的参数由设计保证。

有关输入/输出复用功能特性（输出比较、输入捕捉、外部时钟、PWM输出）的详细信息，请参见第5.3.16章节：I/O 端口特性。

表 50.连接到 APB1 域的 TIMx 特性(1)

符号	参数	条件	最小值	最大值	单位
t _{res(TIM)}	定时器分辨率时间	AHB/APBx 预分频=1, f _{TIMxCLK} =84MHz	1	-	t _{TIMxCLK}
			11.9	-	ns
		AHB/APBx 预分频=4, f _{TIMxCLK} =42MHz	1	-	t _{TIMxCLK}
			23.8	-	ns
f _{EXT}	CH1到CH4上的定时器外部时钟频率	f _{TIMxCLK} =84MHz APB1=42MHz	0	f _{TIMxCLK} /2	MHz
			0	42	MHz
Re _{STIM}	定时器分辨率		-	16/32	Bit
t _{COUNTER}	16位计数器选择内部时钟的周期		1	65536	t _{TIMxCLK}
			0.0119	780	us
	32位计数器选择内部时钟的周期		1	-	t _{TIMxCLK}
			0.0119	51130563	us
t _{MAX_COUNT}	最大可能计数		-	65536 x 65536	t _{TIMxCLK}
				51.1	s

1. TIMx是TIM2, TIM3, TIM4, TIM5, TIM6, TIM7和TIM12定时器的统称。

表 51.连接 APB2 域的 TIMx 特性(1)

符号	参数	条件	最小值	最大值	单位
t _{res(TIM)}	定时器分辨率时间	AHB/APBx 预分频=1, f _{TIMxCLK} =168MHz	1	-	t _{TIMxCLK}
			5.95	-	ns
		AHB/APBx 预分频=1, f _{TIMxCLK} =84MHz	1	-	t _{TIMxCLK}
			11.9	-	ns
f _{EXT}	CH1到CH4上的定时器外部时钟频率	f _{TIMxCLK} =168MHz APB1=84MHz	0	f _{TIMxCLK} /2	MHz
			0	84	MHz
Re _{STIM}	定时器分辨率		-	16	Bit
t _{COUNTER}	16位计数器选择内部时钟的周期		1	65536	t _{TIMxCLK}
					-
t _{MAX_COUNT}	最大可能计数		-	32768	t _{TIMxCLK}

1. TIMx是TIM8, TIM9, TIM10和TIM11定时器的统称。

5.3.19 通信接口

I2C接口特性

I2C 接口符合标准 I2C 总线规范

- 标准模式 (Sm) : 比特率高达100kbit/s
- Fast-mode(Fm):速率可达400kbit/s

当 I2C 外设被正确配置时, 设计保证了 I2C 时序要求。

SDA 和 SCL 的 I/O 要求满足以下限制: SDA 和 SCL 的 I/O 引脚不是“真正的”开路漏极。当配置为开路漏极时, 连接在 I/O 引脚和 V_{DD} 之间的 PMOS 被禁用,但仍然存在。关于 I2C I/O 的详细信息, 请参见 5.3.16 节: I/O 端口特性。

所有 I2C SDA 和 SCL I/O 内置模拟滤波器。参考下表的模拟过滤器特点:

表 52.I2C 模拟滤波器特性 (1)

符号	参数	最小值	最大值	单位
t _{AF}	被模拟滤波器抑制的峰值的最大脉冲宽度	50 ⁽²⁾	260 ⁽³⁾	ns

1. 由设计保证, 未经生产测试。
2. 对宽度低于t_{AF}(min) 的尖峰进行滤波。
3. 宽度超过t_{AF}(max) 不被过滤。

SPI接口特性

除非特别说明, 否则表53 中给出的 SPI 接口参数均在表13 中汇总的环境温度、f_{PCLKx} 的频率和 V_{DD} 电源电压条件下测试得出, 其配置如下:

- 输出速度设为OSPEEDRy[1:0]=10
- 容性负载C=30pF
- 在CMOS电平为0.5V_{DD}时完成测量。

有关输入/输出复用功能特性 (对于 SPI 为 NSS、SCK、MOSI、MISO) 的详细信息, 请参见第 5.3.16 章节: I/O 端口特性。

表 53. SPI 动态特性 (1)

符号	参数	条件	最小值	典型值	最大值	单位
tw(SCKH)	SCK高电平和低电平时间	主模式, SPI预分频=2, 2.7V≤V _{DD} ≤3.6V	T _{PCLK} -0.5	T _{PCLK}	T _{PCLK} +0.5	ns
tw(SCKL)	SCK高电平和低电平时间	主模式, SPI预分频=2, 1.7V≤V _{SS} ≤3.6V	T _{PCLK} -2	T _{PCLK}	T _{PCLK} +2	
tsu(NSS)	NSS建立时间	从模式, SPI预分频=2	4xT _{PCLK}	-	-	
th(NSS)	NSS保持时间	从模式, SPI预分频=2	4xT _{PCLK}	-	-	
tsu(MI)	数据输入建立时间	主模式	6.5	-	-	
tsu(SI)		从模式	2.5	-	-	
th(MI)	数据输入保持时间	主模式	2.5	-	-	
th(SI)		从模式	4	-	-	
ta(SO)(2)	数据输出访问时间	从模式, SPI预分频=2	0	-	4xT _{PCLK}	
tdis(SO)(3)	数据输出禁止时间	从模式, SPI1, 2.7V≤V _{DD} ≤3.6V	0	-	7.5	
tdis(SO)(3)		从模式, SPI1/2/3和1.7V≤V _{SS} ≤3.6V	0	-	16.5	
tv(SO) th(SO)	数据输出有效/保持时间	从模式 (使能边沿之后), SPI1, 2.7V≤V _{DD} ≤3.6V	-	11	13	
tv(SO) th(SO)		从模式 (使能边沿之后), SPI2/3, 2.7V≤V _{DD} ≤3.6V	-	12	16.5	
tv(SO) th(SO)		从模式 (使能边沿之后), SPI1, 1.7V≤V _{SS} ≤3.6V	-	15.5	19	

tv(SO) th(SO)		从模式（使能边沿之后），SPI2/3, $1.7V \leq V_{SS} \leq 3.6V$	-	18	20.5
tv(MO)	数据输出有效时间	主模式（使能边沿之后），SPI1, $2.7V \leq V_{DD} \leq 3.6V$	-	-	2.5
tv(MO)		主模式（使能边沿之后）， SPI1/2/3, $1.7V \leq V_{SS} \leq 3.6V$	-	-	4.5
th(MO)	数据输出保持时间	主模式（使能边沿之后）	0	-	-

表 53. SPI 动态特性（续）

符号	参数	条件	最小值	典型值	最大值	单位
f _{SCK}	SPI时钟频率	主模式, SPI1, $2.7V \leq V_{DD} \leq 3.6V$	-	-	42	MHz
		从模式, SPI1, $2.7V < V_{DD} < 3.6V$			42	
1/tc(SCK)		主模式, SPI1/2/3, $1.7V < V_{DD} < 3.6V$	-	-	21	
		从模式, SPI1/2/3, $1.7V < V_{DD} < 3.6V$			21	
Duty(SCK)	SPI时钟频率的占空比	从模式	30	50	70	%

1. 由特性分析结果保证，未经生产测试
2. 最小时间是驱动输出的最小时间，最大时间是验证数据的最大时间。
3. 最小时间是使输出失效的最小时间，最大时间是将数据放入Hi-Z的最大时间。

图 38. SPI 时序图—从模式且 CPHA=0

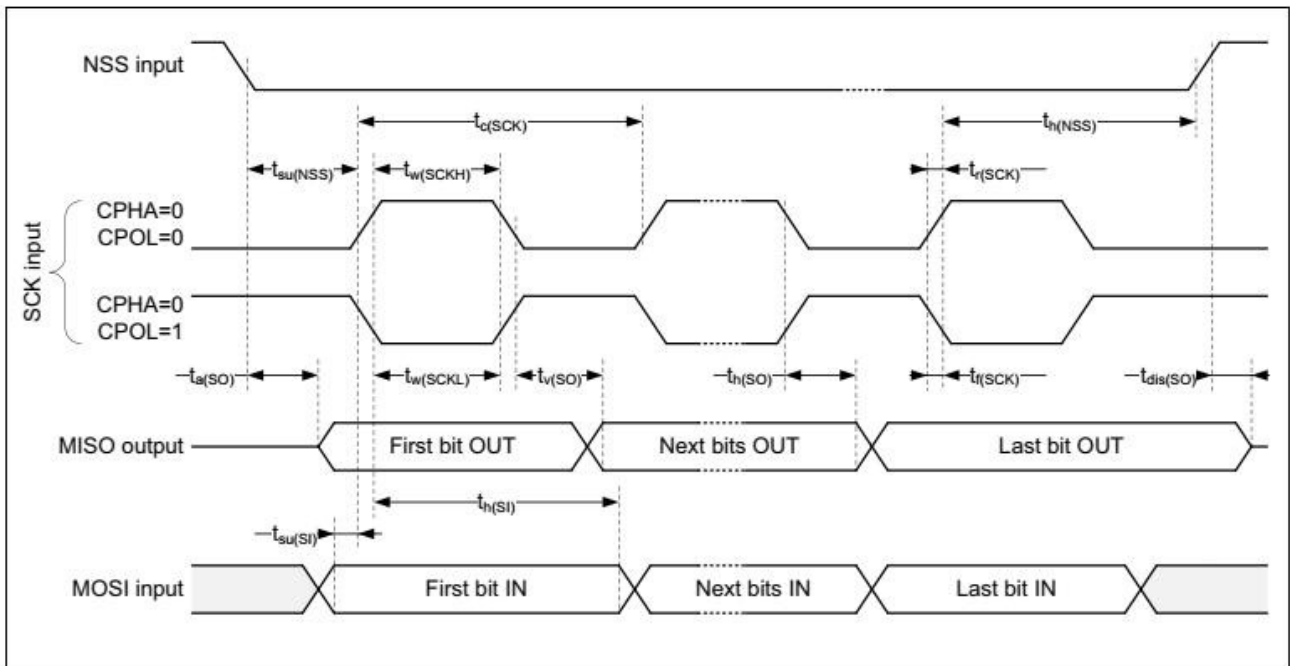


图 39.SPI 时序图-从模式且 CPHA=1

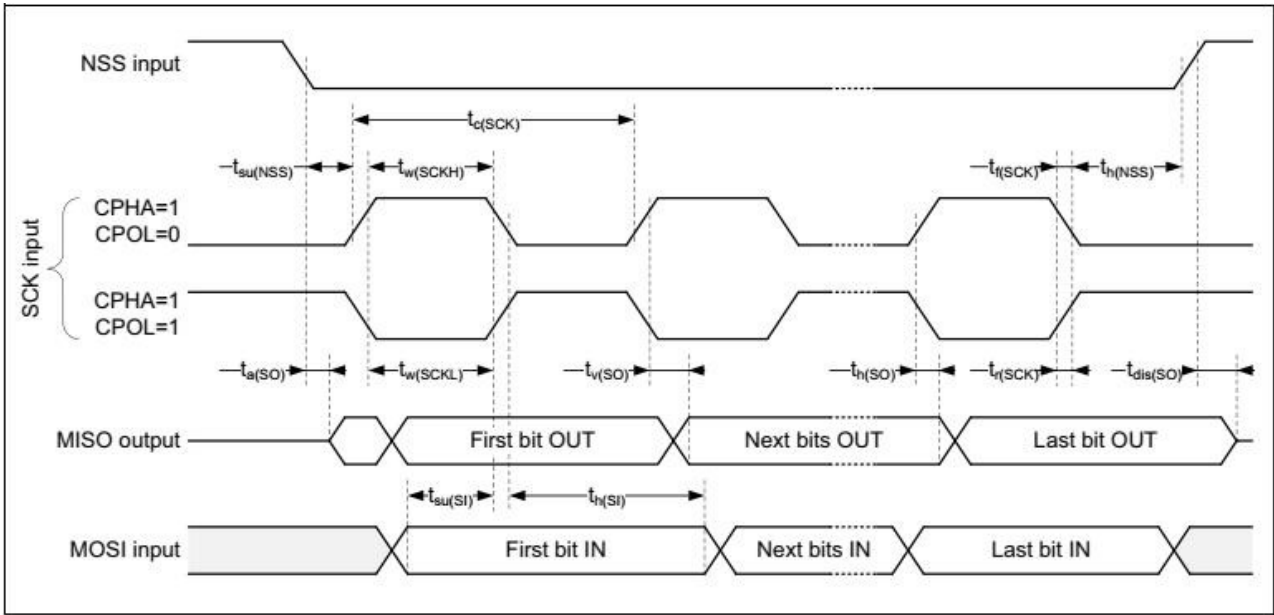
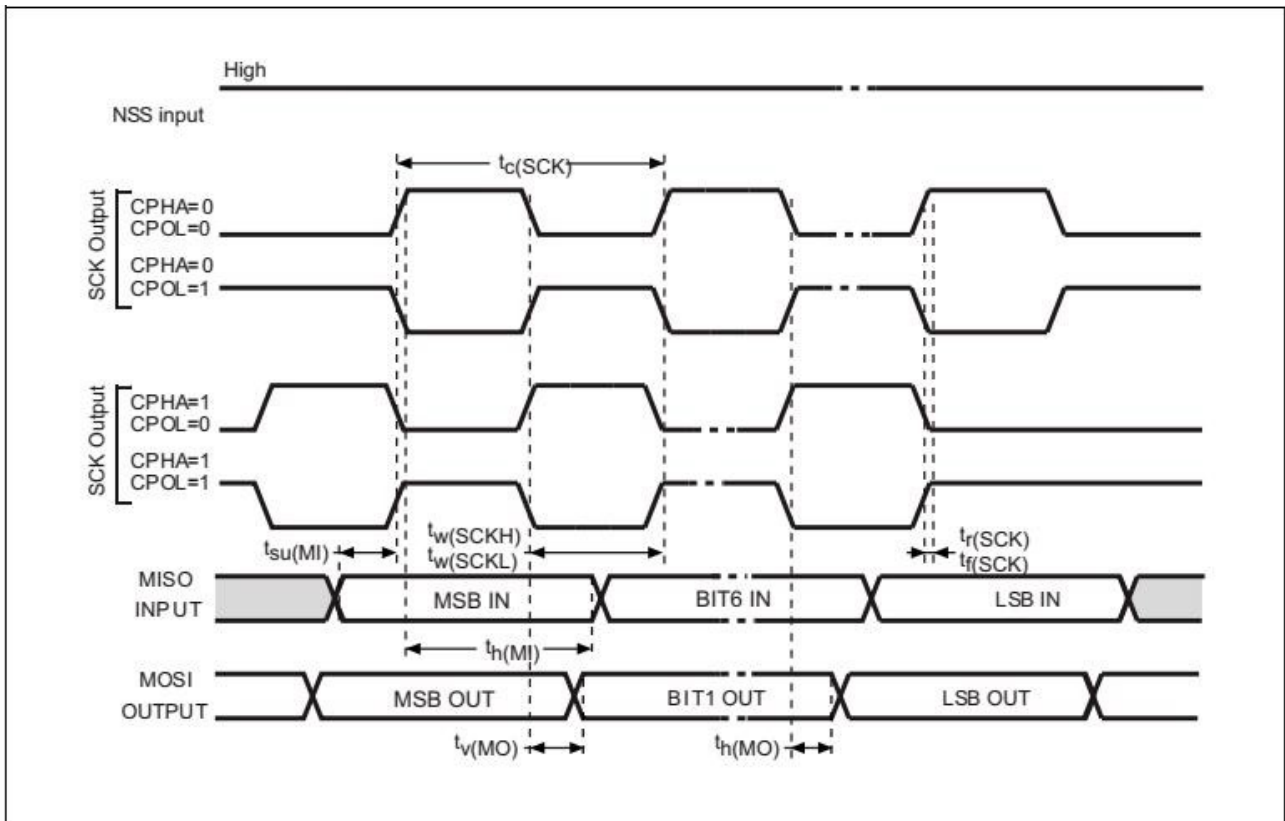


图 40.SPI 时序图-主模式



I2S接口特性

除非特别说明，否则表 54 中给出的 I2S 接口参数均在表13 中汇总的环境温度、 f_{PCLKx} 频率和 V_{DD} 电源电压条件下测试得出，其配置如下：

- 输出速度设为OSPEEDRy[1:0]=10
- 容性负载C=30pF
- 在CMOS电平为0.5V_{DD}时完成测量。

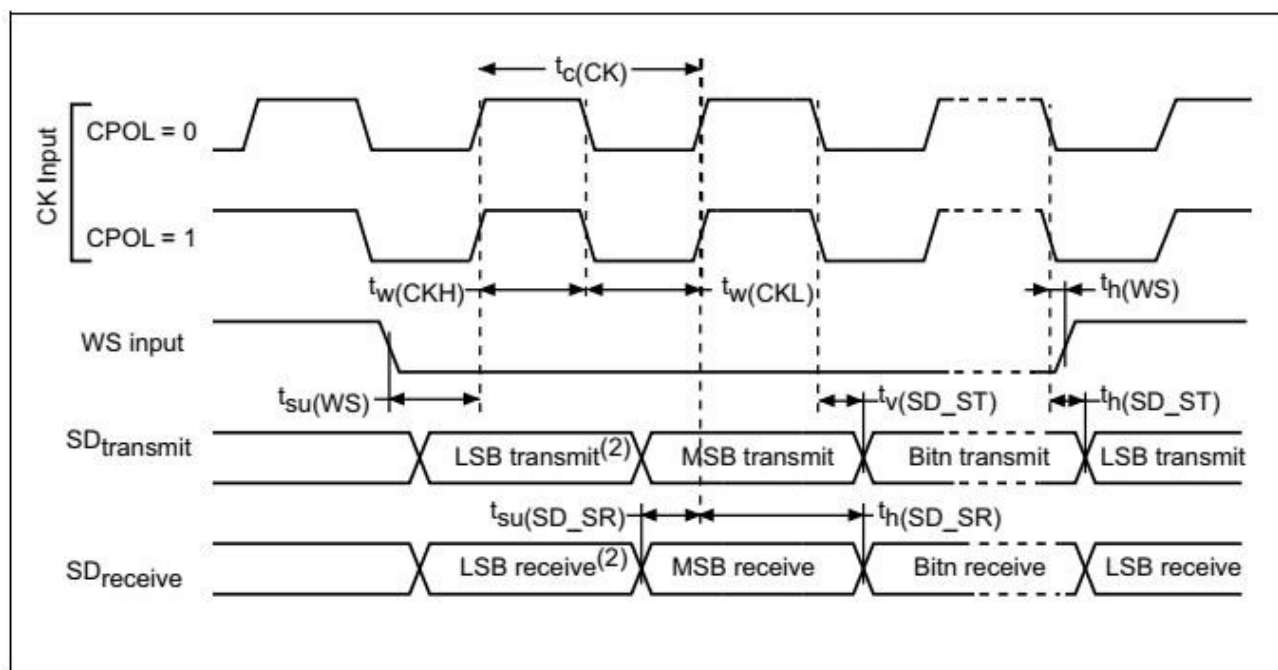
有关输入/输出复用功能特性（CK、SD、WS）的详细信息，请参见第5.3.16 章节 *IO 端特性* 表

54. I2S 动态特性(1)

符号	参数	条件	最小值	最大值	单位
f_{MCK}	I2S主时钟输出b	-	256x8K	256xFs ⁽²⁾	MHz
f_{CK}	I2S时钟频率	主数据：32位	-	64xFs	MHz
		从数据：32位	-	64xFs	
DCK	I2S时钟频率占空比	从接收器	30	70	%
$t_{v(WS)}$	WS有效时间	主模式	0	6	ns
$t_{h(WS)}$	WS保持时间	主模式	0	-	
$t_{su(WS)}$	WS建立时间	从模式	1	-	
$t_{h(WS)}$	WS保持时间	从模式	0	-	
$t_{su(SD_MR)}$	数据输入建立时间	主接收器	7.5	-	
$t_{su(SD_SR)}$		从接收器	2	-	
$t_{h(SD_MR)}$	数据输入保持时间	主接收器	0	-	
$t_{h(SD_SR)}$		从接收器	0	-	
$t_{v(SD_ST)}$	数据输出有效时间	从发送器（使能边沿之后）	-	27	
$t_{h(SD_ST)}$		主发送器（使能边沿之后）	-	20	
$t_{v(SD_MT)}$	数据输出保持时间	主发送器（使能边沿之后）	2.5	-	
$t_{h(SD_MT)}$		主发送器（使能边沿之后）	-	-	

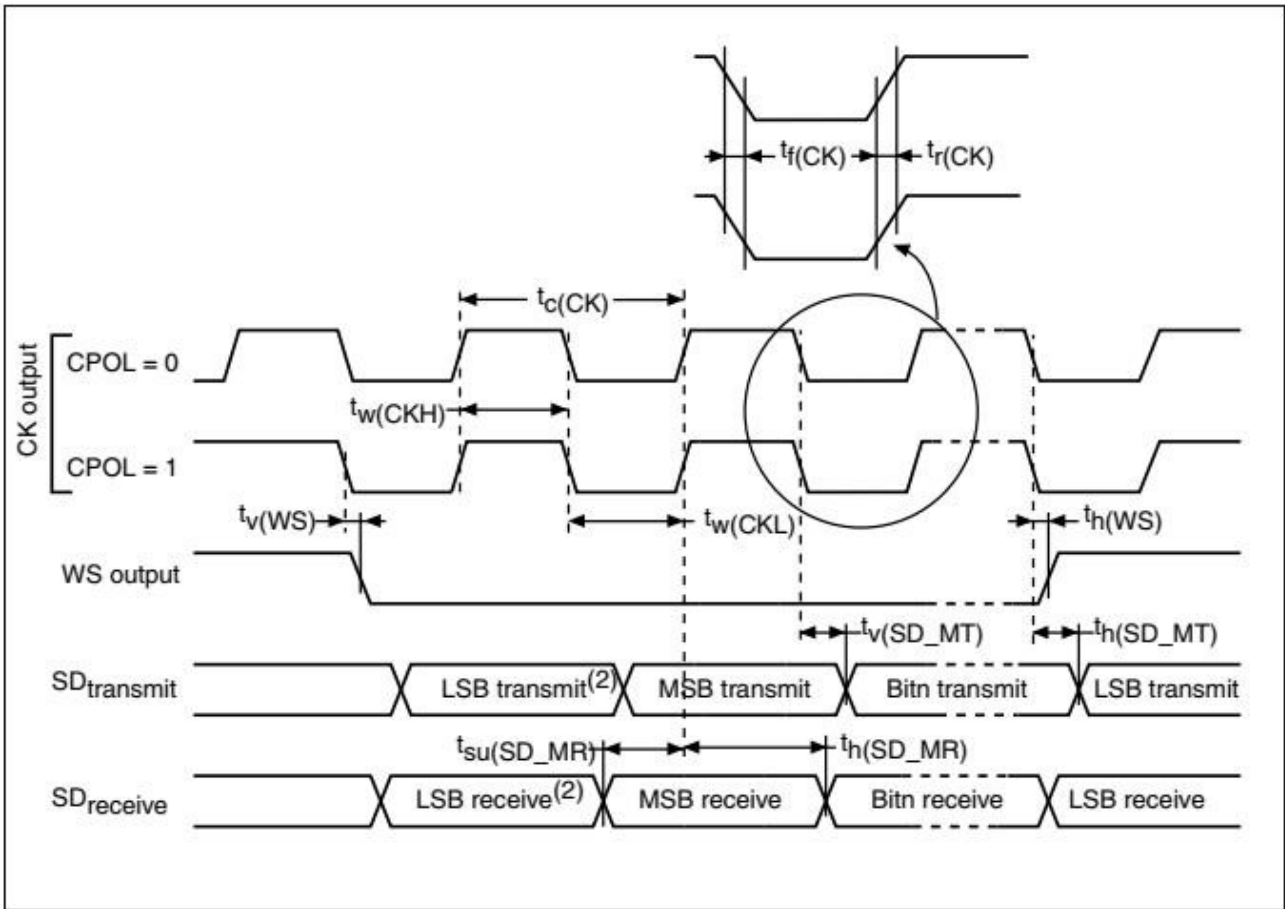
1. 由特性分析结果保证，未经生产测试。
2. 256 x Fs 的最大值为42MHz（APB1最大频率）。

图 41. I2S 从模式时序图（Philips 协议）



1. LSB传输/接收先前传输的字节。在第一个字节之前没有发送LSB发送/接收

图 42. I2S 从模式时序图 (Philips 协议) (1)



1. 由设计保证。
2. 前一发送字节的LSB发送/接收。在首字节前不发送任何LSB发送/接收。

USB OTG 全速 (FS) 特性

此接口在 USB OTG HS 和 USB OTG FS 控制器中都存在。

表 55.USB OTG 全速启动时间

符号	参数	最大值	单位
t _{STARTUP(1)}	USBOTG全速收发器启动时间	1	μs

1. 由设计保证, 未经生产测试。

表 56. USB OTG 全速直流电气特性

符号	参数	条件	最小值 ⁽¹⁾	典型	最大值 ⁽¹⁾	单位	
输入电平	V _{DD}	USBOTG全速收发器工作电压	-	3.0 ⁽²⁾	-	3.6	V
	V _{DI} ⁽³⁾	差分输入灵敏度	I(USB_FS_DP/DM, USB_HS_DP/DM)	0.2	-	-	V
	V _{CM} ⁽³⁾	差分共模范围	包括V _{DI} 范围	0.8	-	2.5	
	V _{SE} ⁽³⁾	单端接收器阈值	-	1.3	-	2.0	
输出电平	V _{OL}	静态输出低电平	1.5kΩ的R _L 接至3.6V ⁽⁴⁾	-	-	0.3	V
	V _{OH}	静态输出高电平	15kΩ的R _L 接至V _{SS} ⁽⁴⁾	2.8	-	3.6	
R _{PD}	PA11,PA12,PB14,PB15 (USB_FS_DP/DM, USB_HS_DP/DM)	V _{IN} =V _{DD}	17	21	24	KΩ	
	PA9,PB13(OTG_FS_VBUS,OTG_HS_VBUS)		0.65	1.1	2.0		
R _{PU}	PA12,PB15(USB_FS_DP, USB_HS_DP)	V _{IN} =V _{SS}	1.5	1.8	2.1		
	PA9,PB13	V _{IN} =V _{SS}	0.25	0.37	0.55		

1. 所有电压均基于局部接地电位测得。

2. 工作电压降至2.7V时, 仍可保证USB OTG全速收发器的功能, 但不能保证完整的USB全速电气特性, 后者在2.7到3.0V的V_{DD}电压范围内会降级。

3. 由设计保证, 未经生产测试。

4. R_L是连接至USB OTG全速驱动器的负载

图 43.USB OTG 全速时序: 数据信号上升时间和下降时间的定义

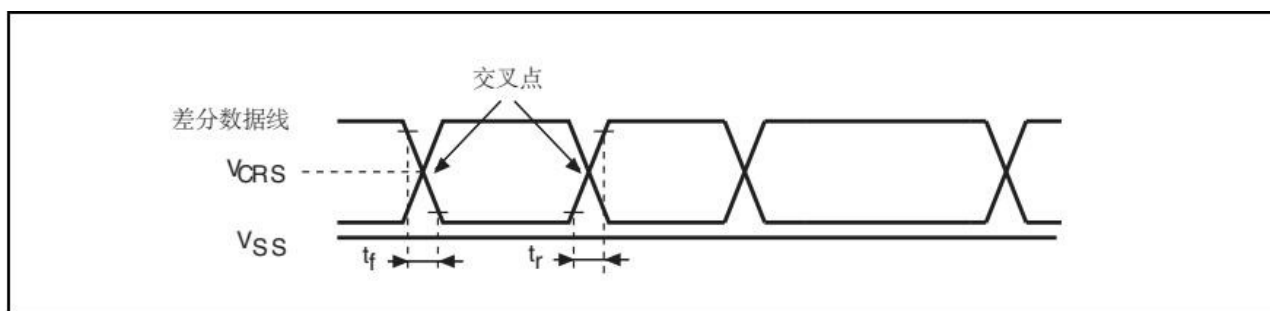


表 57.USB OTG 全速电气特性

驱动器特性					
符号	参数	条件	最小值	最大值	单位
t _r	上升时间 ⁽²⁾	CL=50pF	4	20	ns
t _f	下降时间 ⁽²⁾	CL=50pF	4	20	ns
t _{rfm}	上升/下降时间匹配	t _r /t _f	90	110	%
V _{CRS}	输出信号交叉电压	-	1.3	2.0	V

1. 由设计保证, 未经生产测试。

2. 在10%到90%的数据信号区间内测得。更多详细信息, 请参见USB技术规范第7章(版本2.0)。

USB高速 (HS) 特性

除非特别说明，否则表60中给出的ULPI参数均在表59中汇总的环境温度、 f_{HCLK} 频率和表58中汇总的 V_{DD} 电源电压条件下测试得出，其配置如下：

- 除非特别说明，输出速度设为 $OSPEEDRy[1:0]=10$
- 除非特别说明，容性负载 $C=30pF$
- 在CMOS电平为 $0.5V_{DD}$ 时完成测量。

请参考第6.3.17 章节：I/O 端口特性以获取输入/输出特性的更详细信息。

表 58.USB HS 直流电气特性

符号		参数	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
输入电平	V_{DD}	USBOTGHS工作电压	1.7	3.6	V

1.所有电压均基于局部接地电位测得。

表 59.USB HS 时钟时序参数(1)

符号	参数		最小值	典型值	最大值	单位
-	f_{HCLK} 值保证USB HS接口的正常工作		30	-	-	MHz
F_{START_8BIT}	频率（第一次转换）	8-bit $\pm 10\%$	54	60	66	MHz
F_{STEADY}	频率（稳定状态） $\pm 500ppm$		59.97	60	60.03	MHz
D_{START_8BIT}	占空比（第一次转换）	8-bit $\pm 10\%$	40	50	60	%
D_{STEADY}	占空比（稳定状态） $\pm 500ppm$		49.975	50	50.025	%
t_{STEADY}	第一次转换后，达到稳定状态频率和占空比的时间		-	-	1.4	ms
t_{START_DEV}	禁止后的时钟启动时间		外设		5.6	ms
t_{START_HOST}			主机		-	
t_{PREP}	输入时钟第一次转换后的PHY准备时间		-	-	-	μs

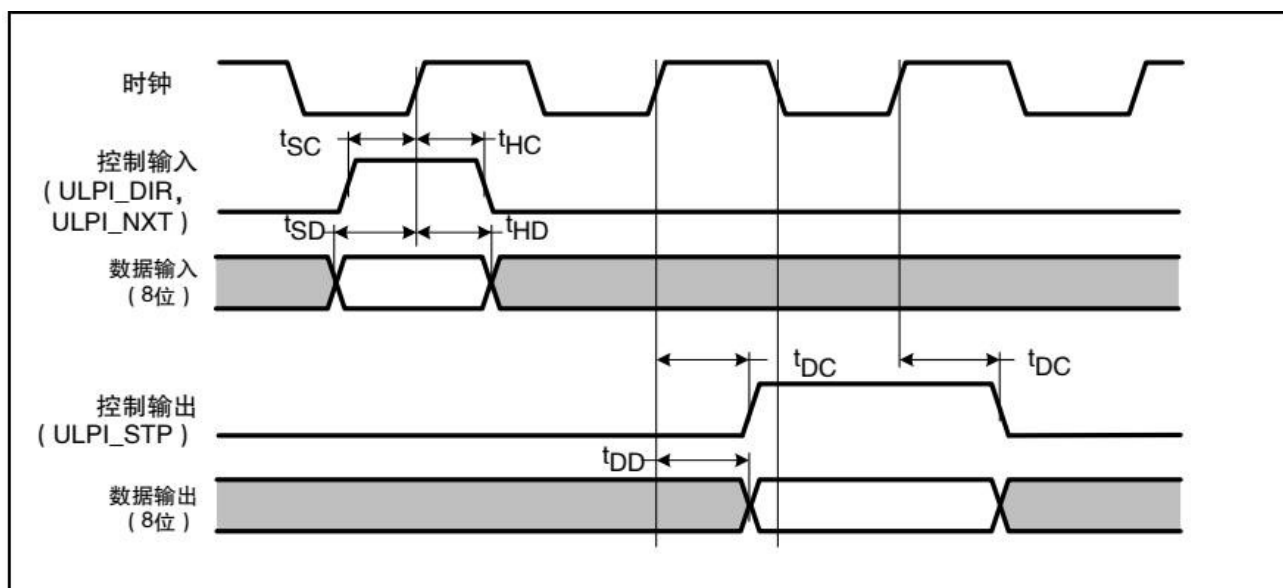
1. 由设计保证，未经生产测试。

表 60.动态特性：USB ULPI

参数	符号	数值(1)		单位
		最小值	最大值	
ULPI_DIR建立时间内的控制	tSC	-	2.0	ns
ULPI_NXT建立时间内的控制	tHC	-	1.5	
(ULPI_DIR, ULPI_NXT) 保持时间内的控制	tSD	0	-	
建立时间内的数据	tHD	-	2.0	
数据输入保持时间		0	-	
控制输出延迟	tDC	-	9.2	
数据输出延迟	tDD	-	10.7	

1. $V_{DD}=2.7V$ 至 $3.6V$ 和 $T_A = -40$ 至 $105^\circ C$

图 44.ULPI 时序图



以太网特性

除非特别说明，否则表62、表63、表64中给出的 SMI、RMII、MII 参数均在表13中汇总的环境温度、 f_{HCLK} 频率和表61中汇总的 V_{DD} 电源电压条件下测试得出，其配置如下：

- 输出速度设为 $OSPEEDRy[1:0]=10$
- 容性负载 $C=30pF$
- 在CMOS电平为 $0.5V_{DD}$ 时完成测量

请参考第5.3.16 章节: I/O 端特性以获取输入/输出特性的更详细信息。

表 61.以太网直流电气特性

符号	参数	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位	
输入电平	V_{DD}	以太网工作电压	2.7	3.6	V

1. 所有电压均基于局部接地电位测得。

表62 给出了 SMI（站管理接口）的以太网 MAC 信号列表，图45显示了相应的时序图。

图 45.以太网 SMI 时序图

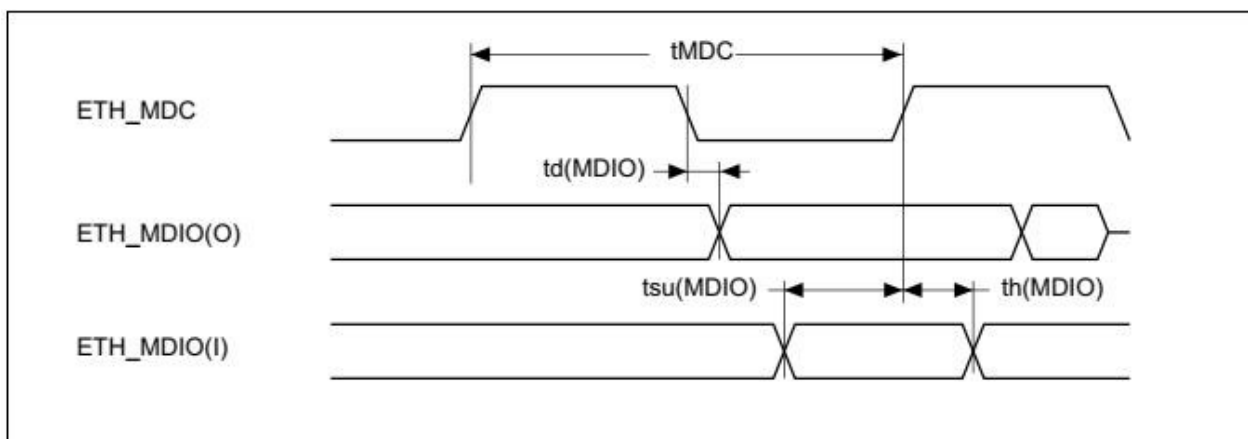


表 62.动态特性：SMI 的以太网 MAC 信号(1)

符号	参数	最小值	典型值	最大值	单位
t_{MDC}	MDC周期时间 (2.38MHz)	411	420	425	ns
$T_d(MDIO)$	写数据有效时间	6	10	13	
$t_{su}(MDIO)$	读数据建立时间	12	-	-	
$t_h(MDIO)$	读数据保持时间	0	-	-	

1. 由特性分析结果保证，未经生产测试。

表63 给出了 RMII 的以太网 MAC 信号列表，图46 显示了相应的时序图。

图 46.以太网 RMII 时序图

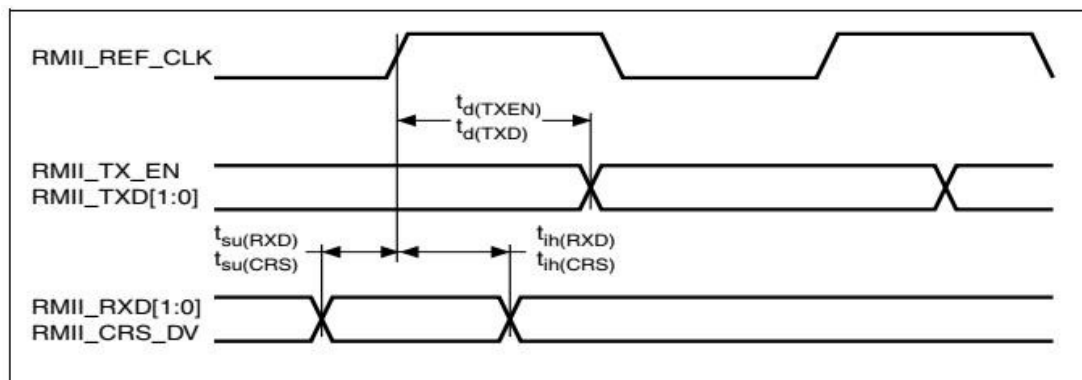


表 63.动态特性：RMII 的以太网 MAC 信号

符号	参数	最小值	典型值	最大值	单位
$t_{su}(RXD)$	接收数据建立时间	2	-	-	ns
$t_{ih}(RXD)$	接收数据保持时间	1	-	-	
$t_{su}(CRS)$	载波监听建立时间	0.5	-	-	
$t_{ih}(CRS)$	载波监听保持时间	2	-	-	
$t_d(TXEN)$	发送使能有效延迟时间	8	9.5	11	
$t_d(TXD)$	发送数据有效延迟时间	8.5	10	11.5	

表64 给出了 MII 的以太网 MAC 信号列表，图47 显示了相应的时序图。

图 47.以太网 MII 时序图

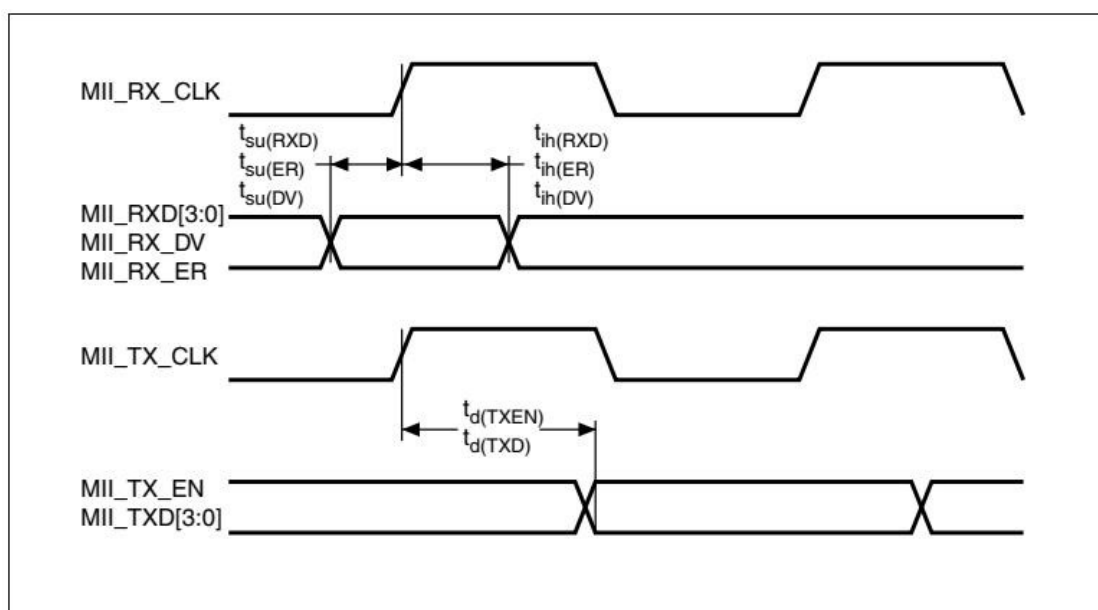


表64.动态特性：MII的以太网MAC信号(1)

符号	参数	最小值	典型值	最大值	单位
$t_{su}(RXD)$	接收数据建立时间	9		-	ns
$t_{ih}(RXD)$	接收数据保持时间	10		-	
$t_{su}(DV)$	数据有效建立时间	9		-	
$t_{ih}(DV)$	数据有效保持时间	8		-	
$t_{su}(ER)$	误差建立时间	6		-	
$t_{ih}(ER)$	误差保持时间	8		-	
$t_d(TXEN)$	发送使能有效延迟时间	0	10	14	
$t_d(TXD)$	发送数据有效延迟时间	0	10	15	

1. 由特性分析结果保证，未经生产测试。

5.3.20 CAN（控制器局域网）接口

有关输入/输出复用功能特性（CAN_x_TX 和 CAN_x_RX）的详细信息，请参见第5.3.16 章节：I/O 端口特性。

5.3.21 12位ADC特性

除非特别说明，否则表 65 中给出的参数均在表 13 中汇总的环境温度、 f_{PCLK2} 频率和 V_{DDA} 电源电压条件下测试得出的。

表 65.ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	电源		1.8 ⁽¹⁾	-	3.6	V
V_{REF+}	正参考电压 ^{bcd}		1.8 ⁽¹⁾⁽²⁾⁽³⁾	-	V_{DDA}	
V_{REF-}	负参考电压		-	0	-	
f_{ADC}	ADC时钟频率 ^{bd}	$V_{DDA}=1.8^{(1)(3)}$ 到2.4V	0.6	15	18	MHz
		$V_{DDA}=2.4$ 到3.6V ⁽³⁾	0.6	30	36	MHz
$f_{TRIG}^{(4)}$	外部触发器频率	$f_{ADC}=30$ MHz 12位分辨率	-	-	1764	KHz
		-	-	-	17	1/ f_{ADC}
V_{AIN}	转换电压范围 ⁽⁵⁾	-	0	-	V_{REF+}	V
$R_{AIN}^{(4)}$	外部输入阻抗		-	-	50	k Ω
$R_{ADC}^{(4)(6)}$	采样开关电阻 ^f		-	-	6	k Ω
$C_{ADC}^{(4)}$	内部采样和保持电容		-	4	-	pF
$t_{lat}^{(4)}$	注入触发器转换延迟	$f_{ADC}=30$ MHz	-	-	0.100	μ s
		-	-	-	3	1/ f_{ADC}
$t_{latr}^{(4)}$	常规触发器转换延迟	$f_{ADC}=30$ MHz	-	-	0.067	μ s
		-	-	-	2	1/ f_{ADC}
$t_s^{(4)}$	采样时间	$f_{ADC}=30$ MHz	0.100	-	16	μ s
		-	3	-	480	1/ f_{ADC}
$t_{STAB}^{(4)}$	上电时间		-	2	3	μ s
$t_{CONV}^{(4)}$	总转换时间（包括采样时间）	$f_{ADC}=30$ MHz 12位分辨率	0.50	-	16.4	μ s
		$f_{ADC}=30$ MHz 10位分辨率	0.43	-	16.34	
		$f_{ADC}=30$ MHz 8位分辨率	0.37	-	16.27	
		$f_{ADC}=30$ MHz 6位分辨率	0.30	-	16.20	
		9到492（采样 t_s +逐次逼近的n位分辨率）				1/ f_{ADC}
$f_s^{(4)}$	采样率 ($f_{ADC}=30$ MHz 和 $t_s=3$ 个ADC周期)	12位分辨率单ADC	-	-	2	MspS
		12位分辨率 交织双重ADC模式	-	-	3.75	MspS
		12位分辨率 交织三重ADC模式	-	-	6	MspS
$I_{VREF+}^{(4)}$	转换模式中的ADC V_{REF} DC电流消耗	-	-	300	500	μ A
$I_{VREF-}^{(4)}$	转换模式中的ADC V_{DDA} DC电流消耗	-	-	1.6	1.8	mA

1. 使用外部电源监控器时，可达到1.7V的 V_{DDA} 最小值（请参考章节**内部复位(OFF)**）。
2. 建议 V_{REF-} 和 V_{DDA} 之间的电压差保持在1.8V以下
3. $V_{DDA}-V_{REF} < 1.2$ V
4. 通过特性分析确定
5. V_{REF+} 可内部连接至 V_{DDA} ， V_{REF-} 可内部连接至 V_{SSA} 。
6. R_{ADC} 最大值在 $V_{DD}=1.8$ V给出，最小值在 $V_{DD}=3.3$ V给出。
7. 对于外接触发器，必须将表65中指定的延迟加上1/ f_{PCLK2} 的延时。

公式1: R_{AIN} 最大值公式

$$R_{AIN} = \frac{(k-0.5)}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上式（公式 1）用于确定使误差低于 1/4LSB 的最大外部阻抗。其中 N=12（12 位分辨率），k 为 ADC_SMPR1 寄存器中定义的采样周期数。

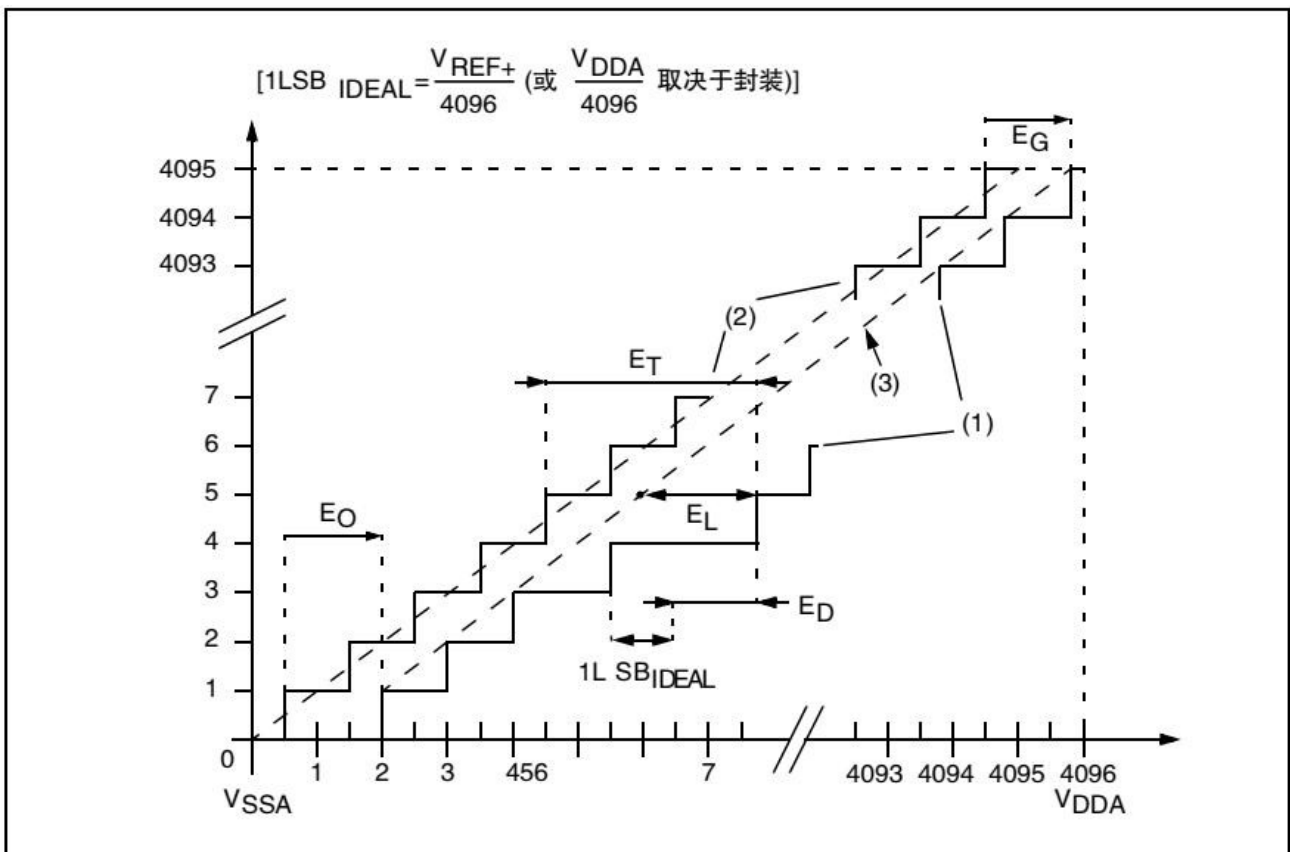
表 66.fADC=30MHz 时的 ADC 静态精度

符号	参数	测试条件	典型值	最大值 ⁽¹⁾	单位
ET	总未调整误差	fPCLK2=60MHz, fADC=30MHz, RAIN<10kΩ, V _{DDA} =1.8到3.6V	±2	±5	LSB
EO	偏移误差		±1.5	±2.5	
EG	增益误差		±1.5	±3	
ED	微分线性误差		±1	±2	
EL	积分线性误差		±1.5	±3	

1. 由特性分析结果保证
2. 在降低的温度范围内，使用外部电源管理器（请参考内部复位OFF章节），可以得到V_{DD}/V_{DDA}的最小值为1.7V

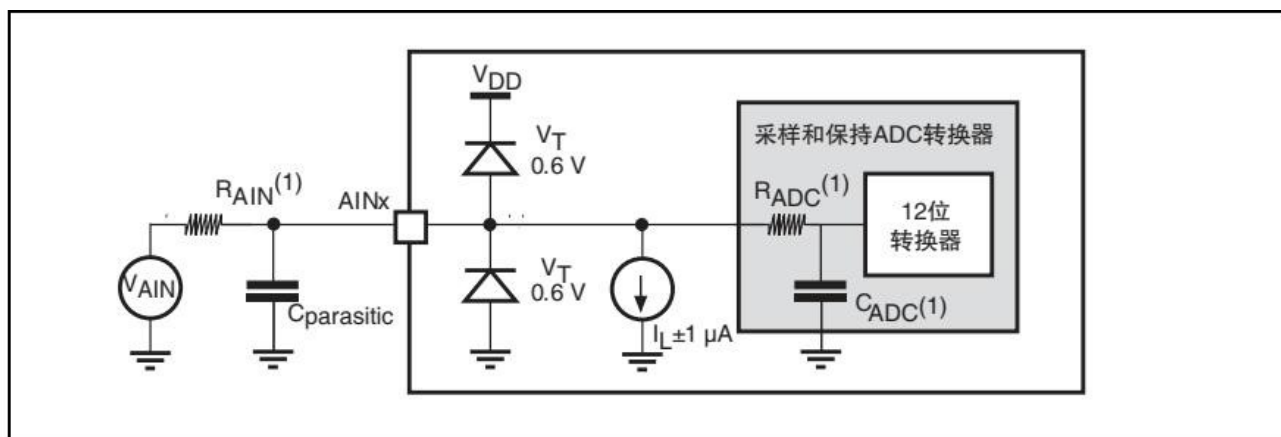
注：ADC精度与反向注入电流：应避免在任何模拟输入引脚上注入反向电流，这样做会显著降低另一个模拟输入上正在进行的转换作业的精度。建议在可能注入反向电流的模拟引脚上增加一个肖特基二极管（引脚与地之间）。只要正向注入电流处于第5.3.16章节中为I_{INJ(PIN)}和S_{IINJ(PIN)}指定的限值范围内，就不会影响ADC精度。

图 48.ADC 精度特性



1. 另请参见表66。
2. 实际传输曲线举例。
3. 理想传输曲线。
4. 端点相关线。
5. ET=总未调整误差：实际和理想传输曲线间的最大偏离。
EO=偏移误差：第一次实际转换和第一次理想转换间的偏离。
EG=增益误差：最后一次理想转换和最后一次实际转换间的偏离。
ED=微分线性误差：实际步进和理想值间的最大偏离。
EL=积分线性误差：任何实际转换和端点相关线间的最大偏离。

图 49.使用 ADC 的典型连接图

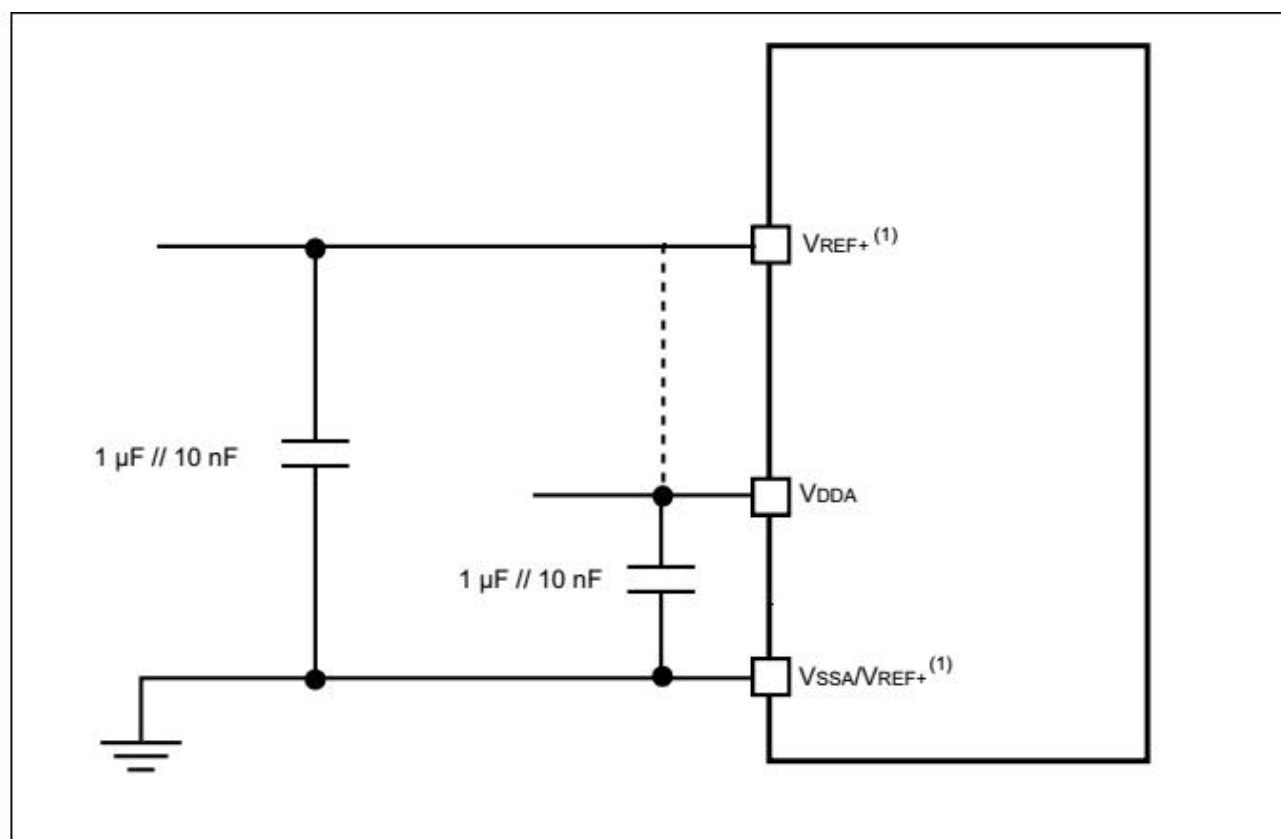


1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 值的信息，请参见表65。
2. $C_{parasitic}$ 表示PCB电容（取决于焊接和PCB布线质量）以及焊盘电容（约5pF）。 $C_{parasitic}$ 值较高会导致转换精度降低。要解决这一问题，应减小 f_{ADC} 。

通用PCB设计准则

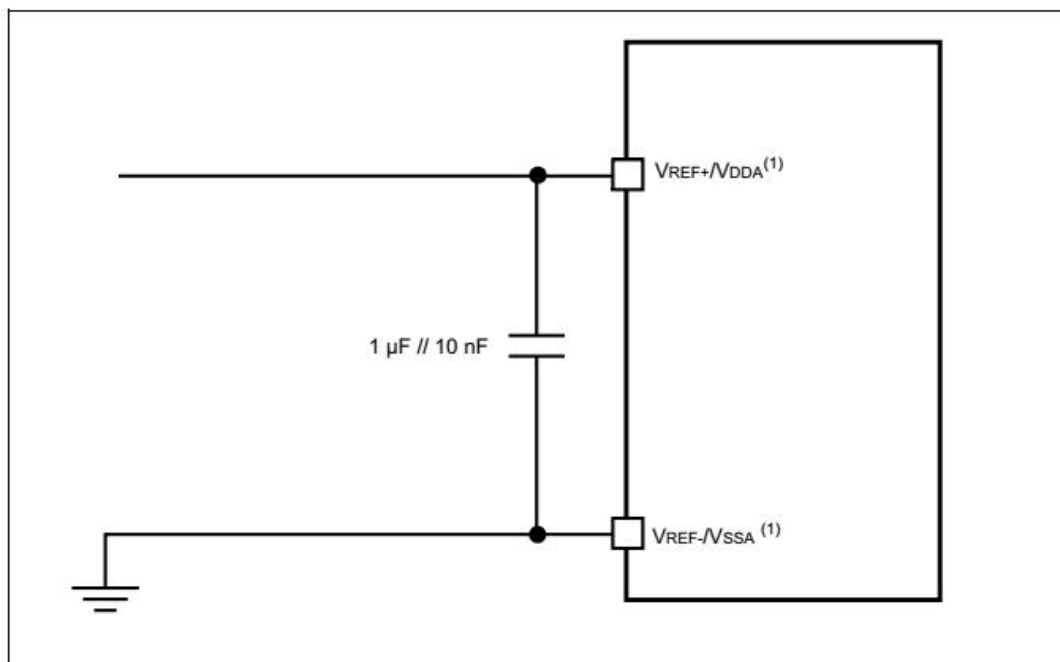
应按照图50或图51所示对电源进行去耦，具体取决于 V_{REF+} 是否与 V_{DDA} 相连。10nF电容应为（优质）陶瓷电容。这些电容应尽可能靠近芯片。

图 50.电源和参考电源去耦（ V_{REF+} 未连接到 V_{DDA} ）



1. V_{REF+} 和 V_{REF-} 输入在UFPGA176上都可用。 V_{REF+} 还在LQFP100、LQFP144、LQFP176上可用。当 V_{REF+} 和 V_{REF-} 不可用时，它们内部连至 V_{DDA} 和 V_{SSA} 。

图 51.电源和参考电源去耦 (VREF+未连接到 V_{DDA})



1. V_{REF+}和V_{REF-}输入在UFBGA176上都可用。V_{REF+}还在LQFP100、LQFP144、LQFP176上可用。当V_{REF+}和V_{REF-}不可用时，它们内部连至V_{DDA}和V_{SSA}。

5.3.22 温度传感器特性

表 67.温度传感器特性

符号	参数	最小值	典型值	最大值	单位
T _L ⁽¹⁾	V _{SENSE} 相对于温度的线性度	-	±1	±2	°C
A _{vg_Slope} ⁽¹⁾	平均斜率	-	2.5		mV/°C
V ₂₅ ⁽¹⁾	25°C时的电压	-	0.76		V
t _{START} ⁽²⁾	启动时间	-	6	10	μs
T _{S_temp} ⁽²⁾	读取温度时的ADC采样时间 (精度为1°C)	10	-	-	μs

1. 通过特性分析确定，未经生产测试。
2. 由设计保证，未经生产测试。

表 68.温度传感器校准值

符号	参数	存储器地址
TS_CAL1	TSADC原始数据在温度30°C，V _{DDA} =3.3V时获取	0x1FFF7A2C-0x1FFF7A2D
TS_CAL2	TSADC原始数据为温度110°C，V _{DDA} =3.3V时获取	0x1FFF7A2E-0x1FFF7A2F

5.3.23 V_{BAT}监控特性

表 69.V_{BAT} 监控特性

符号	参数	最小值	典型值	最大值	单位
R	V _{BAT} 的电阻桥	-	50	-	KΩ
Q	V _{BAT} 测量的比值	-	2	-	
Er ⁽¹⁾	Q的误差	-1	-	+1	%
t _{S_vbat} ⁽²⁾	读取V _{BAT} 时的ADC采样时间1mV精度	5	-	-	μs

1. 设计保证，未经生产测试。
2. 最短采样时间可由应用程序通过多次迭代确定。

5.3.24 参考电压

表70中给出的参数是在表13中汇总的环境温度和 V_{DD} 电源电压条件下测试得出的。

表 70.内部参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内部参考电压	$-40^{\circ}\text{C}<T_A<+105^{\circ}\text{C}$	1.18	1.21	1.24	V
$T_{S_vrefint}^{(1)}$	读取内部参考电压时的ADC采样时间	-	10	-	-	μs
$V_{RERINT}^{(2)}$	整个温度范围内的内部参考电压	$V_{DD}=3\text{V}$	-	3	5	mV
$T_{\text{Coeff}}^{(2)}$	温度系数	-	-	30	50	ppm/ $^{\circ}\text{C}$
$t_{\text{START}}^{(2)}$	启动时间	-	-	6	10	μs

1. 最短采样时间可由应用程序通过多次迭代确定。
2. 由设计保证，未经生产测试。

表 71.内部参考电压校准值

符号	参数	存储器地址
V_{REFIN_CAL}	原始数据在温度 30°C ， $V_{DDA}=3.3\text{V}$ 时获取	0x1FFF7A2A-0x1FFF7A2B

5.3.25 DAC电气特性

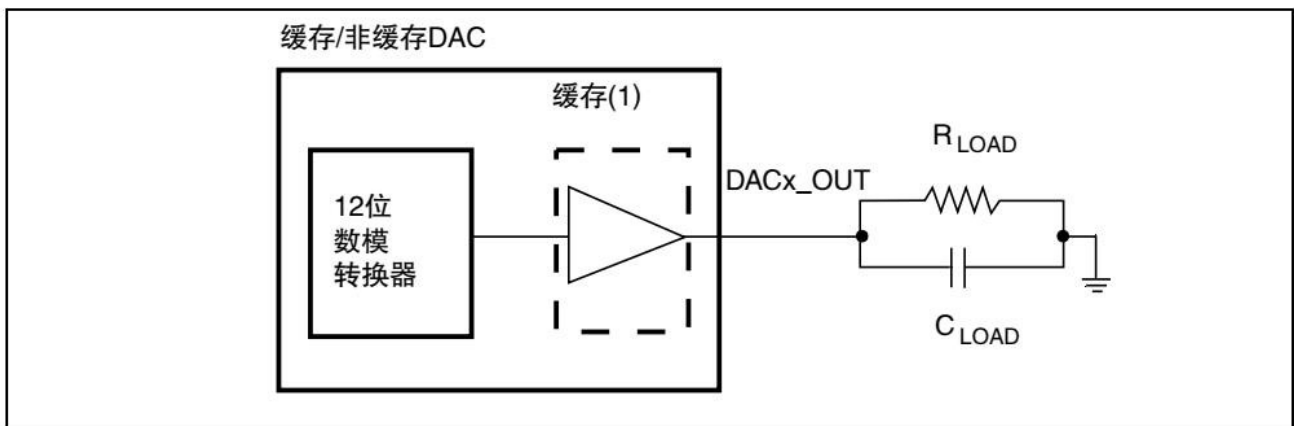
表 72. DAC 特性

符号	参数	最小值	典型值	最大值	单位	注释
V_{DDA}	模拟电源电压	1.8 ⁽¹⁾	-	3.6	V	
V_{REF+}	参考电源电压	1.8 ⁽¹⁾	-	3.6	V	$V_{REF+}\leq V_{DDA}$
V_{SSA}	接地	0	-	0	V	
$R_{LOAD}^{(2)}$	缓冲器开启时的阻性负载	5	-	-	k Ω	
$R_O^{(2)}$	缓冲器关闭时的阻抗输出 ^a	-	-	15	k Ω	缓冲器关闭时，要使精度为1%，DAC_OUT与 V_{SS} 之间的最小阻性负载为1.5M Ω
$C_{LOAD}^{(2)}$	容性负载	-	-	50	pF	DAC_OUT引脚上的最大容性负载（缓冲器开启时）。
$DAC_OUT_{min}^{(2)}$	缓冲器开启时的DAC_OUT电压下限	0.2	-	-	V	它给出了DAC的最大输出幅度。对应于12位输入代码(0x0E0)到(0xF1C) ($V_{REF+}=3.6\text{V}$ 时)以及(0x1C7)到(0xE38) ($V_{REF+}=1.8\text{V}$ 时)。
$DAC_OUT_{max}^{(2)}$	缓冲器开启时的DAC_OUT电压上限 ^a	-	-	$V_{DDA}-0.2$	V	
$DAC_OUT_{min}^{(2)}$	缓冲器关闭时的DAC_OUT电压下限 ^a	-	0.5	-	mV	它给出了DAC的最大输出幅度。
$DAC_OUT_{max}^{(2)}$	缓冲器关闭时的DAC_OUT电压上限	-	-	$V_{REF+}-1\text{LSB}$	V	
$I_{VREF+}^{(4)}$	静止模式（待机模式）下的DACDCVREF直流电流消耗	-	170	240	μA	无负载，在输入上的直流消耗方面，对应于 $V_{REF+}=3.6\text{V}$ 时的最差代码(0x800)
		--	50	75	μA	无负载，在输入上的直流消耗方面，对应于 $V_{REF+}=3.6\text{V}$ 时的最差代码(0xF1C)
$I_{DDA}^{(4)}$	静止模式下的DACDCV V_{DDA} 电流消耗 ⁽³⁾	-	280	380	μA	无负载，输入端采用中间代码(0x800)
		-	475	625	μA	无负载，在输入上的直流消耗方面，对应于 $V_{REF+}=3.6\text{V}$ 时的最差代码(0xF1C)
$DNL^{(4)}$	微分非线性误差（两个连续代码之间的偏差-1LSB）	-	-	± 2	LSB	针对12位配置中的DAC提供。
		-	-	± 0.5	LSB	针对10位配置中的DAC提供
$INL^{(4)}$	积分非线性误差（代码i处测得的值与代码0及最后一个代码	-	-	± 4	LSB	针对12位配置中的DAC提供。

	1023之间连线上代码i处的值之间的差)			± 1	LSB	针对10配置中的DAC提供
偏移 ⁽⁴⁾	偏移误差 (代码(0x800)处测得值与理想值VREF+/2之间的差)	-	-	± 10	mV	针对12位配置中的DAC提供
		-	-	± 12	LSB	针对12位配置中的DAC提供, VREF+=3.6V
				± 3	LSB	针对10位配置中的DAC提供, VREF+=3.6V
增益误差 ⁽⁴⁾	增益误差	-		± 0.5	%	针对12位配置中的DAC提供
tSETTLING ⁽⁴⁾	建立时间 (满刻度: 适用于当DAC_OUT达到最终值 ± 4 LSB时, 最低输入代码与最高输入代码之间的10位输入代码转换)	-	3	6	μ s	$C_{LOAD} \leq 50pF, R_{LOAD} \geq 5k\Omega$
THD ⁽⁴⁾	总谐波失真缓冲器开启	-		-	dB	$C_{LOAD} \leq 50pF, R_{LOAD} \geq 5k\Omega$
更新率 ⁽²⁾	当输入代码略有变化 (从代码i到i+1LSB) 时, 确保DAC_OUT变化正确的最大频率	-		1	MS/s	$C_{LOAD} \leq 50pF, R_{LOAD} \geq 5k\Omega$
tWAKEUP ⁽⁴⁾	从关闭状态唤醒的时间 (在DAC控制寄存器中将ENx位置1)	-	6.5	10	μ s	$C_{LOAD} \leq 50pF, R_{LOAD} \geq 5k\Omega$ 介于可能的最低值和最高值之间的输入代码。
PSRR+ ⁽⁴⁾	电源抑制比 (相对于VDDA) (静态直流测量)	-	-67	-40	dB	无RLOAD, CLOAD=50pF

1. 使用外部电源监控器时, 可达到1.7V的VDDA最小值 (请参考内部复位OFF)。
2. 由设计保证, 未经生产测试。
3. 静止模式对应的状态为, DAC保持在稳定的输出电平以确保无动态消耗发生。
4. 由特性分析结果保证, 未经生产测试。

图 52. 12 位缓冲/非缓冲 DAC



1. DAC集成了输出缓冲器, 用来降低输出阻抗并在不使用外部运算放大器的情况下直接驱动外部负载。如果将DAC_CR寄存器的BOFFx位置1, 可将该缓冲器旁路。

5.3.26 FSMC特性

除非特别说明，否则表73 至表84 中给出的 FSMC 接口参数均在表13 中汇总的环境温度、fHCLK 频率和 V_{DD} 电源电压条件下测试得出，其配置如下：

- 输出速度设为OSPEEDRy[1:0]=10
- 电容负载C=30pF
- 在CMOS电平为0.5V_{DD}时完成测量。

请参阅第5.3.16 节I/O 端口的特性，了解输入/输出特性的更多细节。

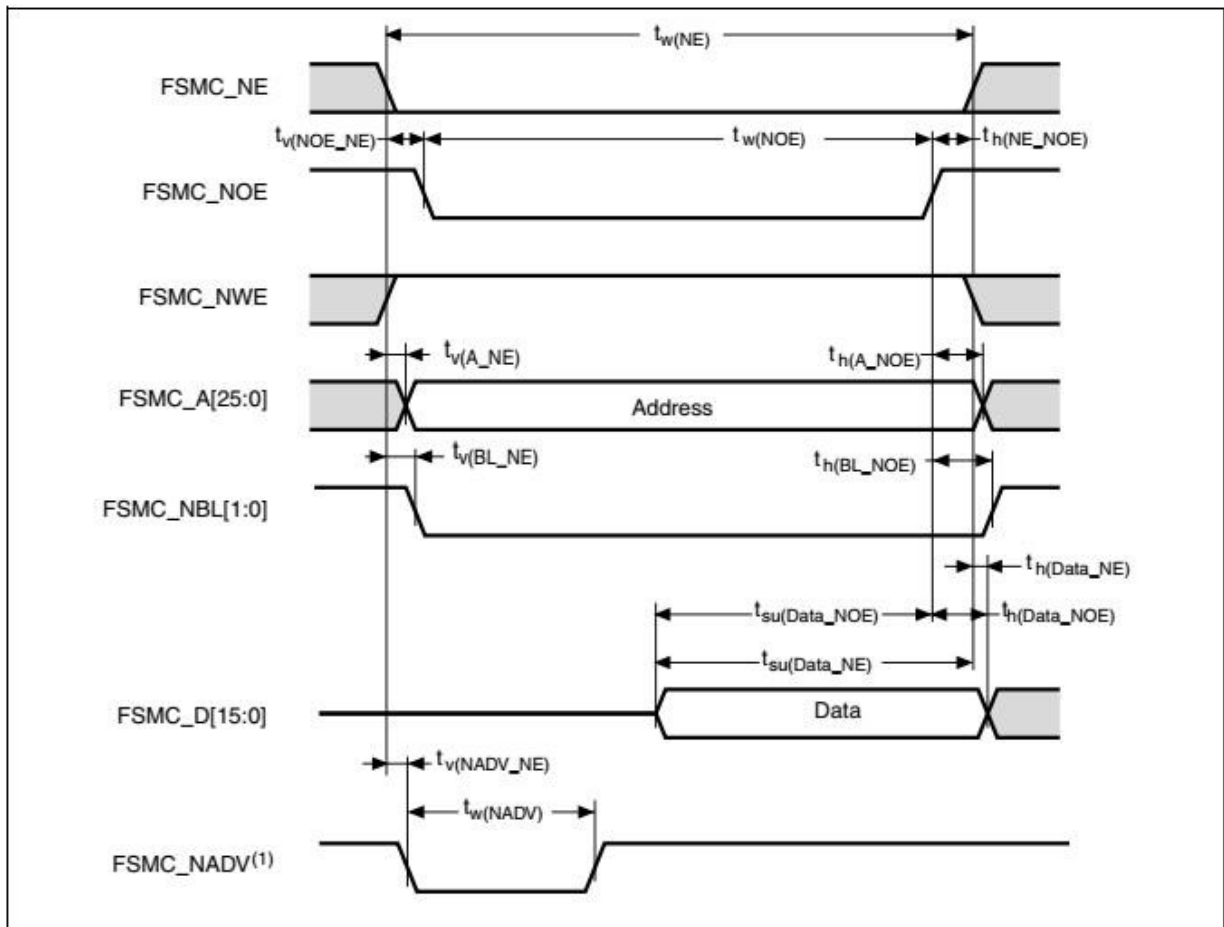
异步波形和时序

图53 到图56 所示为异步波形，表73 到表76 则给出了相应的时序。这些表格中的结果在如下 FSMC 配置条件下获得：

- AddressSetupTime=1
- AddressHoldTime=0x1
- DataSrtupTime=0x1
- BusTurnAroundDuration=0x0

在所有时序，T_{HCLK} 为 HCLK 的时钟。

图 53.异步非复用 SRAM/PSRAM/NOR 读操作波形



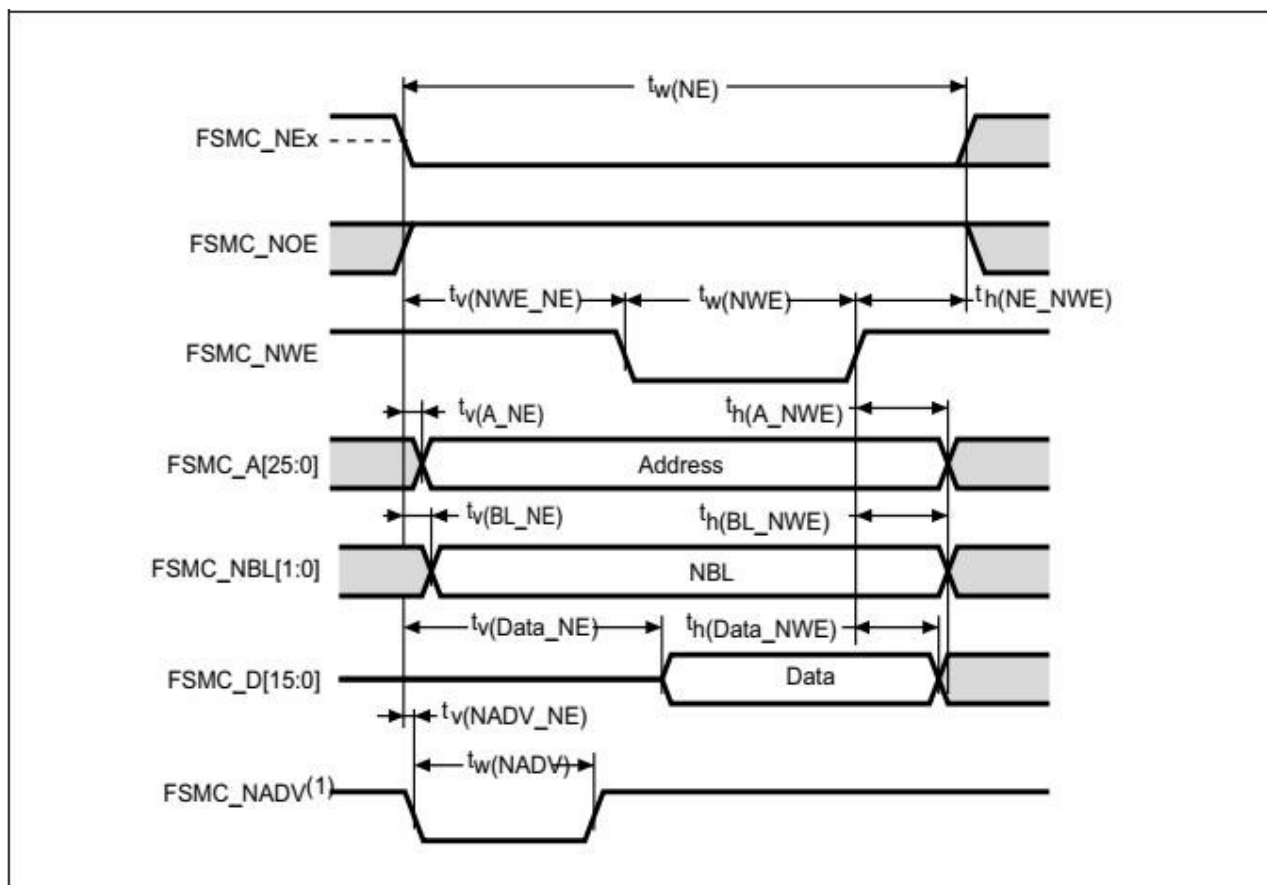
1. 仅限模式2/B、C和D。在模式1中不使用FSMC_NADV。

表 73.异步非复用 SRAM/PSRAM/NOR-读时序 (1) (2)

符号	参数	最小值	最大值	单位
$t_w(NE)$	FSMC_NE为低电平的时间	$2T_{HCLK}-0.5$	$2T_{HCLK}+1$	ns
$t_v(NOE_NE)$	FSMC_NEx变为低电平到FSMC_NOE变为低电平的间隔时间	0.5	3	ns
$t_w(NOE)$	FSMC_NOE为低电平的时间	$2T_{HCLK}-2$	$2T_{HCLK}+2$	ns
$t_h(NE_NOE)$	FSMC_NOE变为高电平到FSMC_NE变为高电平的保持时间	0	-	ns
$t_v(A_NE)$	FSMC_NEx变为低电平到FSMC_A有效的间隔时间	-	4.5	ns
$t_h(A_NOE)$	FSMC_NOE变为高电平后的地址保持时间	4	--	ns
$t_v(BL_NE)$	FSMC_NEx变为低电平到FSMC_BL有效的间隔时间	-	1.5	ns
$t_h(BL_NOE)$	FSMC_NOE变为高电平后FSMC_BL的保持时间	0	-	ns
$t_{su}(Data_NE)$	FSMC_NEx变为高电平前的数据建立时间	$T_{HCLK}+4$	-	ns
$t_{su}(Data_NOE)$	FSMC_NOEx变为高电平前的数据建立时间	$T_{HCLK}+4$	-	ns
$t_h(Data_NOE)$	FSMC_NOE变为高电平后的数据保持时间	0	-	ns
$t_h(Data_NE)$	FSMC_NEx变为高电平后的数据保持时间	0	-	ns
$t_v(NADV_NE)$	FSMC_NEx变为低电平到FSMC_NADV变为低电平的间隔时间	-	2	ns
$t_w(NADV)$	FSMC_NADV为低电平的时间	-	T_{HCLK}	ns

1. $C_L=30pF$.
2. 通过特性分析确定, 未经生产测试。

图 54.异步非复用 SRAM/PSRAM/NOR 写操作波形+



1. 仅限模式2/B、C和D。在模式1中不使用FSMC_NADV。

表 74.异步非复用 SRAM/PSRAM/NOR 写操作时序 (1) (2)

符号	参数	最小值	最大值	单位
$t_w(\text{NE})$	FSMC_NE为低电平的时间	$3T_{\text{HCLK}}$	$3T_{\text{HCLK}}+4$	ns
$t_v(\text{NWE_NE})$	FSMC_NEx变为低电平到FSMC_NWE变为低电平的间隔时间	$T_{\text{HCLK}}-0.5$	$T_{\text{HCLK}}+0.5$	ns
$t_w(\text{NWE})$	FSMC_NWE为低电平的时间	$T_{\text{HCLK}}-1$	$T_{\text{HCLK}}+2$	ns
$t_h(\text{NE_NWE})$	FSMC_NWE变为高电平到FSMC_NE变为高电平的保持时间	$T_{\text{HCLK}}-1$	-	ns
$t_v(\text{A_NE})$	FSMC_NEx变为低电平到FSMC_A有效的间隔时间	-	0	ns
$t_h(\text{A_NWE})$	FSMC_NWE变为高电平后的地址保持时间	$T_{\text{HCLK}}-2$	-	ns
$t_v(\text{BL_NE})$	FSMC_NEx变为低电平到FSMC_BL有效的间隔时间	-	1.5	ns
$t_h(\text{BL_NWE})$	FSMC_NWE变为高电平后FSMC_BL的保持时间	$T_{\text{HCLK}}-1$	-	ns
$t_v(\text{Data_NE})$	数据到FSMC_NEx变为低电平到数据有效	-	$T_{\text{HCLK}}+3$	ns
$t_h(\text{Data_NWE})$	FSMC_NWE变为高电平后的数据保持时间	$T_{\text{HCLK}}-1$	-	ns
$t_v(\text{NADV_NE})$	FSMC_NEx变为低电平到FSMC_NADV变为低电平的间隔时间	-	2	ns
$t_w(\text{NADV})$	FSMC_NADV为低电平的时间	-	$T_{\text{HCLK}}+0.5$	ns

1. $C_L=30\text{pF}$.
2. 通过特性分析确定, 未经生产测试。

图 55.异步复用 PSRAM/NOR 读操作波形

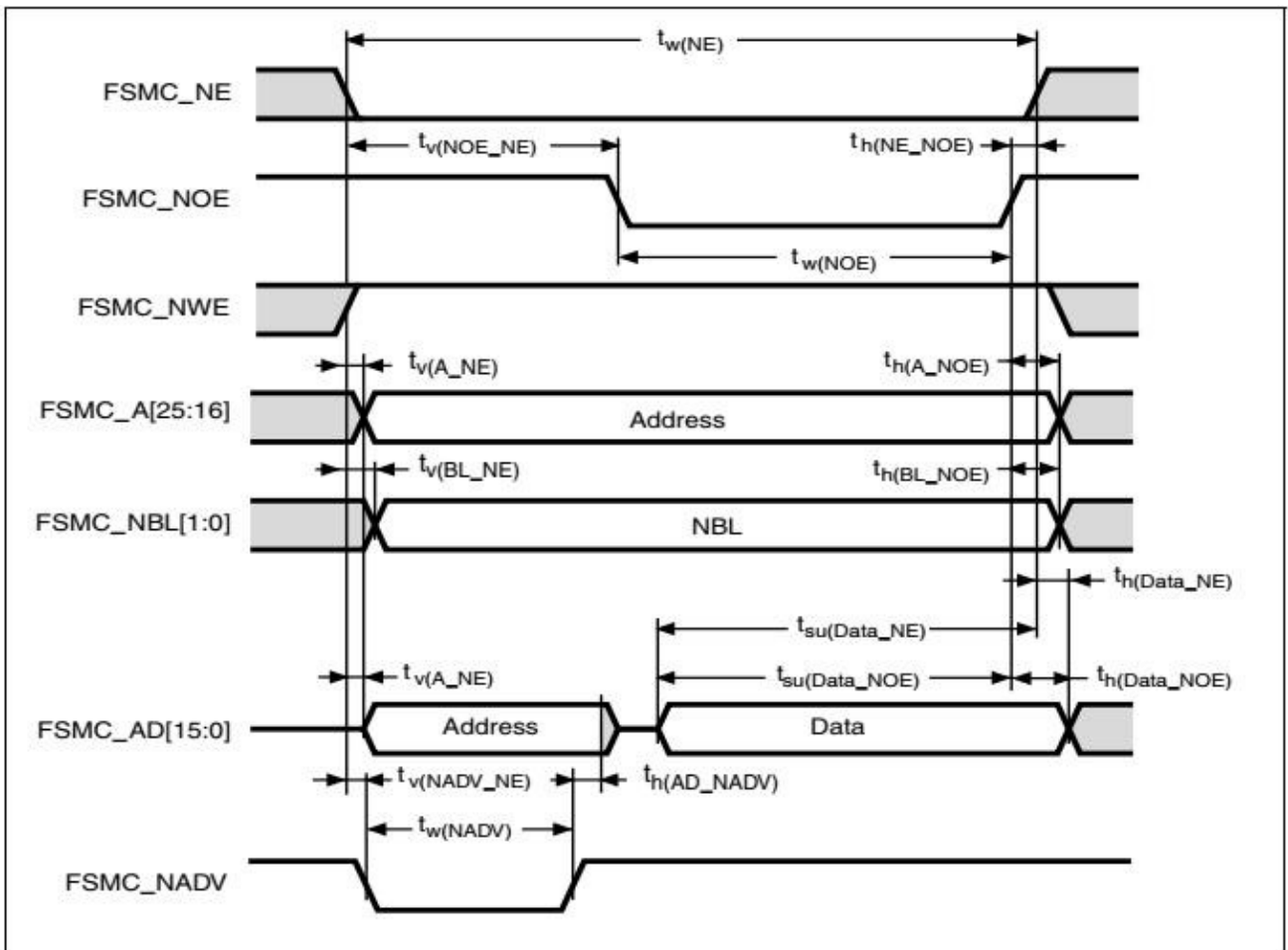


表 75.异步复用 PSRAM/NOR 读操作时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_w(\text{NE})$	FSMC_NE为低电平的时间	$3T_{\text{HCLK}}-1$	$3T_{\text{HCLK}}+1$	ns
$t_v(\text{NOE_NE})$	FSMC_NEx变为低电平到FSMC_NOE变为低电平的间隔时间	$2T_{\text{HCLK}}-0.5$	$2T_{\text{HCLK}}+0.5$	ns
$t_w(\text{NOE})$	FSMC_NOE为低电平的时间	$T_{\text{HCLK}}-1$	$T_{\text{HCLK}}+1$	ns
$t_h(\text{NE_NOE})$	FSMC_NOE变为高电平到FSMC_NE变为高电平的保持时间	0	-	ns
$t_v(\text{A_NE})$	FSMC_NEx变为低电平到FSMC_A有效的间隔时间	-	3	ns
$t_v(\text{NADV_NE})$	FSMC_NEx变为低电平到FSMC_NADV变为低电平的间隔时间	1	2	ns
$t_w(\text{NADV})$	FSMC_NADV为低电平的时间	$T_{\text{HCLK}}-2$	$T_{\text{HCLK}}+1$	ns
$t_h(\text{AD_NADV})$	FSMC_NADV变为高电平后FSMC_AD（地址）有效的保持时间	T_{HCLK}	-	ns
$t_h(\text{A_NOE})$	FSMC_NOE变为高电平后的地址保持时间	$T_{\text{HCLK}}-1$	-	ns
$t_h(\text{BL_NOE})$	FSMC_NOE变为高电平后FSMC_BL的时间	0	-	ns
$t_v(\text{BL_NE})$	FSMC_NEx变为低电平到FSMC_BL有效的间隔时间	-	2	ns
$t_{su}(\text{Data_NE})$	FSMC_NEx变为高电平前的数据建立时间	$T_{\text{HCLK}}+4$	-	ns
$t_{su}(\text{Data_NOE})$	FSMC_NOE变为高电平前的数据建立时间	$T_{\text{HCLK}}+4$	-	ns
$t_h(\text{Data_NE})$	FSMC_NEx变为高电平后的数据保持时间	0	-	ns
$t_h(\text{Data_NOE})$	FSMC_NOE变为高电平后的数据保持时间	0	-	ns

1. $C_L=30\text{pF}$.

2. 通过特性分析确定，未经生产测试。

图 56.异步复用 PSRAM/NOR 写操作波形

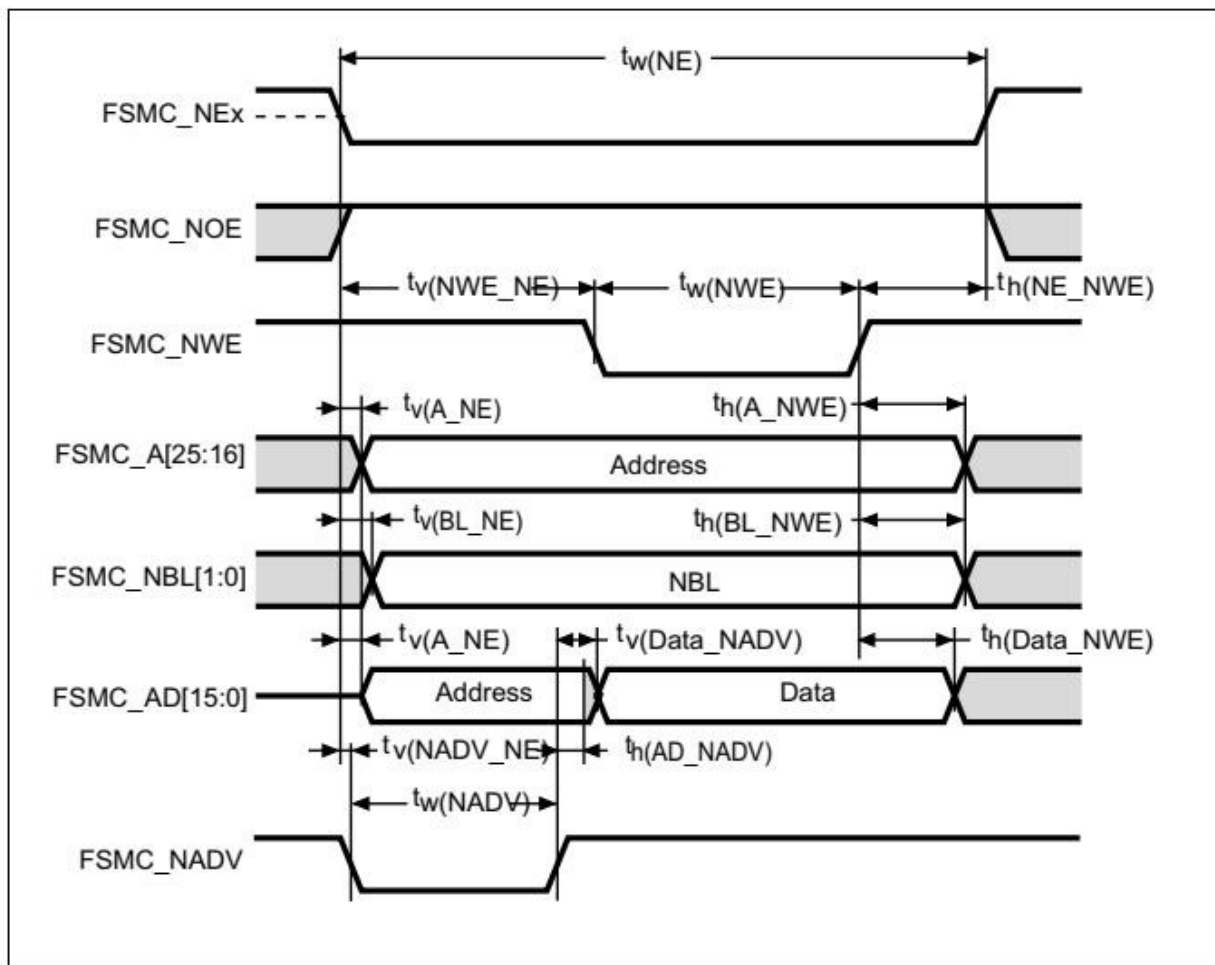


表 76.异步复用 PSRAM/NOR 写操作时序 (1) (2)

符号	参数	最小值	最大值	单位
$t_w(\text{NE})$	FSMC_NE为低电平的时间	$4T_{\text{HCLK}}-0.5$	$4T_{\text{HCLK}}+3$	ns
$t_v(\text{NWE_NE})$	FSMC_NEx变为低电平到FSMC_NWE变为低电平的间隔时间	$T_{\text{HCLK}}-0.5$	$T_{\text{HCLK}}-0.5$	ns
$t_w(\text{NWE})$	FSMC_NWE为低电平的时间	$2T_{\text{HCLK}}-0.5$	$2T_{\text{HCLK}}+3$	ns
$t_h(\text{NE_NWE})$	FSMC_NWE变为高电平到FSMC_NE变为高电平的保持时间	T_{HCLK}	-	ns
$t_v(\text{A_NE})$	FSMC_NEx变为低电平到FSMC_A有效的间隔时间	-	0	ns
$t_v(\text{NADV_NE})$	FSMC_NEx变为低电平到FSMC_NADV变为低电平的间隔时间	1	2	ns
$t_w(\text{NADV})$	FSMC_NADV为低电平的时间	$T_{\text{HCLK}}-2$	$T_{\text{HCLK}}+1$	ns
$t_h(\text{AD_NADV})$	FSMC_NADV变为高电平后FSMC_AD (地址) 有效的保持时间	$T_{\text{HCLK}}-2$	-	ns
$t_h(\text{A_NWE})$	FSMC_NWE变为高电平后的地址保持时间	T_{HCLK}	-	ns
$t_h(\text{BL_NWE})$	FSMC_NWE变为高电平后FSMC_BL的保持时间	$T_{\text{HCLK}}-2$	-	ns
$t_v(\text{BL_NE})$	FSMC_NEx变为低电平到FSMC_BL有效的间隔时间	-	1.5	ns
$t_v(\text{Data_NADV})$	FSMC_NADV变为高电平到数据有效的间隔时间	-	$T_{\text{HCLK}}-0.5$	ns
$t_h(\text{Data_NWE})$	FSMC_NWE变为高电平后的数据保持时间	T_{HCLK}	-	ns

1. $C_L=30\text{pF}$.

2. 通过特性分析确定, 未经生产测试。

同步波形和时序

图57 到图60 所示为同步波形, 表77 到表80 则给出了相应的时序。这些表格中的结果在如下FSMC配置条件下获得:

- BurstAccessMode = FSMC_BurstAccessMode_Enable;
- MemoryType = FSMC_MemoryType_CRAM;
- WriteBurst = FSMC_WriteBurst_Enable;
- CLKDivision=1;(不支持0, 请参见AST32F407XG参考手册)
- 使用NORFlash时, DataLatency=1; 使用PSRAM时, DataLatency=0

在所有时序表中, T_{HCLK} 为 HCLK 时钟周期 (最大 FSMC_CLK=60MHz)。

图 57. 同步复用 NOR/PSRAM 读操作时序

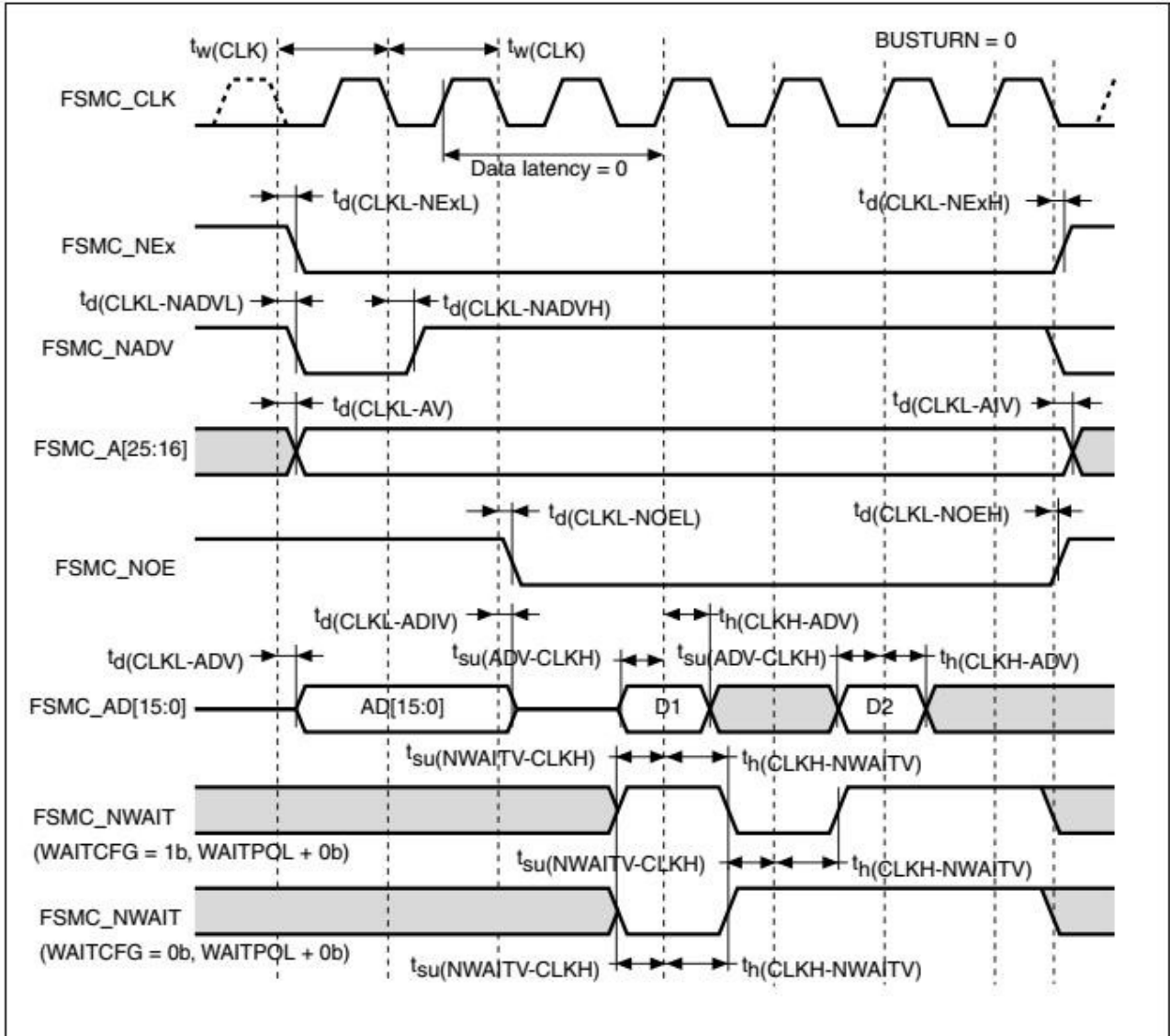


表 77. 同步复用 NOR/PSRAM 读操作时序(1)(2)

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FSMC_CLK周期	$2T_{\text{HCLK}}$	-	ns
$t_d(\text{CLKL-NExL})$	FSMC_CLK变为低电平到FSMC_NEx变为低电平的间隔时间(x=0...2)	-	0	ns
$t_d(\text{CLKL-NExH})$	FSMC_CLK变为低电平到FSMC_NEx变为高电平的间隔时间(x=0...2)	2	-	ns
$t_d(\text{CLKL-NADVL})$	FSMC_CLK变为低电平到FSMC_NADV变为低电平的间隔时间	-	2	ns
$t_d(\text{CLKL-NADVH})$	FSMC_CLK变为低电平到FSMC_NADV变为高电平的间隔时间	2	-	ns
$t_d(\text{CLKL-AV})$	FSMC_CLK变为低电平到FSMC_Ax有效的间隔时间(x=16...25)	-	0	ns
$t_d(\text{CLKL-AIV})$	FSMC_CLK变为低电平到FSMC_Ax无效的间隔时间(x=16...25)	0	-	ns
$t_d(\text{CLKL-NOEL})$	FSMC_CLK变为低电平到FSMC_NOE变为低电平的间隔时间	-	0	ns
$t_d(\text{CLKL-NOEH})$	FSMC_CLK变为低电平到FSMC_NOE变为高电平的间隔时间	2	-	ns
$t_d(\text{CLKL-ADV})$	FSMC_CLK变为低电平到FSMC_AD[15:0]有效的间隔时间	-	4.5	ns
$t_d(\text{CLKL-ADIV})$	FSMC_CLK变为低电平到FSMC_AD[15:0]无效的间隔时间	0	-	ns
$t_{su}(\text{ADV-CLKH})$	FSMC_CLK变为高电平前FSMC_A/D[15:0]数据有效的间隔时间	6	-	ns
$t_h(\text{CLKH-ADV})$	FSMC_CLK变为高电平后FSMC_A/D[15:0]数据有效的间隔时间	0	-	ns
$t_{su}(\text{NWAITV-CLKH})$	FSMC_CLK变为高电平前FSMC_NWAIT有效的间隔时间	4	-	ns
$t_h(\text{CLKH-NWAITV})$	FSMC_CLK变为高电平后FSMC_NWAIT有效的间隔时间	0	-	ns

1. $C_L=30\text{pF}$.

2. 通过特性分析确定, 未经生产测试。

图 58.同步复用 PSRAM 写操作时序

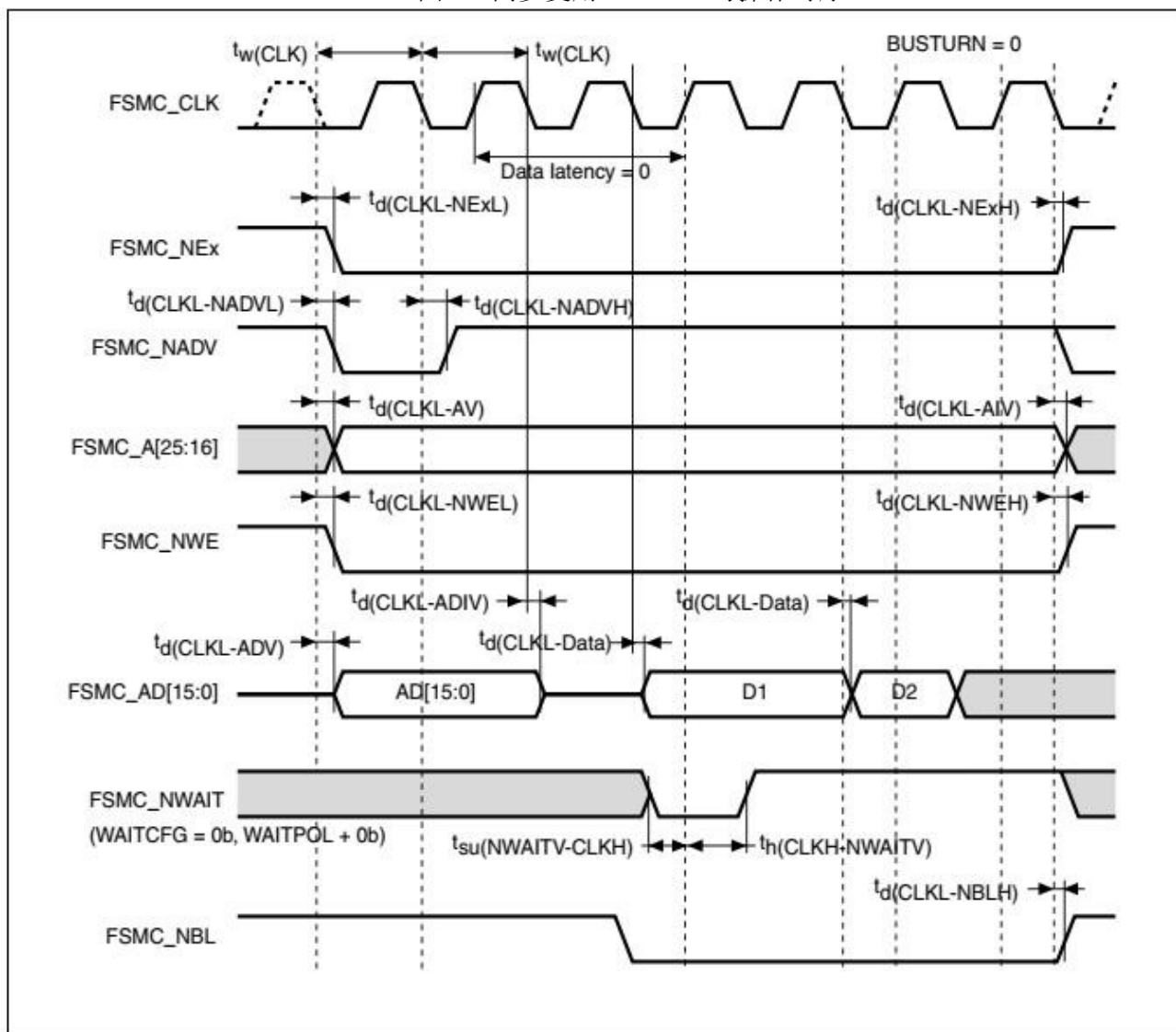


表 78.同步复用 PSRAM 写操作时序(1)(2)

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FSMC_CLK周期	$2T_{\text{HCLK}}$	-	ns
$t_d(\text{CLKL-NExL})$	FSMC_CLK变为低电平到FSMC_NEx变为低电平的间隔时间(x=0...2)	-	1	ns
$t_d(\text{CLKL-NExH})$	FSMC_CLK变为低电平到FSMC_NEx变为高电平的间隔时间(x=0...2)	1	-	ns
$t_d(\text{CLKL-NADVL})$	FSMC_CLK变为低电平到FSMC_NADV变为低电平的间隔时间	-	0	ns
$t_d(\text{CLKL-NADVH})$	FSMC_CLK变为低电平到FSMC_NADV变为高电平的间隔时间	0	-	ns
$t_d(\text{CLKL-AV})$	FSMC_CLK变为低电平到FSMC_Ax有效的间隔时间(x=16...25)	-	0	ns
$t_d(\text{CLKL-AIV})$	FSMC_CLK变为低电平到FSMC_Ax无效的间隔时间(x=16...25)	8	-	ns
$t_d(\text{CLKL-NWEL})$	FSMC_CLK变为低电平到FSMC_NWE变为低电平的间隔时间	-	0.5	ns
$t_d(\text{CLKL-NWEH})$	FSMC_CLK变为低电平到FSMC_NWE变为高电平的间隔时间	0	-	ns
$t_d(\text{CLKL-ADIV})$	FSMC_CLK变为低电平到FSMC_AD[15:0]无效的间隔时间	0	-	ns
$t_d(\text{CLKL-DATA})$	FSMC_CLK变为低电平后FSMC_AD[15:0]数据有效的间隔时间	-	3	ns
$t_d(\text{CLKL-NBLH})$	FSMC_CLK变为低电平到FSMC_NBL变为高电平的间隔时间	0	-	ns
$t_{su}(\text{NWAITV-CLKH})$	FSMC_CLK变为高电平前FSMC_NWAIT有效的间隔时间	4	-	ns
$t_h(\text{CLKH-NWAITV})$	FSMC_CLK变为高电平后FSMC_NWAIT有效的间隔时间	0	-	ns

1. $C_L=30\text{pF}$.

2. 通过特性分析确定，未经生产测试。

图 59.同步非复用 NOR/PSRAM 读操作时序

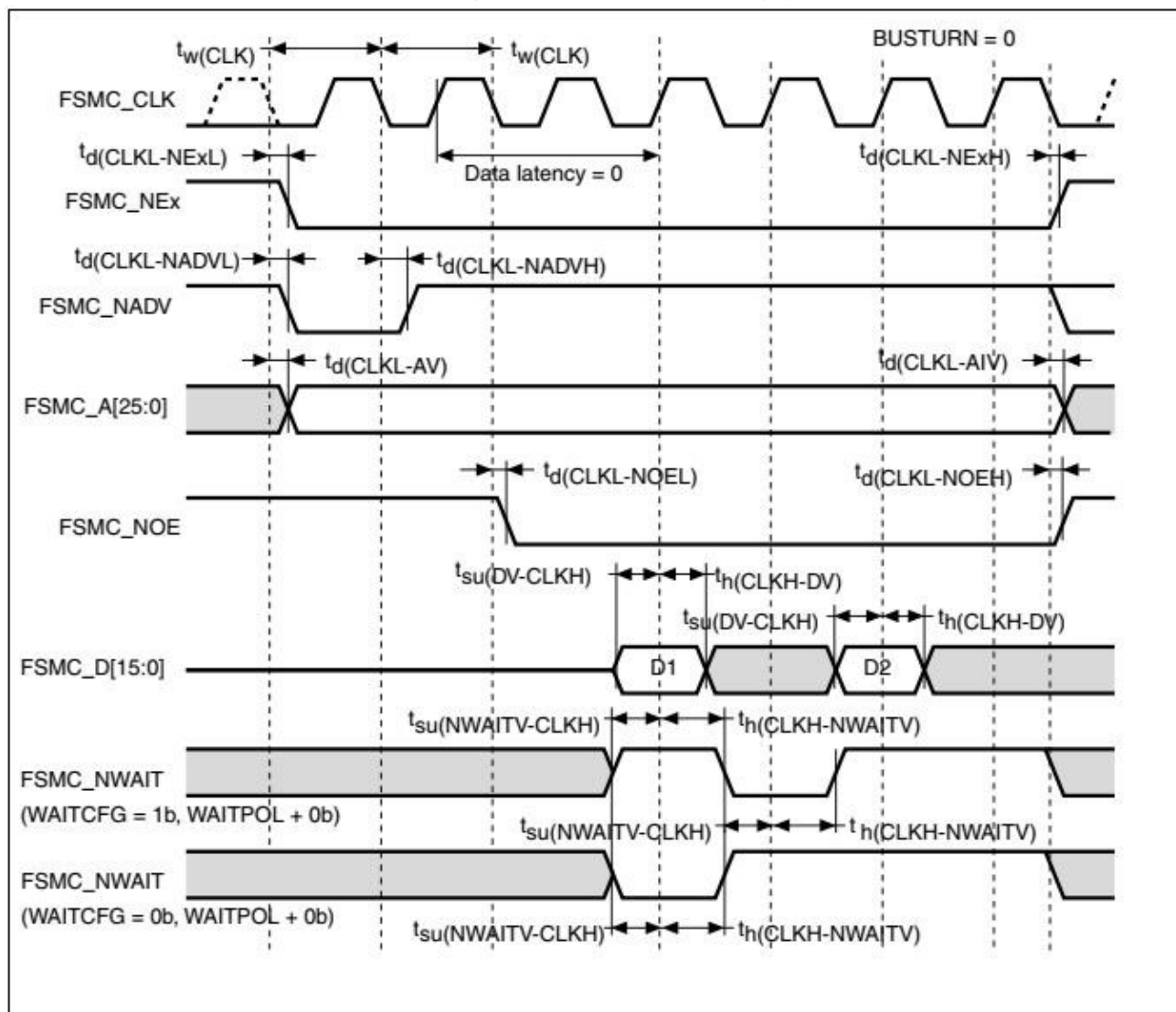


表 79.同步非复用 NOR/PSRAM 读操作时序(1)(2)

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FSMC_CLK周期	$2T_{\text{HCLK}}-0.5$	-	ns
$t_d(\text{CLKL-NExL})$	FSMC_CLK变为低电平到FSMC_NEx变为低电平的间隔时间(x=0...2)	-	0.5	ns
$t_d(\text{CLKL-NExH})$	FSMC_CLK变为低电平到FSMC_NEx变为高电平的间隔时间(x=0...2)	0	-	ns
$t_d(\text{CLKL-NADV})$	FSMC_CLK变为低电平到FSMC_NADV变为低电平的间隔时间	-	2	ns
$t_d(\text{CLKL-NADVH})$	FSMC_CLK变为低电平到FSMC_NADV变为高电平的间隔时间	3	-	ns
$t_d(\text{CLKL-AV})$	FSMC_CLK变为低电平到FSMC_Ax有效的间隔时间(x=16...25)	-	0	ns
$t_d(\text{CLKL-AIV})$	FSMC_CLK变为低电平到FSMC_Ax无效的间隔时间(x=16...25)	2	-	ns
$t_d(\text{CLKL-NOEL})$	FSMC_CLK变为低电平到FSMC_NOE变为低电平的间隔时间	-	0.5	ns
$t_d(\text{CLKL-NOEH})$	FSMC_CLK变为低电平到FSMC_NOE变为高电平的间隔时间	1.5	-	ns
$t_{su}(\text{DV-CLKH})$	FSMC_CLK变为高电平前FSMC_D[15:0]数据有效的间隔时间	6	-	ns
$t_h(\text{CLKH-DV})$	FSMC_CLK变为高电平后FSMC_D[15:0]数据有效的间隔时间	3	-	ns
$t_{su}(\text{NWAITV-CLKH})$	FSMC_CLK变为高电平前FSMC_NWAIT有效的间隔时间	4	-	ns
$t_h(\text{CLKH-NWAITV})$	FSMC_CLK变为高电平后FSMC_NWAIT有效的间隔时间	0	-	ns

1. $C_L=30\text{pF}$.

2. 通过特性分析确定, 未经生产测试。

图 60.同步非复用 PSRAM 写操作时序

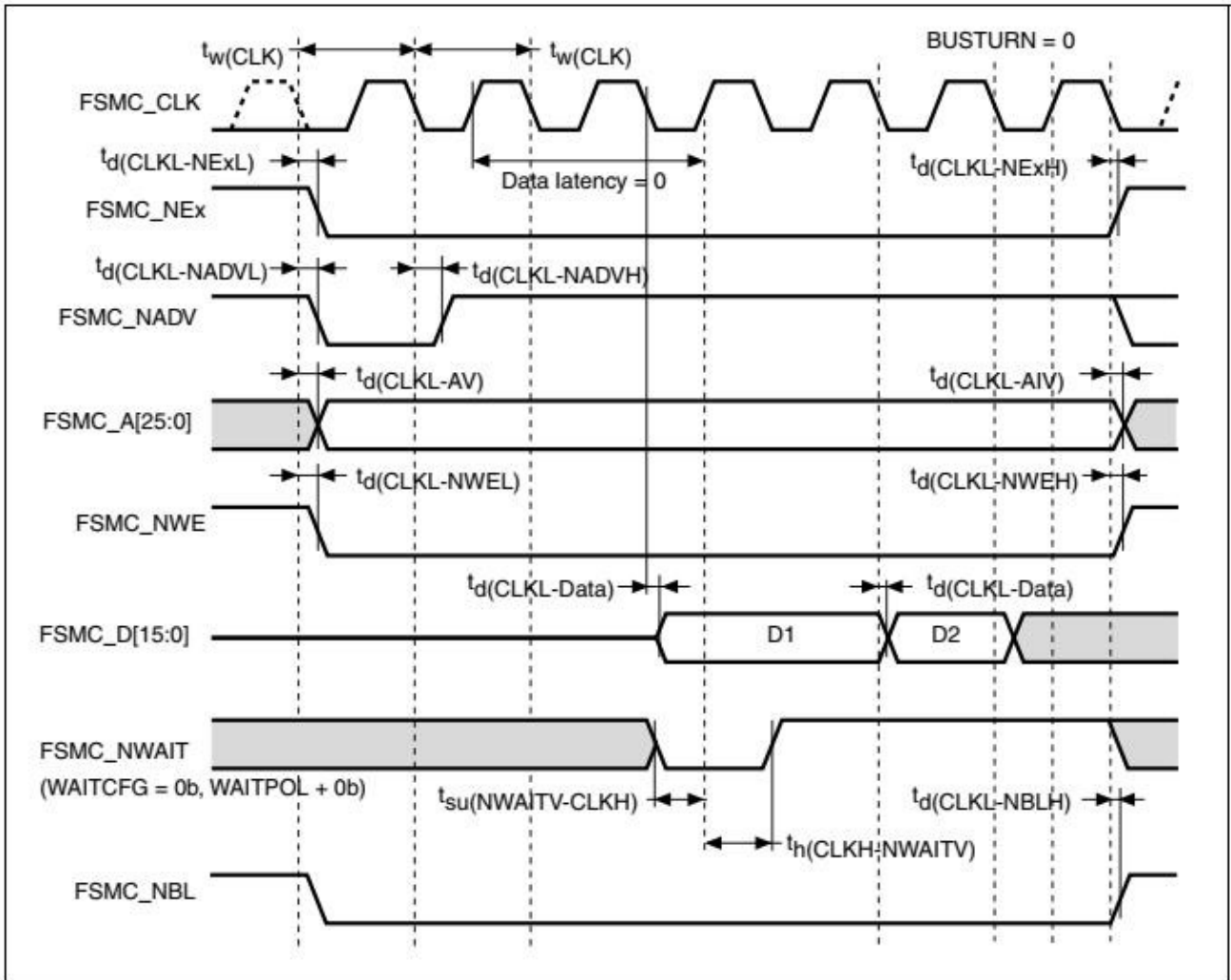


表 80.同步非复用 PSRAM 写操作时序(1)(2)

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FSMC_CLK周期	$2T_{\text{HCLK}}$	-	ns
$t_d(\text{CLKL-NExL})$	FSMC_CLK变为低电平到FSMC_NEx变为低电平的间隔时间(x=0...2)	-	1	ns
$t_d(\text{CLKL-NExH})$	FSMC_CLK变为低电平到FSMC_NEx变为高电平的间隔时间(x=0...2)	1	-	ns
$t_d(\text{CLKL-NADVl})$	FSMC_CLK变为低电平到FSMC_NADV变为低电平的间隔时间	-	7	ns
$t_d(\text{CLKL-NADVh})$	FSMC_CLK变为低电平到FSMC_NADV变为高电平的间隔时间	6	-	ns
$t_d(\text{CLKL-AV})$	FSMC_CLK变为低电平到FSMC_Ax有效的间隔时间 (x=16...25)	-	0	ns
$t_d(\text{CLKL-AIV})$	FSMC_CLK变为低电平到FSMC_Ax无效的间隔时间 (x=16...25)	6	-	ns
$t_d(\text{CLKL-NWEL})$	FSMC_CLK变为低电平到FSMC_NWE变为低电平的间隔时间	-	1	ns
$t_d(\text{CLKL-NWEH})$	FSMC_CLK变为低电平到FSMC_NWE变为高电平的间隔时间	2	-	ns
$t_d(\text{CLKL-Data})$	FSMC_CLK变为低电平后FSMC_D[15:0]数据有效的间隔时间	-	3	ns
$t_d(\text{CLKL-NBLH})$	FSMC_CLK变为低电平到FSMC_NBL变为高电平的间隔时间	3	-	ns
$t_{su}(\text{NWAIT-CLKH})$	FSMC_CLK变为高电平前FSMC_NWAIT有效的间隔时间	4	-	ns
$t_h(\text{CLKH-NWAIT})$	FSMC_CLK变为高电平后FSMC_NWAIT有效的间隔时间	0	-	ns

1. $C_L=30\text{pF}$.

2. 通过特性分析确定，未经生产测试。

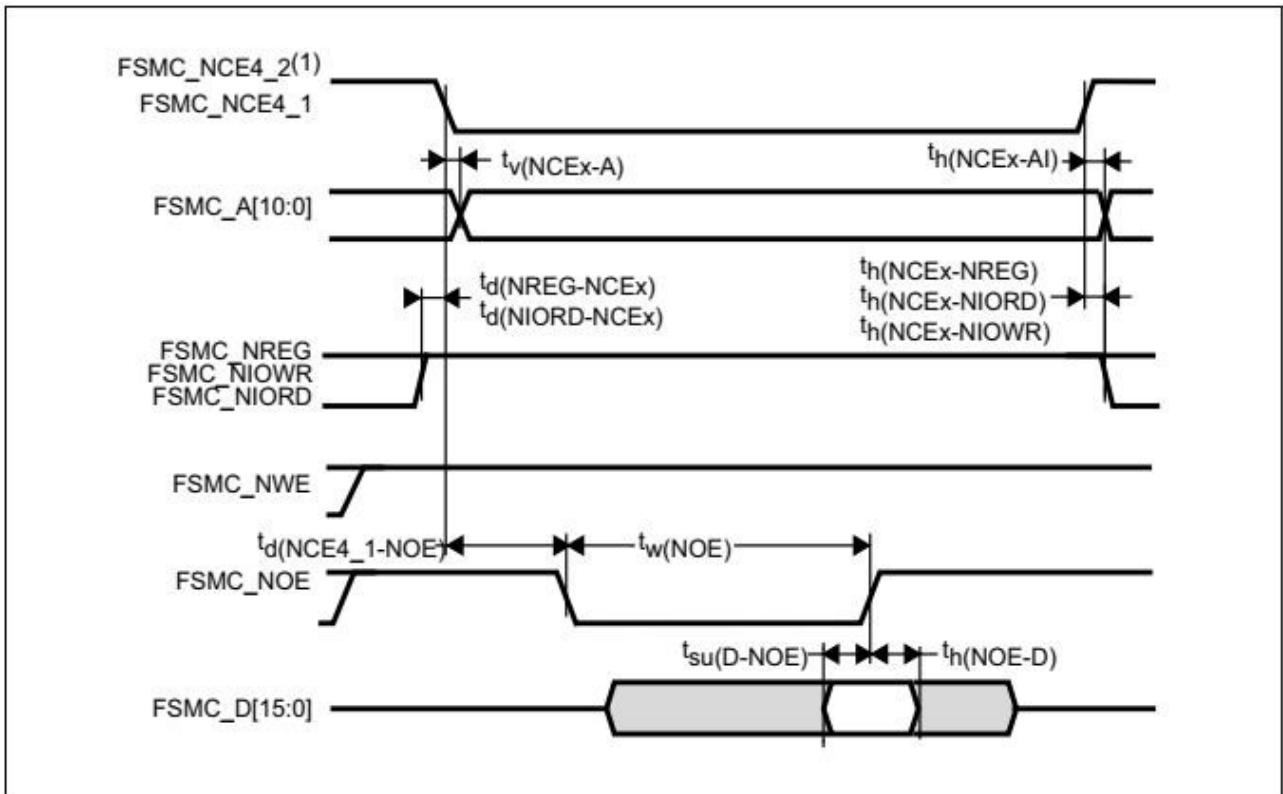
PC卡/CF卡控制器的波形和时序

图61 到图66 所示为同步波形，表81 和表82 则给出了相应的时序。该表格中的结果在如下 FSMC 配置条件下获得：

- COM.FSMC_SetupTime=0x04;
- COM.FSMC_WaitSetupTime=0x07;
- COM.FSMC_HoldSetupTime=0x04;
- COM.FSMC_HiZSetupTime=0x00;
- ATT.FSMC_SetupTime=0x04;
- ATT.FSMC_WaitSetupTime=0x07;
- ATT.FSMC_HoldSetupTime=0x04;
- ATT.FSMC_HiZSetupTime=0x00;
- IO.FSMC_SetupTime=0x04;
- IO.FSMC_WaitSetupTime=0x07;
- IO.FSMC_HoldSetupTime=0x04;
- IO.FSMC_HiZSetupTime=0x00;
- TCLRSetupTime=0;
- TARSetupTime=0.

在所有时序表中， T_{HCLK} 为HCLK时钟周期。

图 61.PC 卡/CF 卡控制器的通用存储器读访问波形



1. FSMC_NCE4_2保持高电平（8位访问期间无效）。

图 62.PC 卡/CF 卡控制器的通用存储器写访问波形

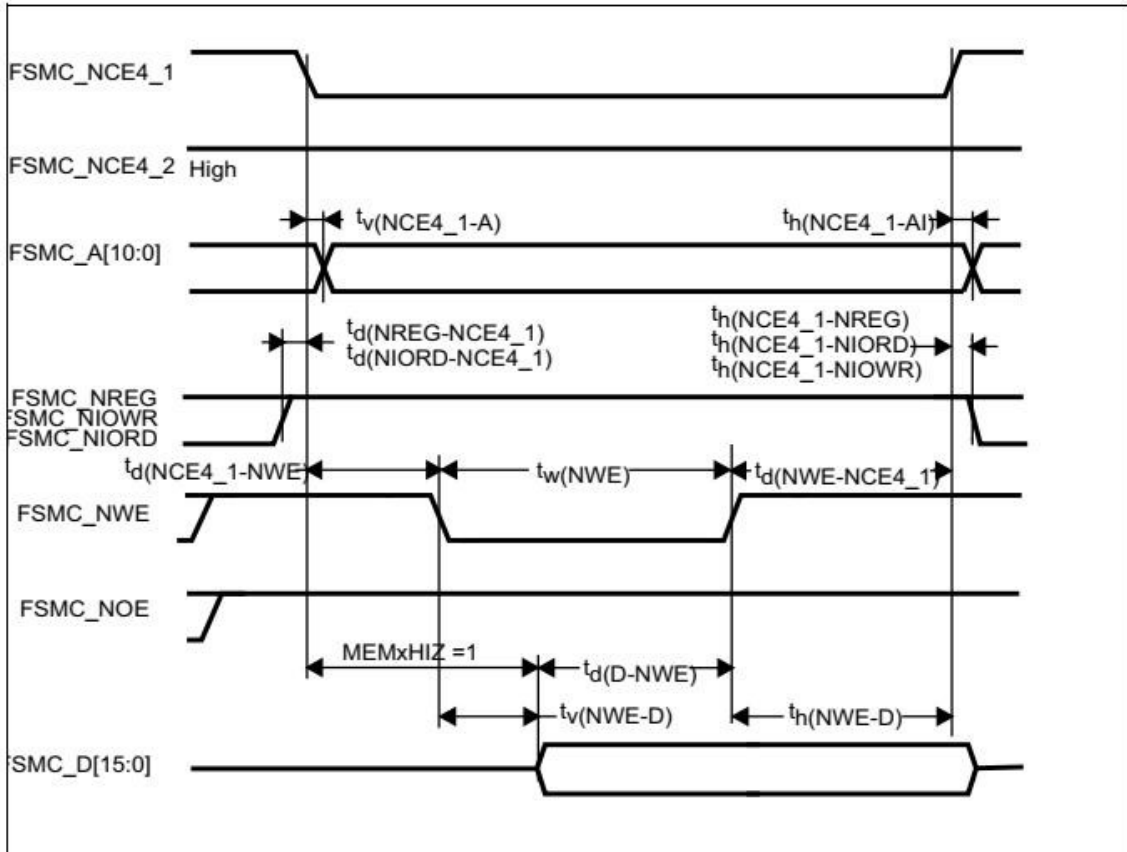
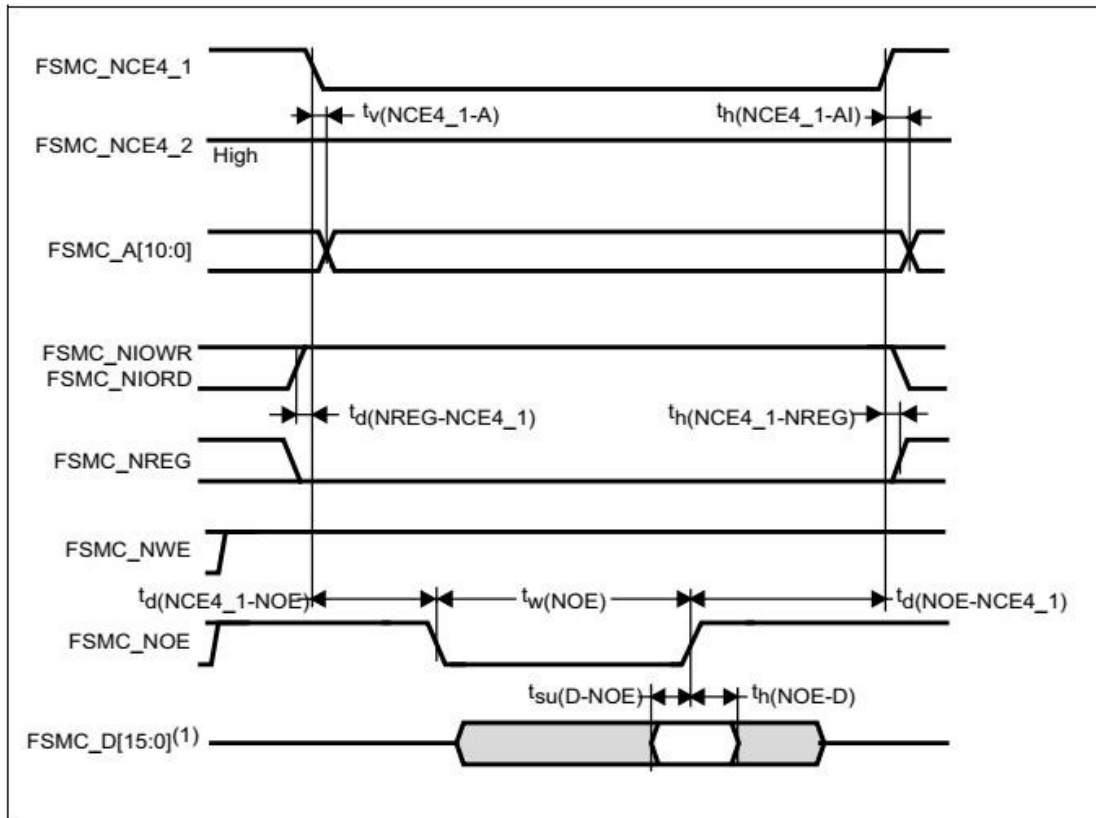
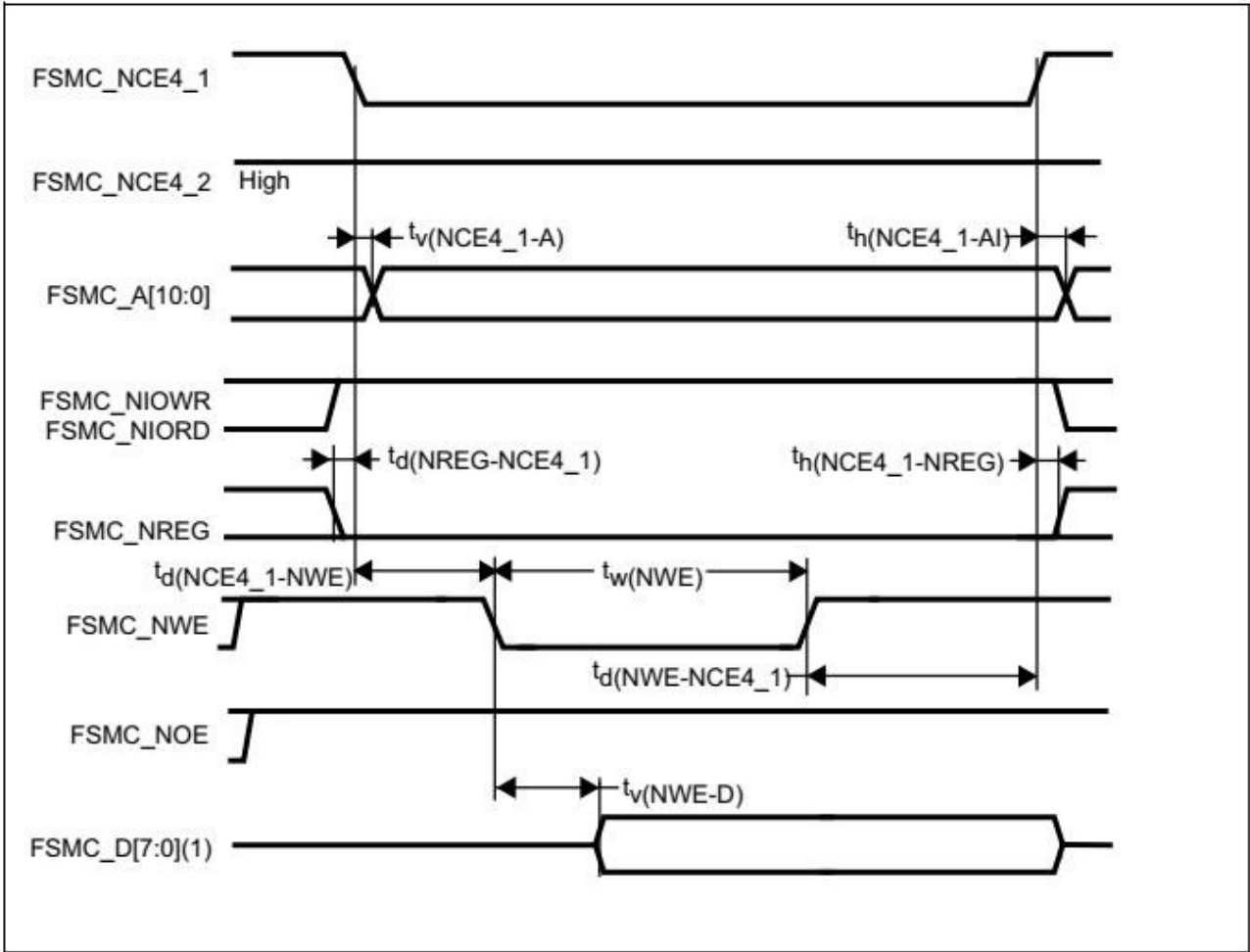


图 63.PC 卡/CF 卡控制器的波形-属性存储器读访问



1. 仅读取数据位0..7（忽略位8..15）。

图 64.PC 卡/CF 卡控制器的波形-属性存储器写访问



1. 仅驱动数据位0...7（位8...15保持高阻状态）。

图 65.PC 卡/CF 卡控制器的 I/O 空间读访问波形

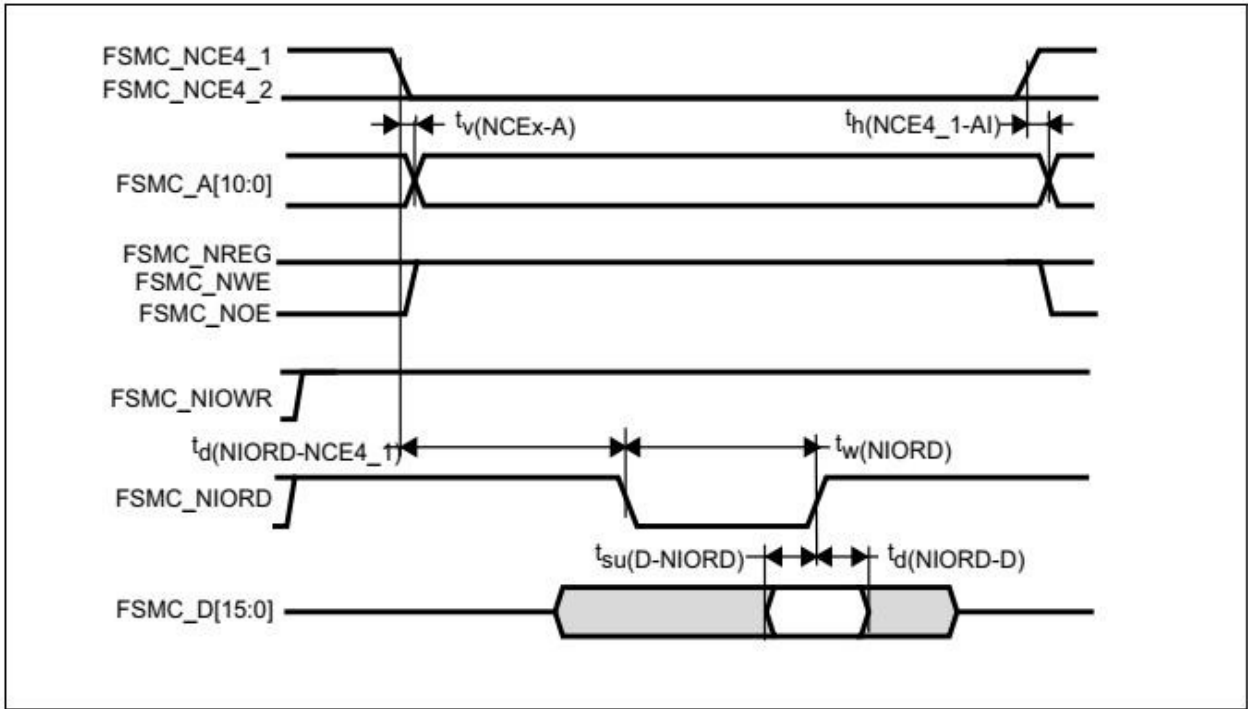


图 66.PC 卡/CF 控制器的 I/O 空间写访问波形

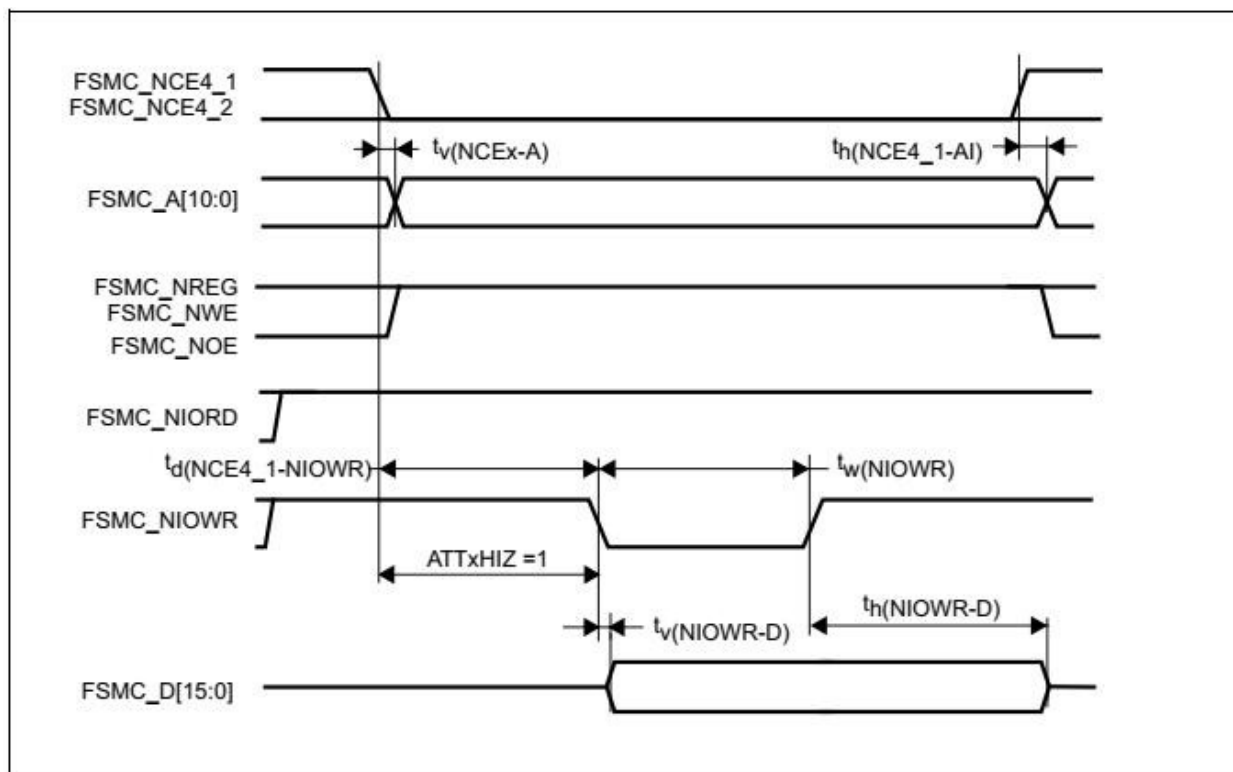


表 81.PC 卡/CF 读写周期的开关特性-在属性/通用空间中(1)(2)

符号	参数	最小值	最大值	单位
$t_{v(NCEx-A)}$	FSMC_Ncex变为低电平到FSMC_Ay有效的间隔时间	-	0	ns
$t_{h(NCEx-AI)}$	FSMC_NCEx变为高电平到FSMC_Ax无效的间隔时间	4	-	ns
$t_{d(NREG-NCEx)}$	FSMC_NCEx变为低电平到FSMC_NREG有效的间隔时间	-	3.5	ns
$t_{h(NCEx-NREG)}$	FSMC_NCEx变为高电平到FSMC_NREG无效的间隔时间	$T_{HCLK}+4$	-	ns
$t_{d(NCEx-NWE)}$	FSMC_NCEx变为低电平到FSMC_NWE变为低电平的间隔时间	-	$5T_{HCLK}+0.5$	ns
$t_{d(NCEx-NOE)}$	FSMC_NCEx变为低电平到FSMC_NOE变为低电平的间隔时间	-	$5T_{HCLK}+0.5$	ns
$t_w(NOE)$	FSMC_NOE为低电平的时间	$8T_{HCLK}-1$	$8T_{HCLK}+1$	ns
$t_{d(NOE-NCEx)}$	FSMC_NOE变为高电平到FSMC_NCEx变为高电平的间隔时间	$5T_{HCLK}+2.5$	-	ns
$t_{su(D-NOE)}$	FSMC_NOE变为高电平前FSMC_D[15:0]数据有效的间隔时间	4.5	-	ns
$t_{h(NOE-D)}$	FSMC_NOE变为高电平到FSMC_D[15:0]无效的间隔时间	3	-	ns
$t_w(NWE)$	FSMC_NWE为低电平的时间	$8T_{HCLK}-0.5$	$8T_{HCLK}+3$	ns
$t_{d(NWE-NCEx)}$	FSMC_NWE变为高电平到FSMC_NCEx变为高电平的间隔时间	$5T_{HCLK}-1$	-	ns
$t_{d(NCEx-NWE)}$	FSMC_NCEx变为低电平到FSMC_NWE变为低电平的间隔时间	-	$5T_{HCLK}+1$	ns
$t_{v(NWE-D)}$	FSMC_NWE变为低电平到FSMC_D[15:0]有效的间隔时间	-	0	ns
$t_{h(NWE-D)}$	FSMC_NWE变为高电平到FSMC_D[15:0]无效的间隔时间	$8T_{HCLK}-1$	-	ns
$t_{d(D-NWE)}$	FSMC_NWE变为高电平前FSMC_D[15:0]有效的间隔时间	$13T_{HCLK}-1$	-	ns

1. $C_L=30pF$.

2. 通过特性分析确定, 未经生产测试。

表 82.PC 卡/CF 读写周期的开关特性-在 I/O 空间中 (1) (2)

符号	参数	最小值	最大值	单位
$t_w(\text{NIOWR})$	FSMC_NIOWR为低电平的时间	$8T_{\text{HCLK}}-1$	-	ns
$t_v(\text{NIOWR-D})$	FSMC_NIOWR变为低电平到FSMC_D[15:0]有效的间隔时间	-	$5 T_{\text{HCLK}}-1$	ns
$t_h(\text{NIOWR-D})$	FSMC_NIOWR变为高电平到FSMC_D[15:0]无效的间隔时间	$8T_{\text{HCLK}}-2$	-	ns
$t_d(\text{NCE4}_1\text{-NIOWR})$	FSMC_NCE4_1变为低电平到FSMC_NIOWR有效的间隔时间	-	$5 T_{\text{HCLK}} + 2.5$	ns
$t_h(\text{NCEx-NIOWR})$	FSMC_NCEx变为高电平到FSMC_NIOWR无效的间隔时间	$5T_{\text{HCLK}}-1.5$	-	ns
$t_d(\text{NIORD-NCEx})$	FSMC_NCEx变为低电平到FSMC_NIORD有效的间隔时间	-	$5 T_{\text{HCLK}} + 2$	ns
$t_h(\text{NCEx-NIORD})$	FSMC_NCEx变为高电平到FSMC_NIORD有效的间隔时间	$5 T_{\text{HCLK}}-1.5$	-	ns
$t_w(\text{NIORD})$	FSMC_NIORD为低电平的时间	$8T_{\text{HCLK}}-0.5$	-	ns
$t_{su}(\text{D-NIORD})$	FSMC_NIORD变为高电平前FSMC_D[15:0]有效的间隔时间	9	-	ns
$t_d(\text{NIORD-D})$	FSMC_NIORD变为高电平后FSMC_D[15:0]有效的间隔时间	0	-	ns

1. $C_L=30\text{pF}$.

2. 通过特性分析确定, 未经生产测试。

NAND控制器波形和时序

图67 到图70 所示为同步波形, 表83 和表84 则给出了相应的时序。该表格中的结果在如下 FSMC 配置条件下获得:

- COM.FSMC_SetupTime=0x01;
- COM.FSMC_WaitSetupTime=0x03;
- COM.FSMC_HoldSetupTime=0x02;
- COM.FSMC_HiZSetupTime=0x01;
- ATT.FSMC_SetupTime=0x01;
- ATT.FSMC_WaitSetupTime=0x03;
- ATT.FSMC_HoldSetupTime=0x02;
- ATT.FSMC_HiZSetupTime=0x01;
- Bank=FSMC_Bank_NAND;
- MemoryDataWidth=FSMC_MemoryDataWidth_16b;
- ECC=FSMC_ECC_Enable;
- ECCPageSize=FSMC_ECCPageSize_512Bytes;
- TCLRSetupTime=0;
- TARSetupTime=0;

在所有时序表中, T_{HCLK} 为 HCLK 时钟周期。

图 67. NAND 控制器的读访问波形

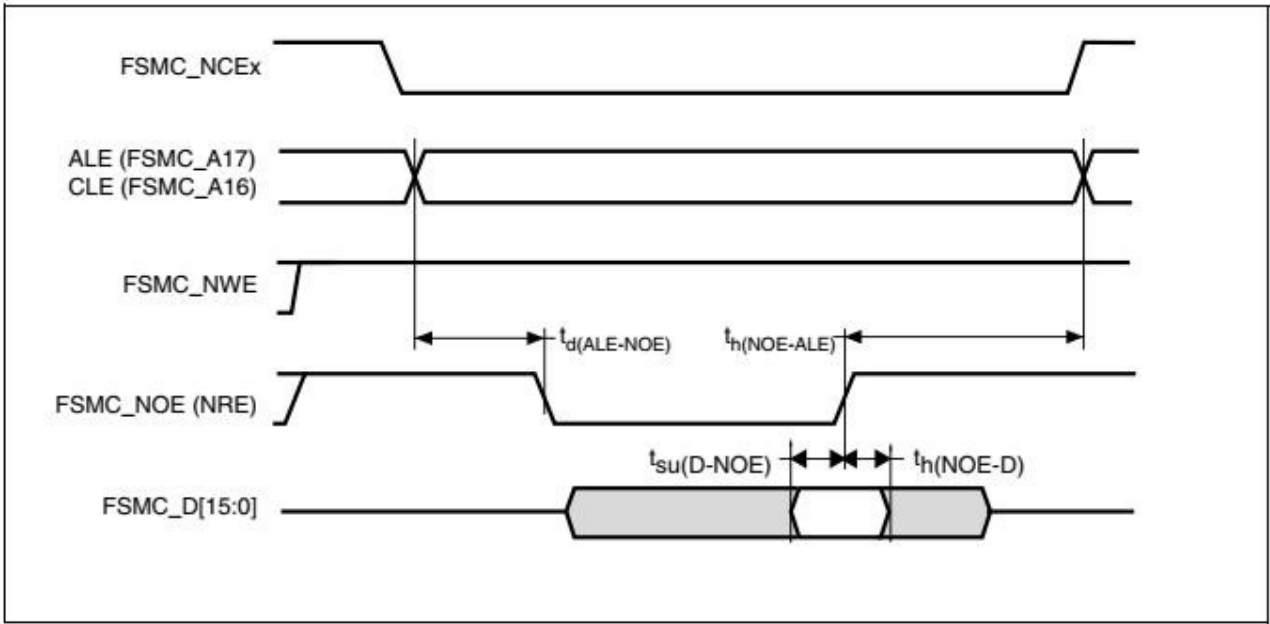


图 68. NAND 控制器的写访问波形

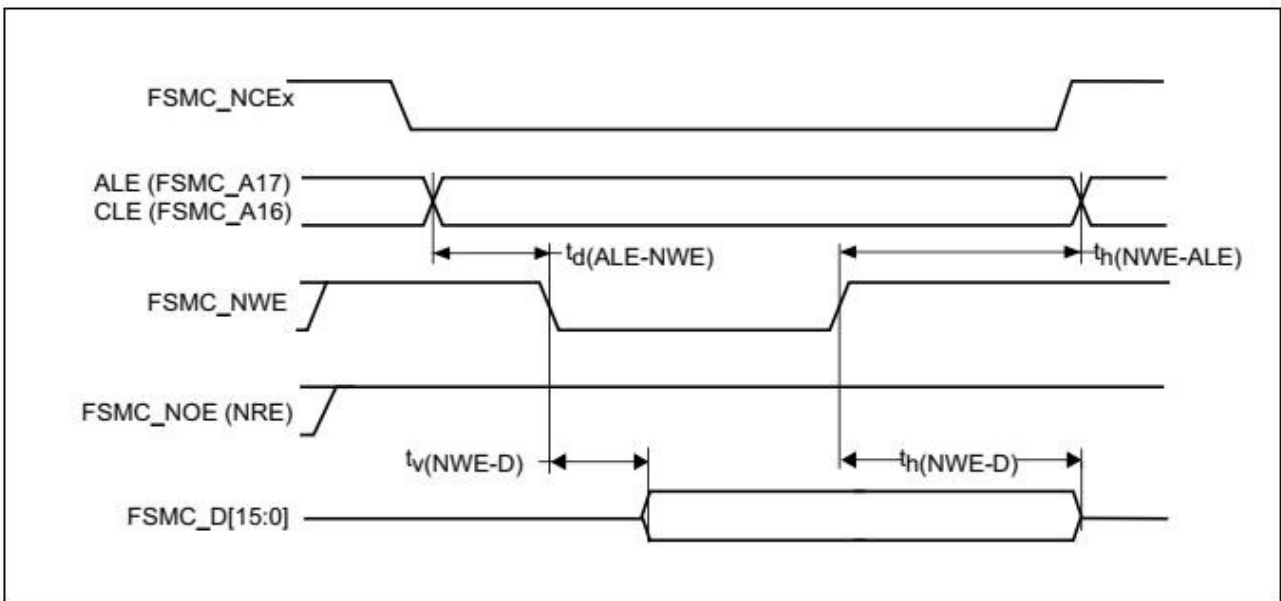


图 69.NAND 控制器的通用存储器读访问波形

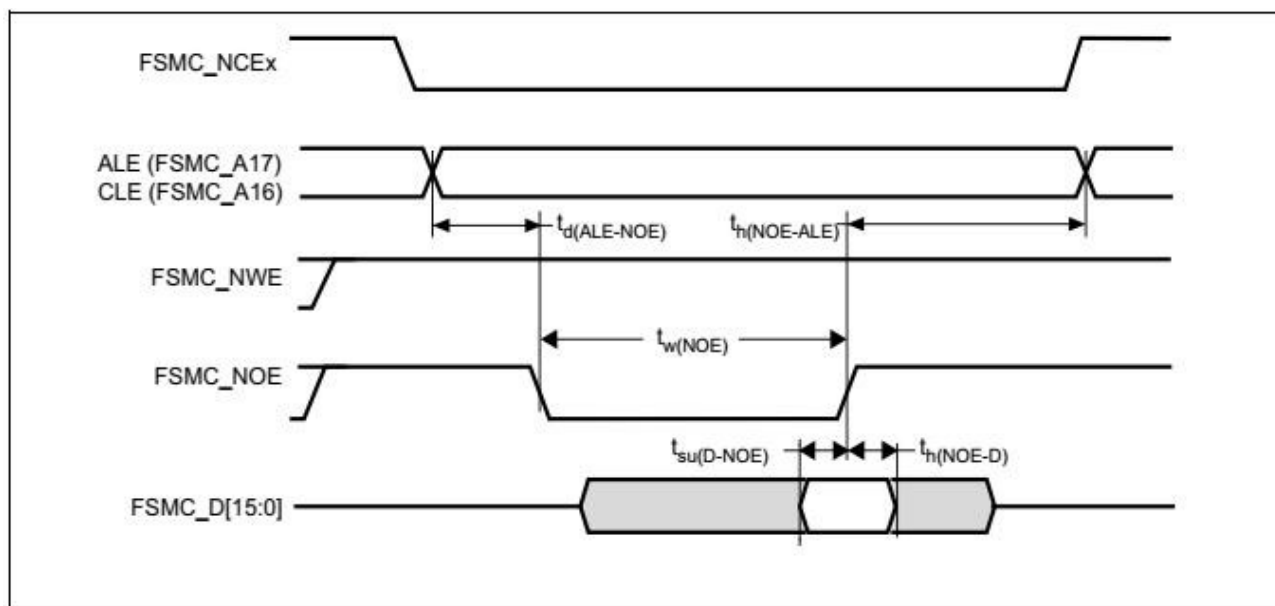


图 70.NAND 控制器的通用存储器写访问波形

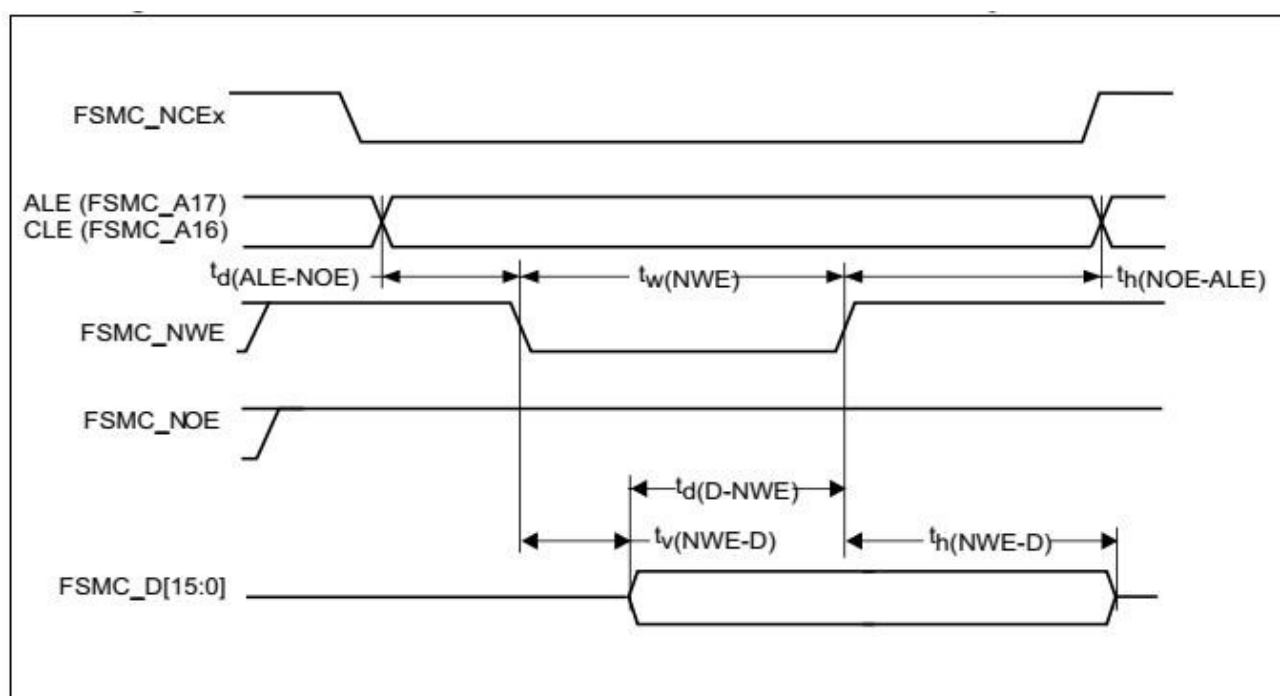


表 83.NAND Flash 读周期的开关特性

符号	参数	最小值	最大值	单位
$t_w(\text{NOE})$	FSMC_NOE为低电平的时间	$4T_{\text{HCLK}} - 0.5$	$4T_{\text{HCLK}} + 3$	ns
$t_{\text{su}}(\text{D-NOE})$	FSMC_NOE变为高电平前FSMC_D[15-0]数据有效的间隔时间	10	-	ns
$t_{\text{h}}(\text{NOE-D})$	FSMC_NOE变为高电平后FSMC_D[15-0]数据有效的间隔时间	0	-	ns
$t_{\text{d}}(\text{ALE-NOE})$	FSMC_NOE变为低电平前FSMC_ALE有效的间隔时间	-	$3T_{\text{HCLK}}$	ns
$t_{\text{h}}(\text{NOE-ALE})$	FSMC_NWE变为高电平到FSMC_ALE无效的间隔时间	$3T_{\text{HCLK}} - 2$	-	ns

1. $C_L=30\text{pF}$.

表 84.NAND Flash 写周期的开关特性

符号	参数	最小值	最大值	单位
$t_w(\text{NWE})$	FSMC_NWE为低电平的时间	$4T_{\text{HCLK}}-1$	$4T_{\text{HCLK}}+3$	ns
$t_v(\text{NWE-D})$	FSMC_NWE变为低电平到FSMC_D[15-0]有效的间隔时间	-	0	ns
$t_h(\text{NWE-D})$	FSMC_NWE变为高电平到FSMC_D[15-0]无效的间隔时间	$3T_{\text{HCLK}}-2$	-	ns
$t_d(\text{D-NWE})$	FSMC_NWE变为高电平前FSMC_D[15-0]有效的间隔时间	$5T_{\text{HCLK}}-3$	-	ns
$t_d(\text{ALE-NWE})$	FSMC_NWE变为低电平前FSMC_ALE有效的间隔时间	-	$3T_{\text{HCLK}}$	ns
$t_h(\text{NWE-ALE})$	FSMC_NWE变为高电平到FSMC_ALE无效的间隔时间	$3T_{\text{HCLK}}-2$	-	ns

1. $C_L=30\text{pF}$

5.3.27 摄像头接口 (DCMI) 时序规范

除非特别说明, 否则表85 中给出的 DCMI 参数均在表13 中汇总的环境温度、fHCLK 频率和 V_{DD} 电源电压条件下测试得出, 其配置如下:

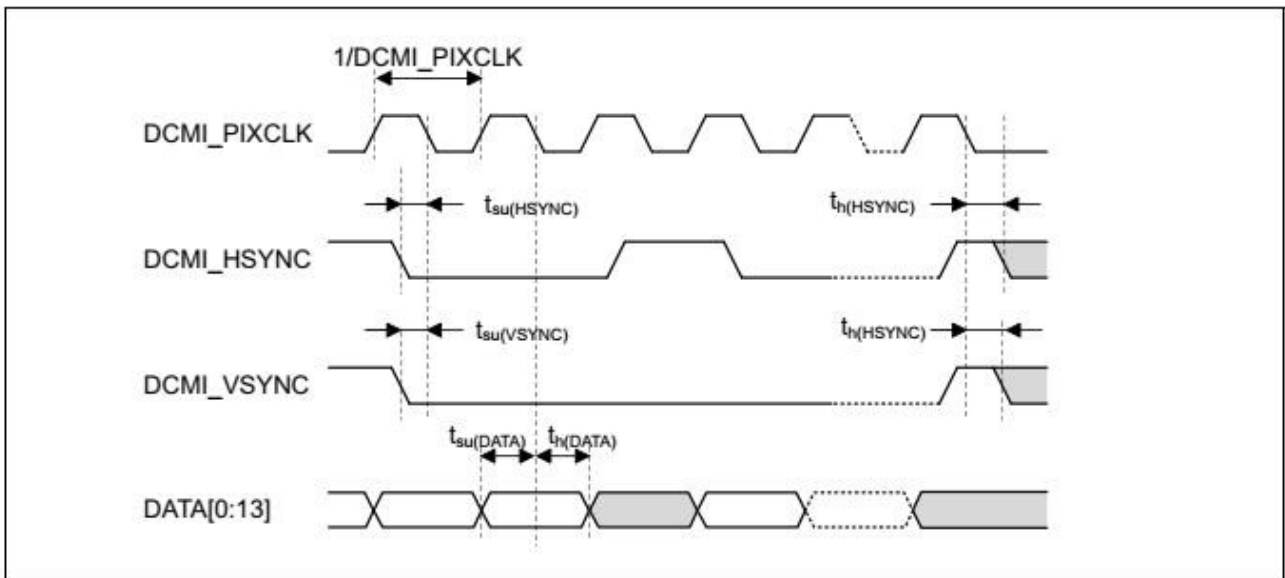
- DCMI_PCK 极性: 下降
- DCMI_VSYNC 和 DCMI_HSYNC 极性: 高
- 数据格式: 14位

表 85.DCMI 特性(1)

符号	参数	最小值	最大值	单位
	频率比DCMI_PIXCLK/fHCLK	-	0.4	
DCMI_PIXCLK	像素时钟输入	-	54	MHz
D _{pixel}	像素时钟输入占空比	30	70	%
t _{su} (DATA)	数据输入建立时间	2.5	-	ns
t _h (DATA)	数据输入保持时间	1	-	
t _{su} (HSYNC), t _{su} (VSYNC)	DCMI_HSYNC/DCMI_VSYNC输入建立时间	2	-	
t _h (HSYNC), t _h (VSYNC)	DCMI_HSYNC/DCMI_VSYNC输入保持时间	0.5	-	

1. 设计保证, 未经生产测试。

图 71.DCMI 时序图



5.3.28 SD/SDIO MMC卡主机接口(SDIO)特性

除非特别说明，否则表86中给出的SDIO/MMC接口参数均在表13中汇总的环境温度、 f_{PCLK2} 频率和 V_{DD} 电源电压条件下测试得出，其配置如下：

- 输出速度设为OSPEEDRy[1:0]=10容性
- 负载C=30pF
- 在CMOS电平为0.5 V_{DD} 时完成测量。

请参考第5.3.16 章节：I/O 端口特性以获取输入/输出特性的更详细信息。

图 72.SDIO 高速模式

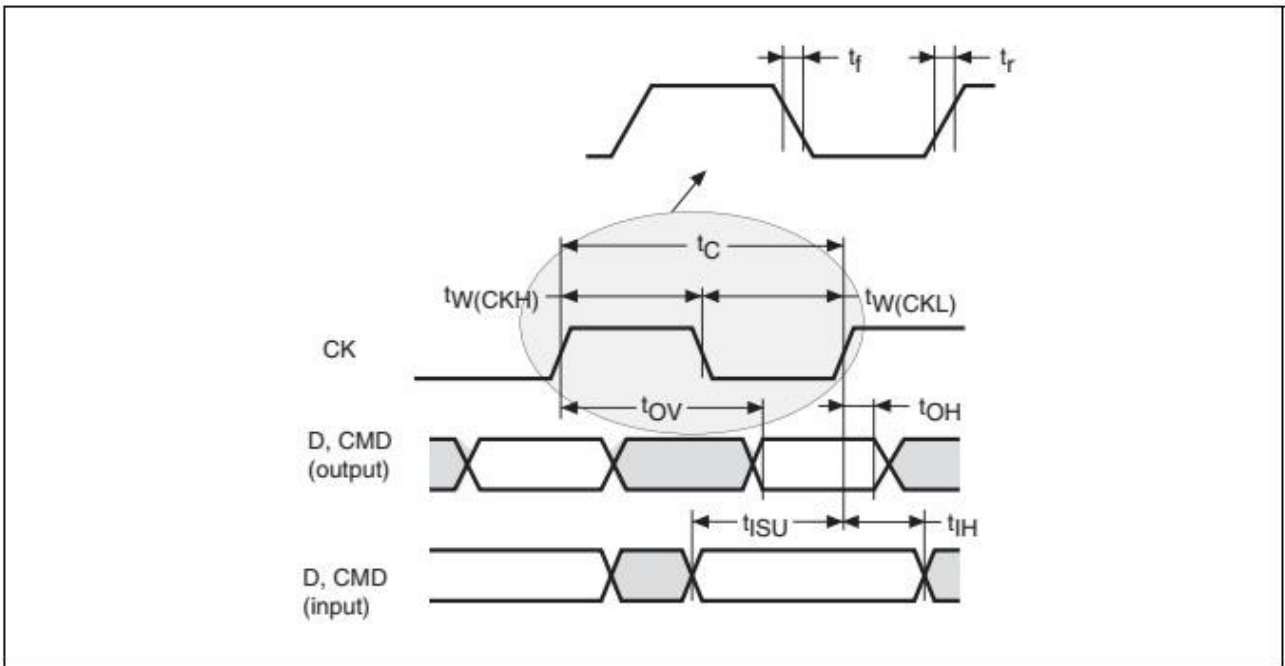


图 73. SD 默认模式

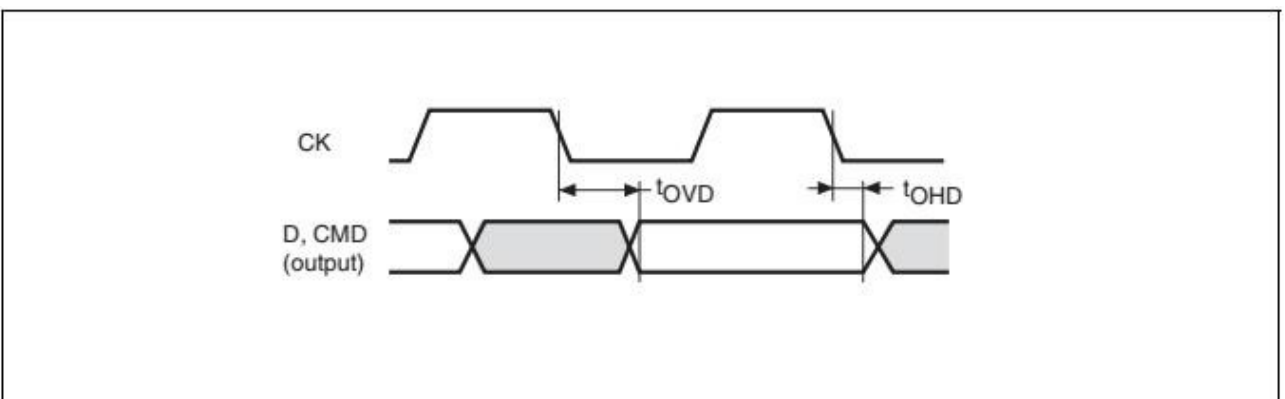


表 86.动态特性：SD/MMC 特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{PP}	数据传输模式下的时钟频率		0		48	MHz
	SDIO_CK/ f_{PCLK2} 频率比		-	-	8/3	-
$t_{W(CKL)}$	时钟低时间	$f_{PP}=48\text{MHz}$	8.5	9	-	ns
$t_{W(CKH)}$	时钟高时间	$f_{PP}=48\text{MHz}$	8.3	10	-	
MMC和SDHS模式下的CMD、D输入（以CK为基准）						
t_{ISU}	输入建立时间HS	$f_{PP}=48\text{MHz}$	3	-	-	ns
t_{IH}	输入保持时间HS	$f_{PP}=48\text{MHz}$	0	-	-	
MMC和SDHS模式下的CMD、D输出（以CK为基准）						
t_{OV}	输出有效时间HS	$f_{PP}=48\text{MHz}$	-	4.5	6	ns
t_{OH}	输出保持时间HS	$f_{PP}=48\text{MHz}$	1	-	-	
SD默认模式下的CMD、D输入（以CK为基准）						
t_{ISUD}	输入建立时间SD	$f_{PP}=24\text{MHz}$	1.5	-	-	ns
t_{IHD}	输入保持时间SD	$f_{PP}=24\text{MHz}$	0.5	-	-	
SD默认模式下的CMD、D输出（以CK为基准）						
t_{OVD}	输出有效默认时间SD	$f_{PP}=24\text{MHz}$	-	4.5	7	ns
t_{OHD}	输出保持默认时间SD	$f_{PP}=24\text{MHz}$	0.5	-	-	

1. 由特性分析结果保证，未经生产测试。

5.3.29 RTC特性

表 87.RTC 特性

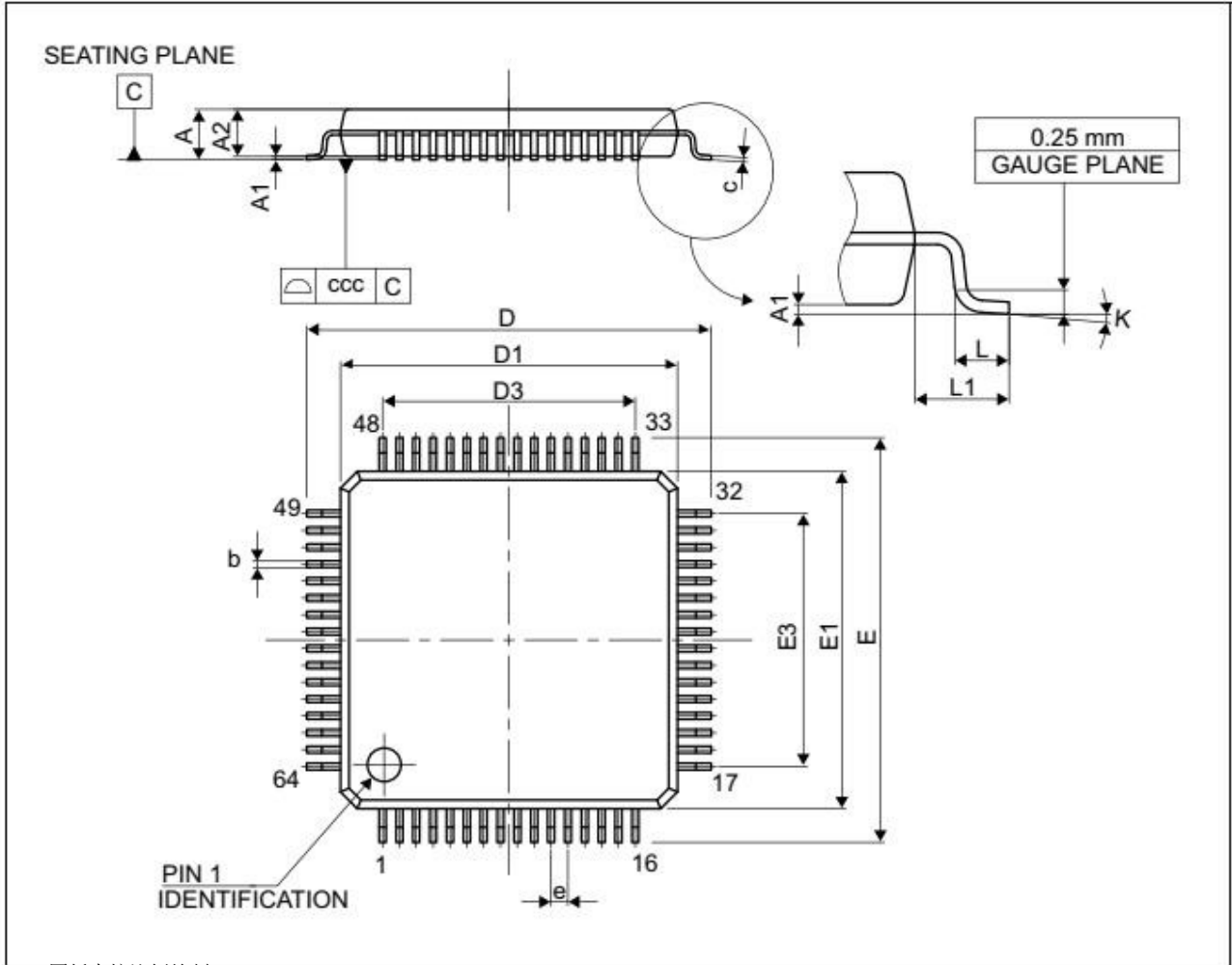
符号	参数	条件	最小值	最大值
-	f_{PCLK1}/RTCCLK 频率比	至RTC寄存器的任何读/写操作	4	-

6 封装信息

为满足环境要求，NS 为这些器件提供了不同等级的封装，具体取决于它们的环保合规等级。

6.1 LQFP64封装信息

图 74.LQFP64-64-pin, 10×10mm 引脚薄型正方扁平封装图



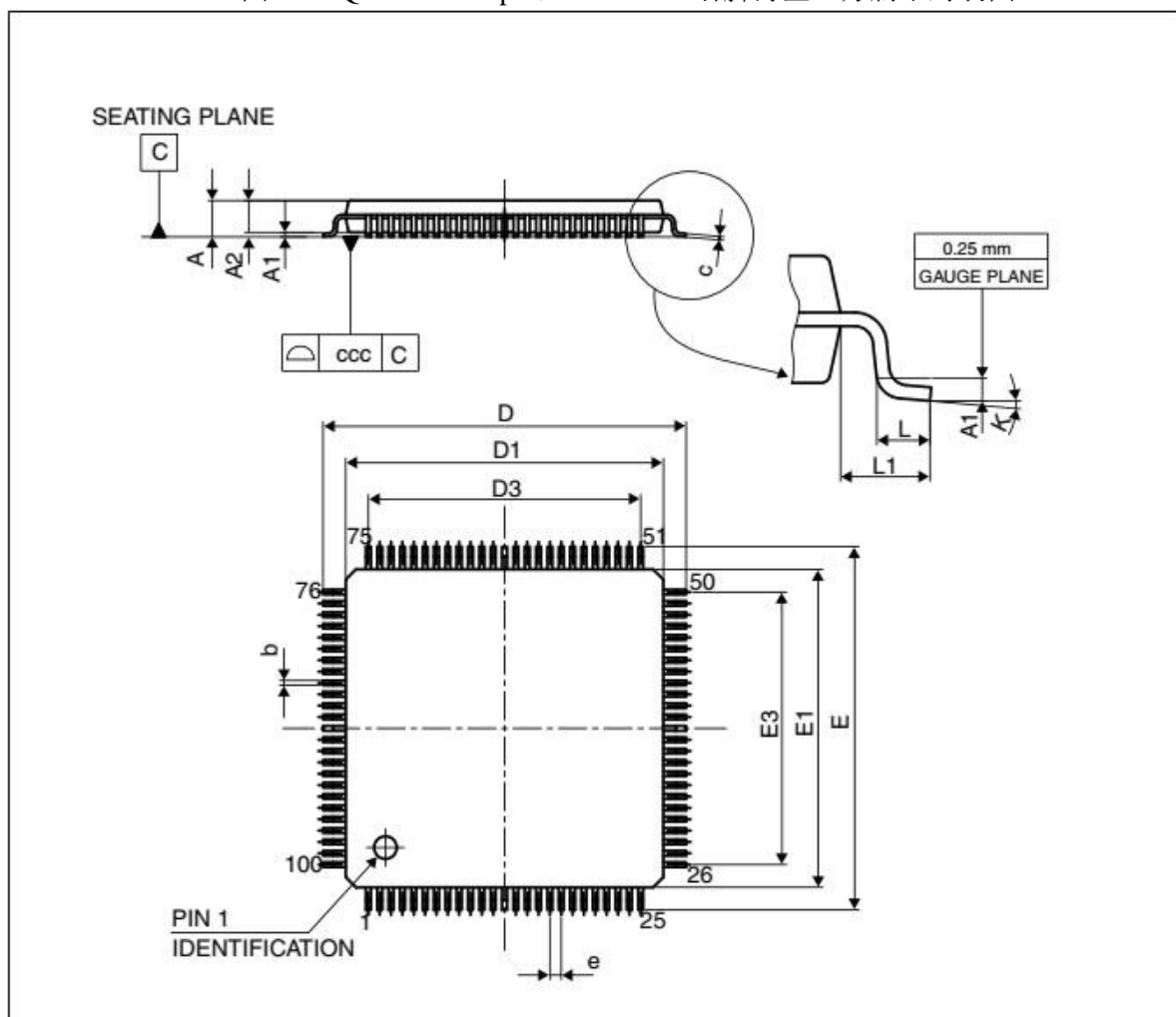
1. 图纸未按比例绘制。

表 88. LQFP64-64-pin10x10mm 引脚薄型正方扁平封装机械数据

符号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	-	12.000	-	-	0.4724	-
D1	-	10.000	-	-	0.3937	-
D3	-	7.500	-	-	0.2953	-
E	-	12.000	-	-	0.4724	-
E1	-	10.000	-	-	0.3937	-
E3	-	7.500	-	-	0.2953	-
e	-	0.500	-	-	0.0197	-
K	0°	3.5°	7°	0°	3.5°	7°
L	0.450	0.600	0.750	0.0177	0.0236	0.0295

6.2 LQFP100封装信息

图 76.LQFP100-100-pin, 14×14mm 引脚薄型正方扁平封装图



1. 图纸未按比例绘制。

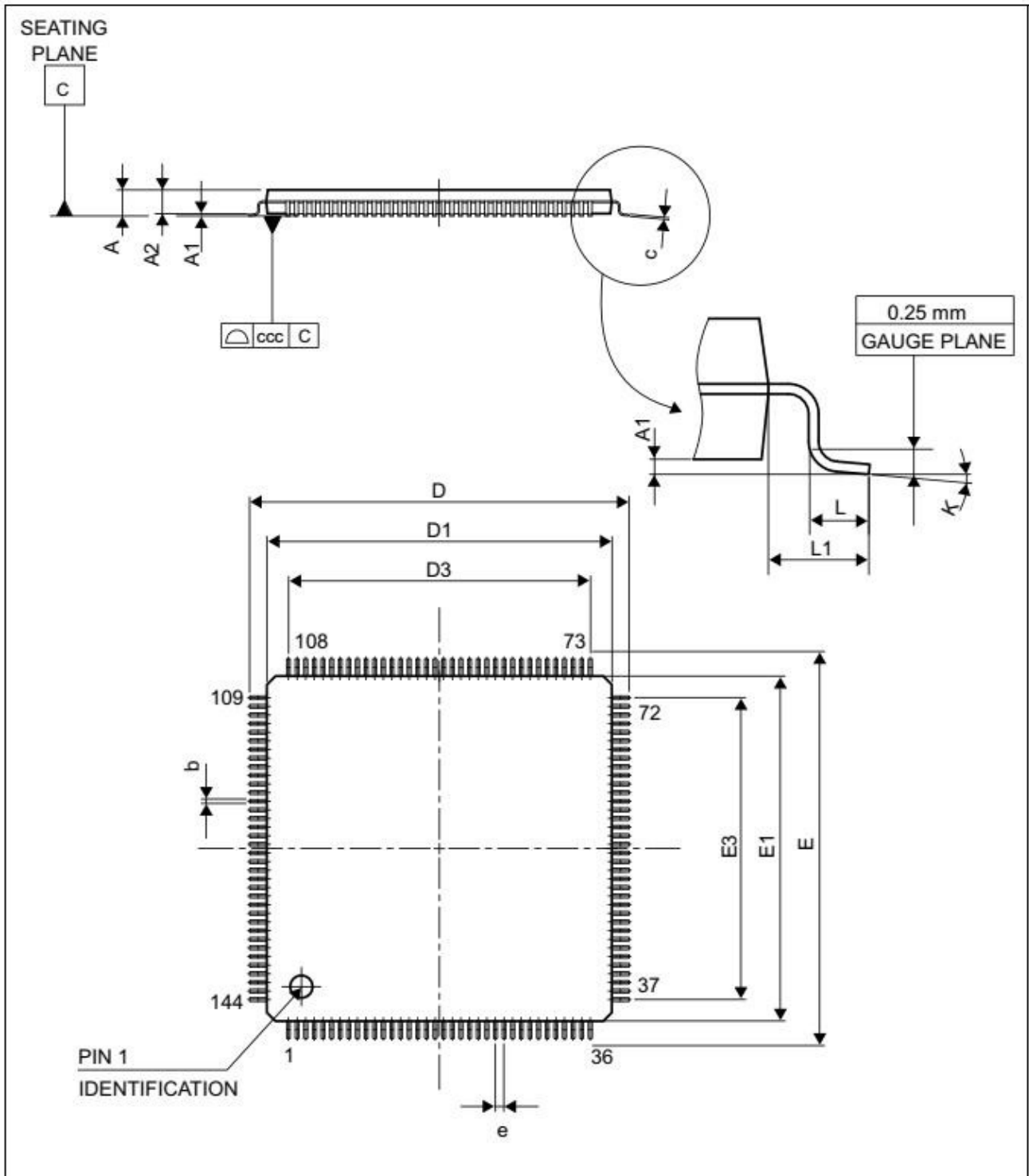
表 89.LQFP100-100-pin,14x14mm 引脚薄型正方扁平封装机械数据

符号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	15.800	16.000	16.200	0.6220	0.6299	0.6378
D1	13.800	14.000	14.200	0.5433	0.5512	0.5591
D3	-	12.000	-	-	0.4724	-
E	15.80	16.000	16.200	0.6220	0.6299	0.6378
E1	13.800	14.000	14.200	0.5433	0.5512	0.5591
E3	-	12.000	-	-	0.4724	-
e	-	0.500	-	-	0.0197	-
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
k	0°	3.5°	7°	0°	3.5°	7°
ccc	-	-	0.080	-	-	0.0031

1. 英寸值由毫米值换算而来，四舍五入至4位小数。

6.3 LQFP144封装信息

图 78. LQFP144-144-pin, 20×20mm 引脚薄型正方扁平封装图



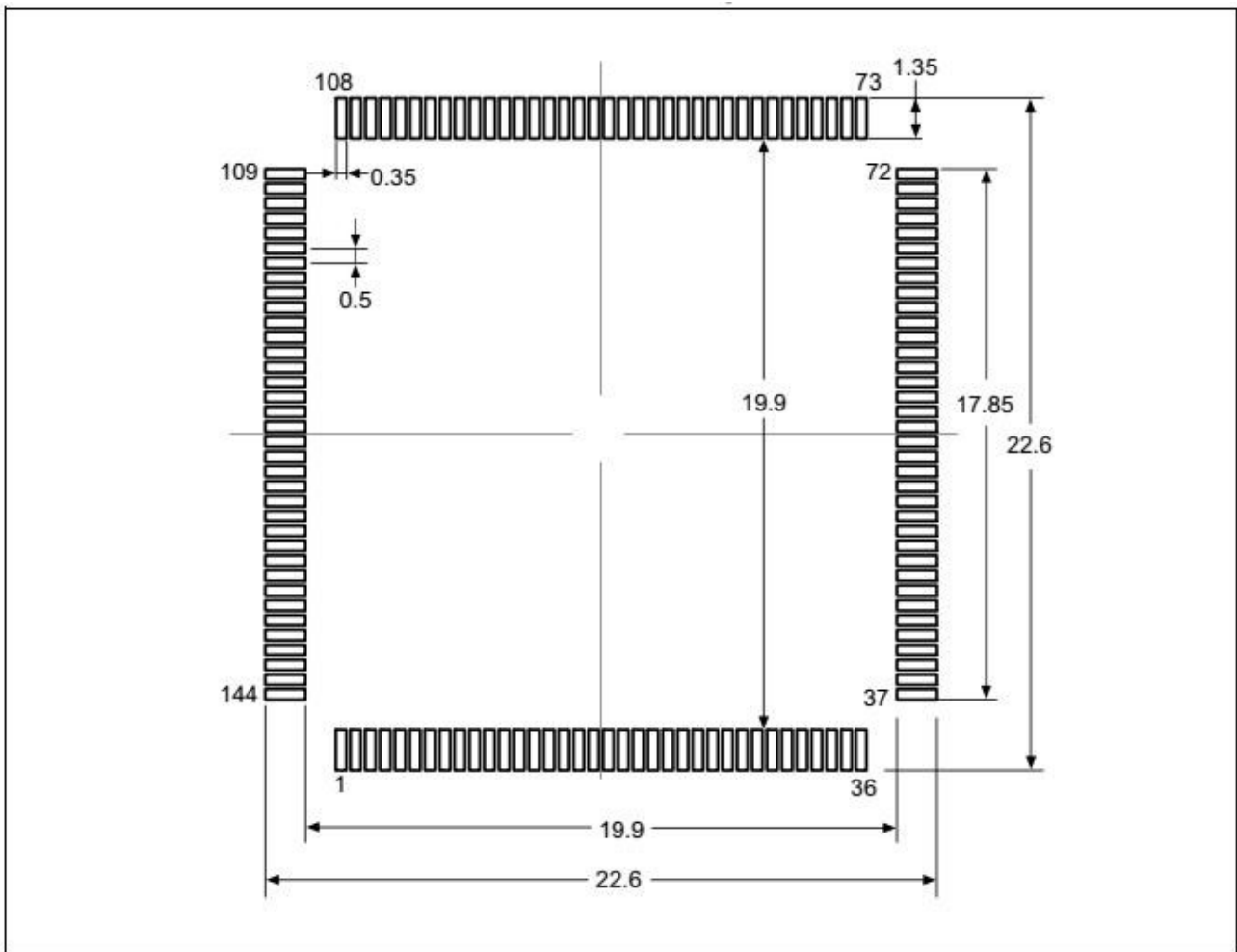
1. 图纸未按比例绘制。

表 90.LQFP144-144-pin,20x20mm 引脚薄型正方扁平封装机械数据

符号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	21.800	22.000	22.200	0.8583	0.8661	0.874
D1	19.800	20.000	20.200	0.7795	0.7874	0.7953
D3	-	17.500	-	-	0.689	-
E	21.800	22.000	22.200	0.8583	0.8661	0.8740
E1	19.800	20.000	20.200	0.7795	0.7874	0.7953
E3	-	17.500	-	-	0.6890	-
e	-	0.500	-	-	0.0197	-
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
k	0°	3.5°	7°	0°	3.5°	7°
ccc	-	-	0.080	-	-	0.0031

1. 英寸值由毫米值换算而来，四舍五入至4位小数。

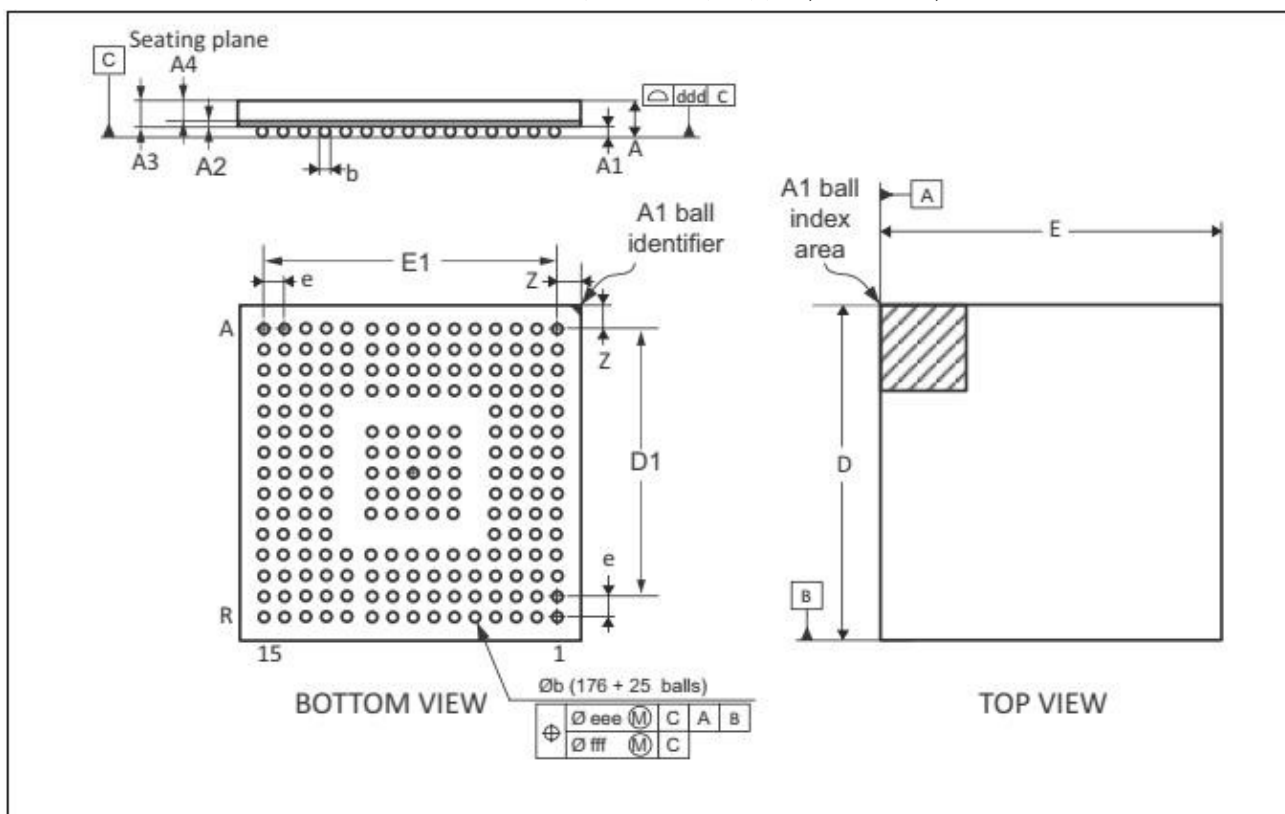
图 79.LQFP144-144-pin,20x20mm 建议封装图



1.尺寸单位为毫米。

6.4 UFBGA176+25封装信息

图 80.UFBGA176+25 超薄紧密排列焊球阵列,10x10mm,0.65mm 封装图



1. 图纸未按比例绘制。

表 91.UFBGA176+25 超薄紧密排列焊球阵列 10×10×0.65mm 机械数据

符号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	0.600	-	-	0.0236
A1	-	-	0.110	-	-	0.0043
A2	-	0.130	-	-	0.0051	-
A3	-	0.450	-	-	0.0177	-
A4	-	0.320	-	-	0.0126	-
b	0.240	0.290	0.340	0.0094	0.0114	0.0134
D	9.850	10.000	10.150	0.3878	0.3937	0.3996
D1	-	9.100	-	-	0.3583	-
E	9.850	10.000	10.150	0.3878	0.3937	0.3996
E1	-	9.100	-	-	0.3583	-
e	-	0.650	-	-	0.0256	-
Z	-	0.450	-	-	0.0177	-
ddd	-	-	0.080	-	-	0.0031
eee	-	-	0.150	-	-	0.0059
fff	-	-	0.050	-	-	0.0020

1. 英寸值由毫米值换算而来, 四舍五入至4位小数。

图 81.UFBGA176+25-201-超薄紧密排列焊球阵列,10x10mm,0.65mm 推荐封装图

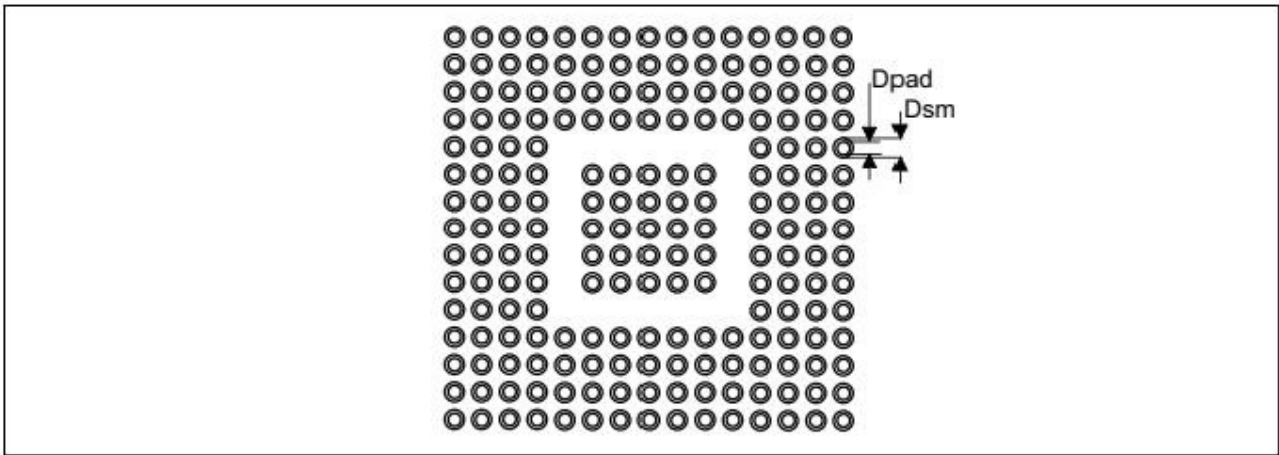


表 92.UFBGA176+2 推荐 PCB 设计规则(0.65mm 间距 BGA)

尺寸	推荐值
Pitch	0.65
Dpad	0.300mm
Dsm	0.400mmtyp.(取决于掩膜配准公差)

注: 推荐使用无焊锡覆盖界定的 (NSMD) 焊盘。

4~6毫锡膏丝印工艺。

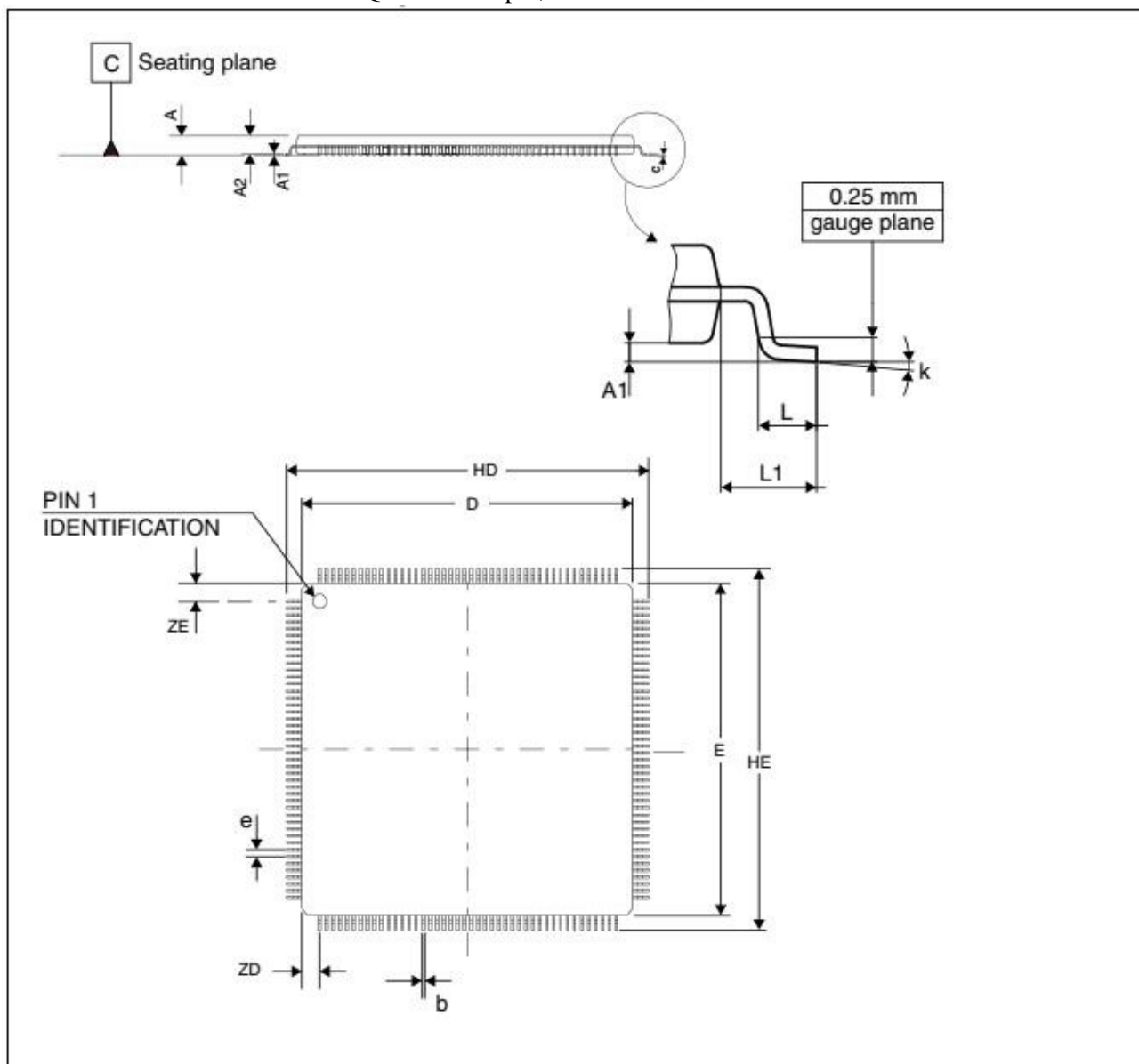
模板开口0.300mm。

模板厚度在0.100mm~0.125mm之间。

Pad跟踪宽度在0.100mm

6.5 LQFP176封装信息

图 82.LQFP176-176-pin,24x24mm 引脚薄型正方扁平封装图



1. 图纸未按比例绘制。

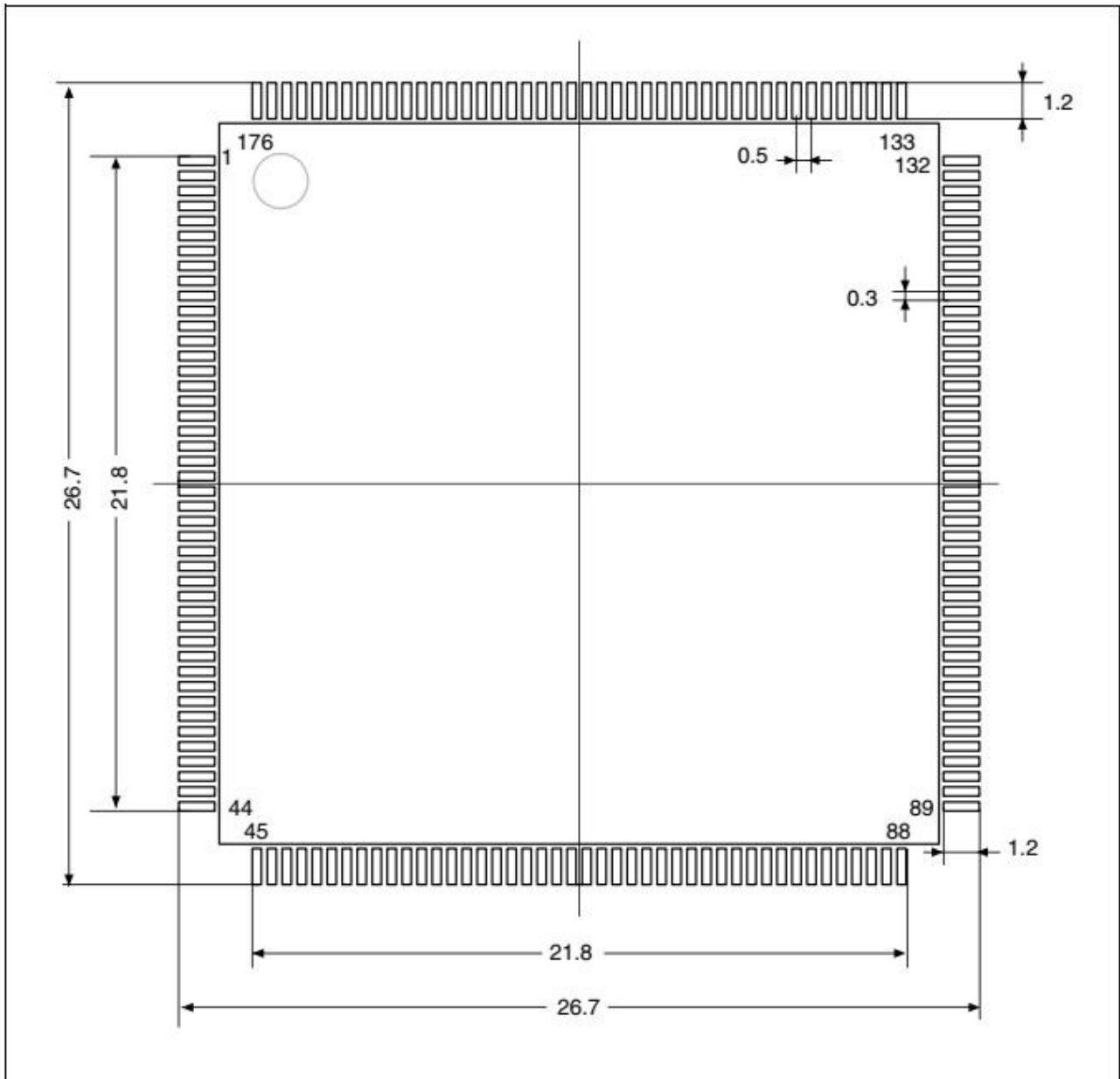
表 93.LQFP176-176-pin,24x24mm 引脚薄型正方扁平封装机械数据

符号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	-	1.450	0.0531	-	0.0571
b	0.170	-	0.270	0.0067	-	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	23.900	-	24.100	0.9409	-	0.9488
HD	25.900	-	26.100	1.0197	-	1.0276
ZD	-	1.250	-	-	0.0492	-
E	23.900	-	24.100	0.9409	-	0.9488
HE	25.900	-	26.100	1.0197	-	1.0276
ZE	-	1.250	-	-	0.0492	-

e	-	0.500	-	-	0.0197	-
L	0.450	-	0.750	0.0177	-	0.0295
L1	-	1.000	-	-	0.0394	-
k	0°	-	7°	0°	-	7°
ccc	-	-	0.080	-	-	0.0031

1. 以英寸为单位的值从毫米转换为四舍五入到四位十进制数字。
2. 2L 尺寸在阀座平面上0.25mm处测量。

图 83.LQFP176-176-pin,24x24mm 引脚薄型正方扁平封装图



1. 尺寸单位为毫米。

6.6 热特性

芯片最高结温(T_{Jmax})以摄氏度表示, 可使用如下公式计算:

$$T_{Jmax} = T_{Amax} + (PD_{max} \times \Theta_{JA})$$

其中:

- T_{Amax} 表示最高环境温度, 以 $^{\circ}C$ 表示,
- Θ_{JA} 为封装结点至环境的热阻, 以 $^{\circ}C/W$ 表示,
- PD_{max} 是 $P_{INT_{max}}$ 与 $P_{I/O_{max}}$ 之和($P_{D_{max}} = P_{INT_{max}} + P_{I/O_{max}}$),
- $P_{INT_{max}}$ 为 I_{DD} 和 V_{DD} 的乘积, 以瓦特表示。它是芯片的最大内部功率。

$P_{I/O_{max}}$ 表示输入引脚的最大功率耗散, 其中:

$$P_{I/O_{max}} = \Sigma(V_{OL} \times I_{OL}) + \Sigma((V_{DD} - V_{OH}) \times I_{OH}),$$

考虑了应用中 I/O 在低电平和高电平状态下的实际 V_{OL}/I_{OL} 和 V_{OH}/I_{OH} 。

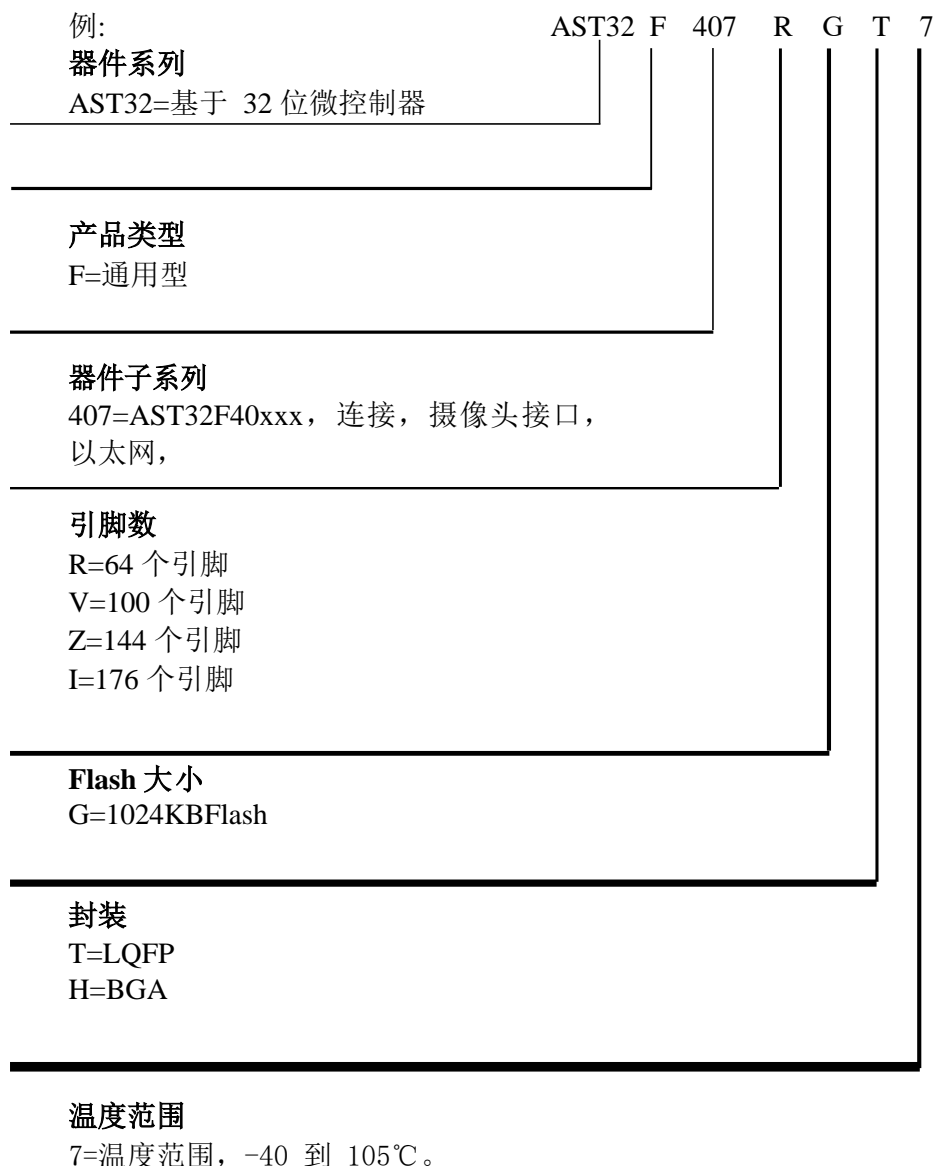
表 94.封装热特性

符号	参数	数值	单位
Θ_{JA}	结到环境热阻 LQFP64-10×10mm/0.5mm间距	46	$^{\circ}C/W$
	结到环境热阻 LQFP100-14×14mm/0.5mm间距	43	
	结到环境热阻 LQFP144-20×20mm/0.5mm间距	40	
	结到环境热阻 LQFP176-24×24mm/0.5mm间距	38	
	结到环境热阻 UFBGA176-10×10mm/0.65mm间距	39	

参考文档

《JESD51-2集成电路热试验方法环境条件-自然对流（静止空气）》。可从www.jedec.org下载

7 部件编号



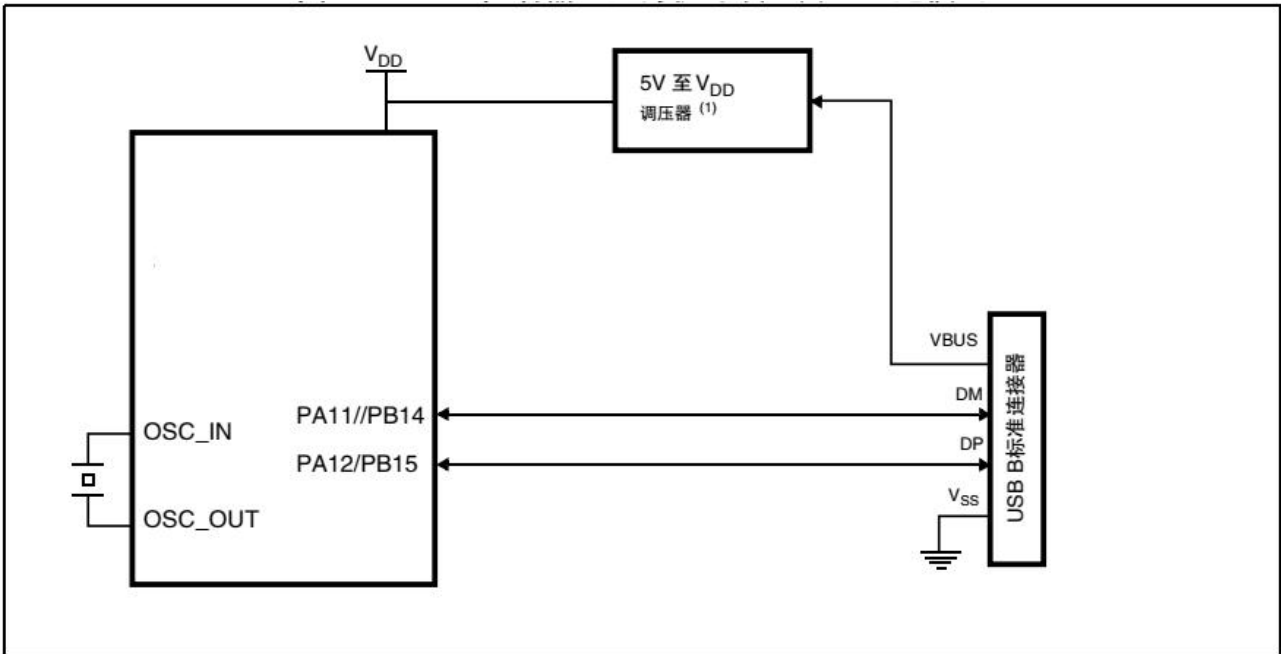
8 订货信息

型号	封装	引脚数
AST32F407RGT7	LQFP	64
AST32F407VGT7	LQFP	100
AST32F407ZGT7	LQFP	144
AST32F407IGT7	LQFP	176

附件A 用方框图

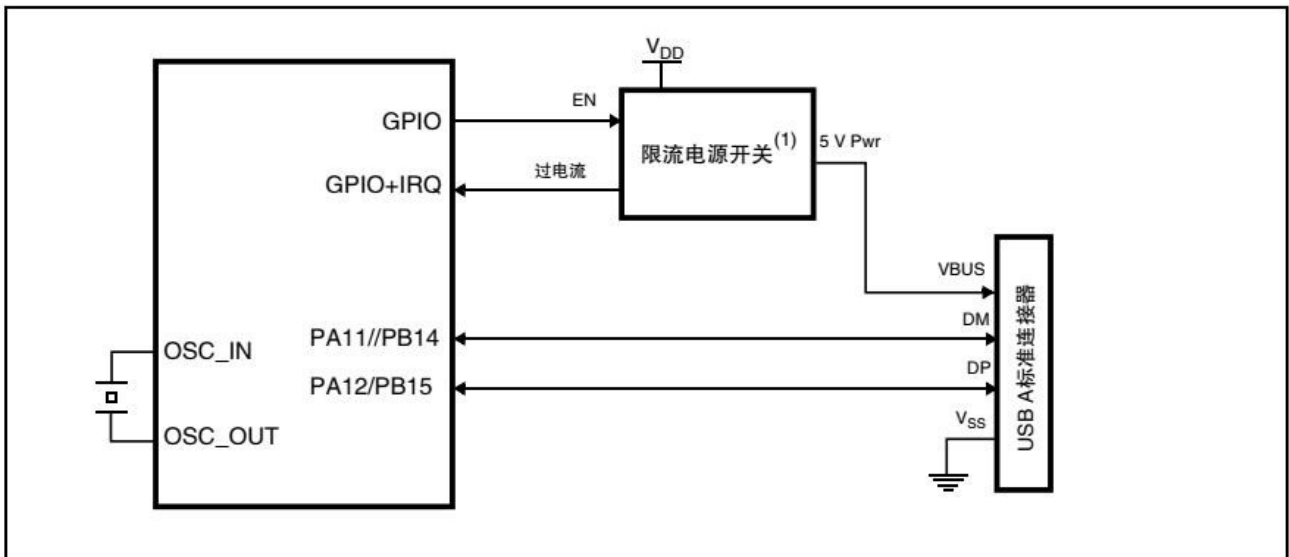
A.1 USB OTG全速（FS）接口解决方案

图 84.USB 控制器配置为仅外设，并在全速模式下使用



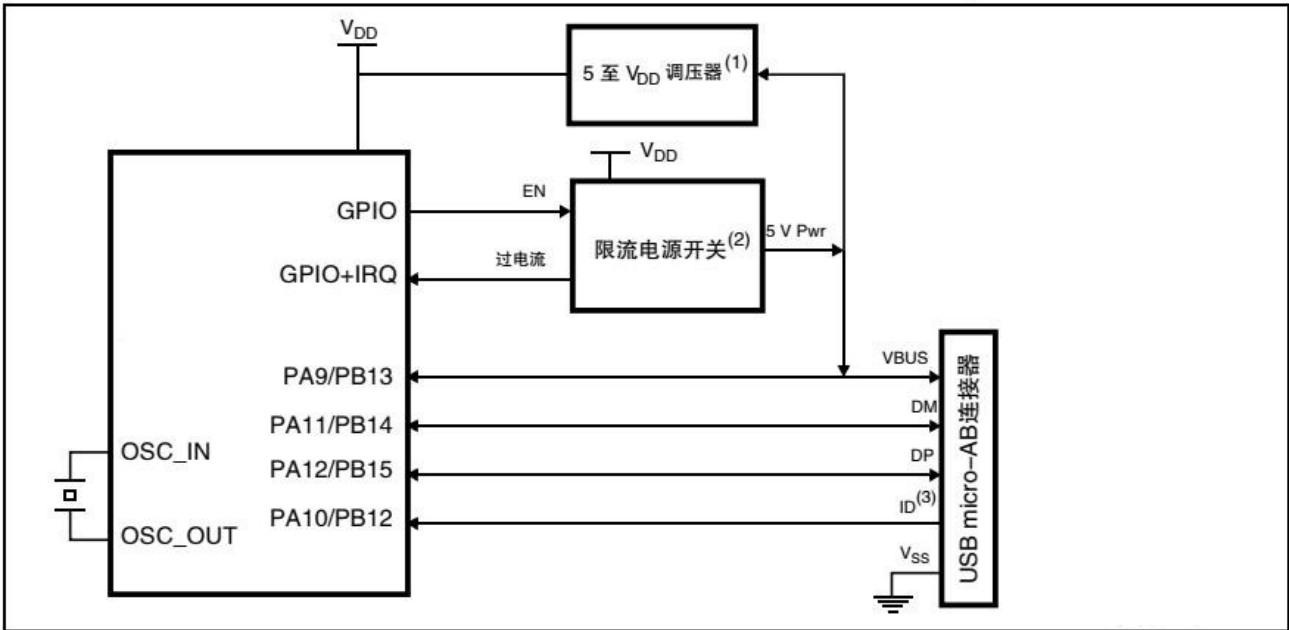
1. 只有在构建由V_{BUS}供电的器件时才需要外部调压器。
2. 得益于大Rx/Tx FIFO及专用DMA控制器，可在FS模式中使用OTG HS开发同一应用，达到更高的性能。

图 85.USB 控制器配置为仅主机，并在全速模式下使用



1. 只有在应用必须支持由V_{BUS}供电的器件时才需要限流器。如果应用电路板提供5V电源，则可以使用基本电源开关。
2. 得益于大Rx/Tx FIFO及专用DMA控制器，可在FS模式中使用OTG HS开发同一应用，达到更高的性能。

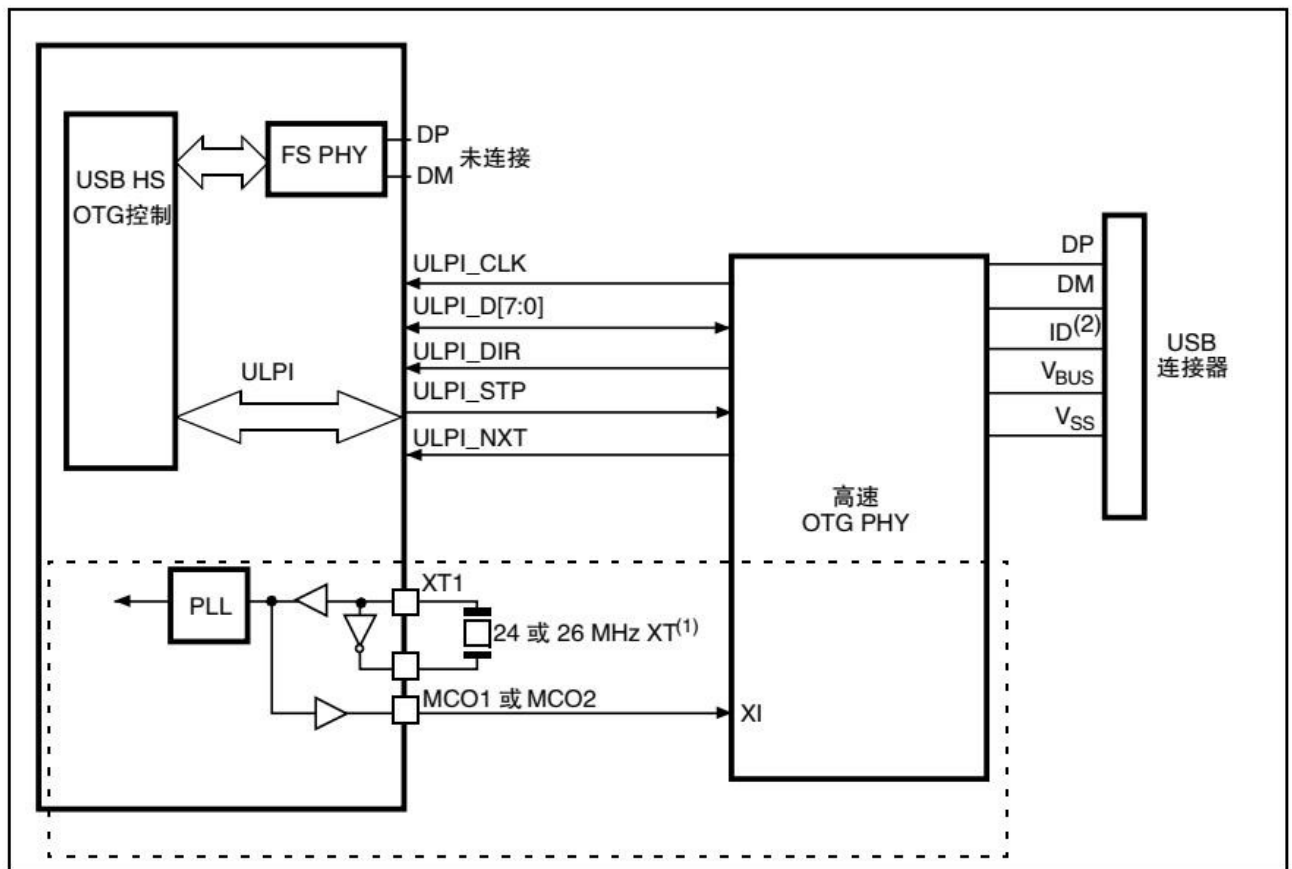
图 86.USB 控制器配置为双模，用于全速模式



1. 只有在构建由V_{BUS}供电的器件时才需要外部调压器。
2. 只有在应用必须支持由V_{BUS}供电的器件时才需要限流器。如果应用电路板提供5V电源，则可以使用基本电源开关
3. 仅当双模时才需要ID引脚。
4. 得益于大Rx/Tx FIFO及专用DMA控制器，可在FS模式中使用OTG HS开发同一应用，达到更高的性能。

A.2 USB OTG高速（HS）接口解决方案

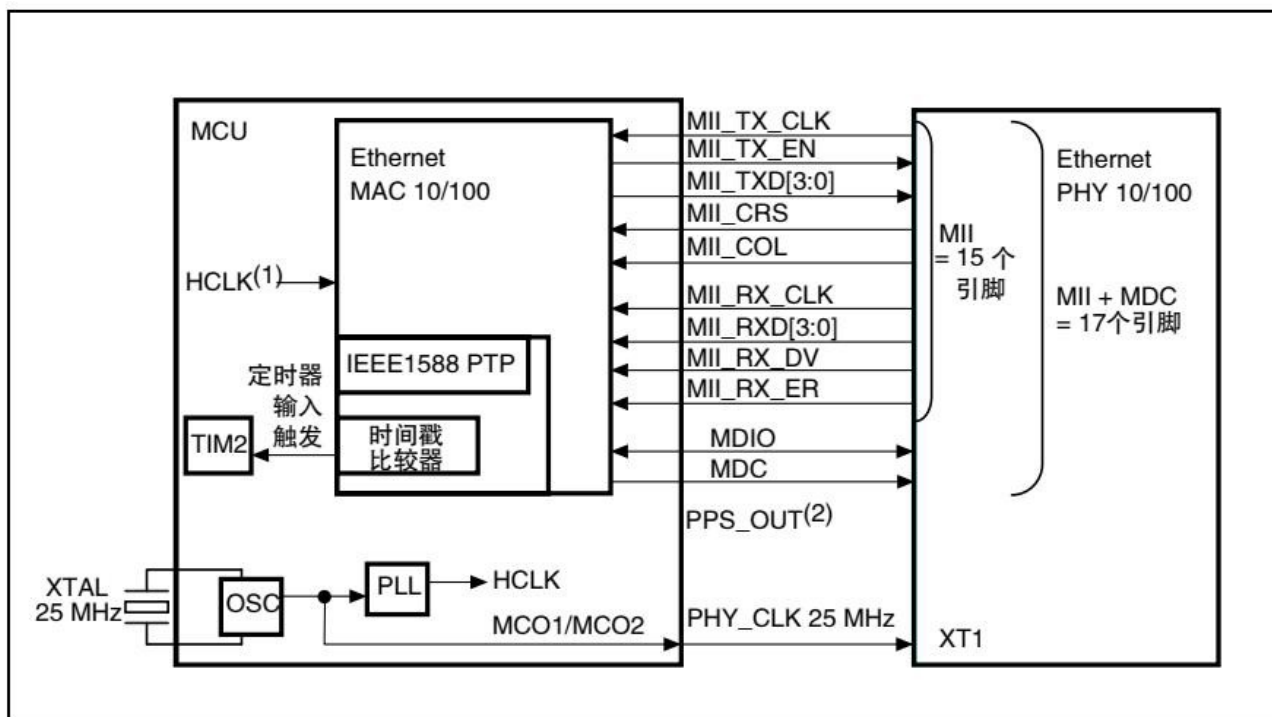
图 87.USB 控制器配置为外设、主机、双模，用于高速模式



1. 可使用MCO1或MCO2以节省一个晶振。然而，当使用USB HS时，并不一定要为AST32F40x 提供 24或26MHz晶振时钟。上图仅举例显示了一种可能的连接。
2. 仅当双模时才需要ID引脚。

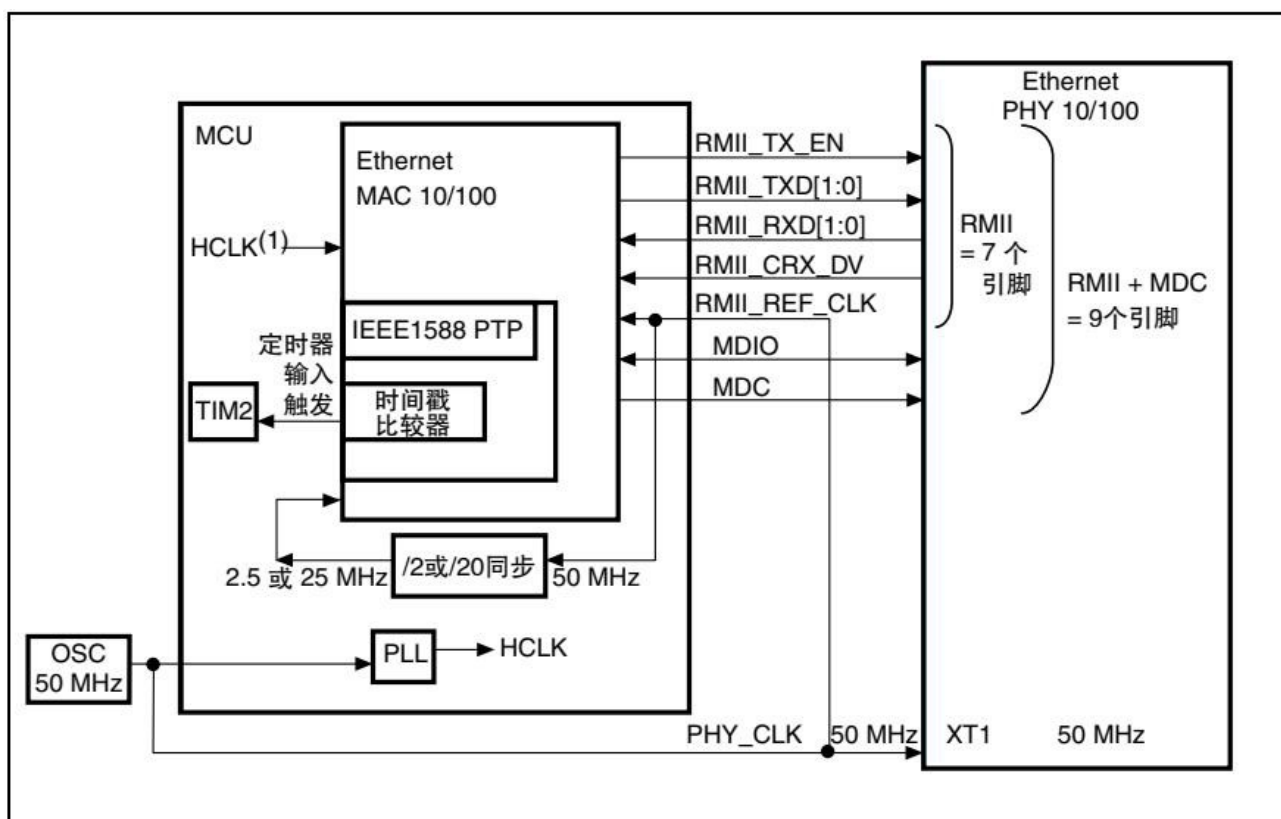
A.3 以太网接口解决方案

图 88.MII 模式，使用 25MHz 晶振



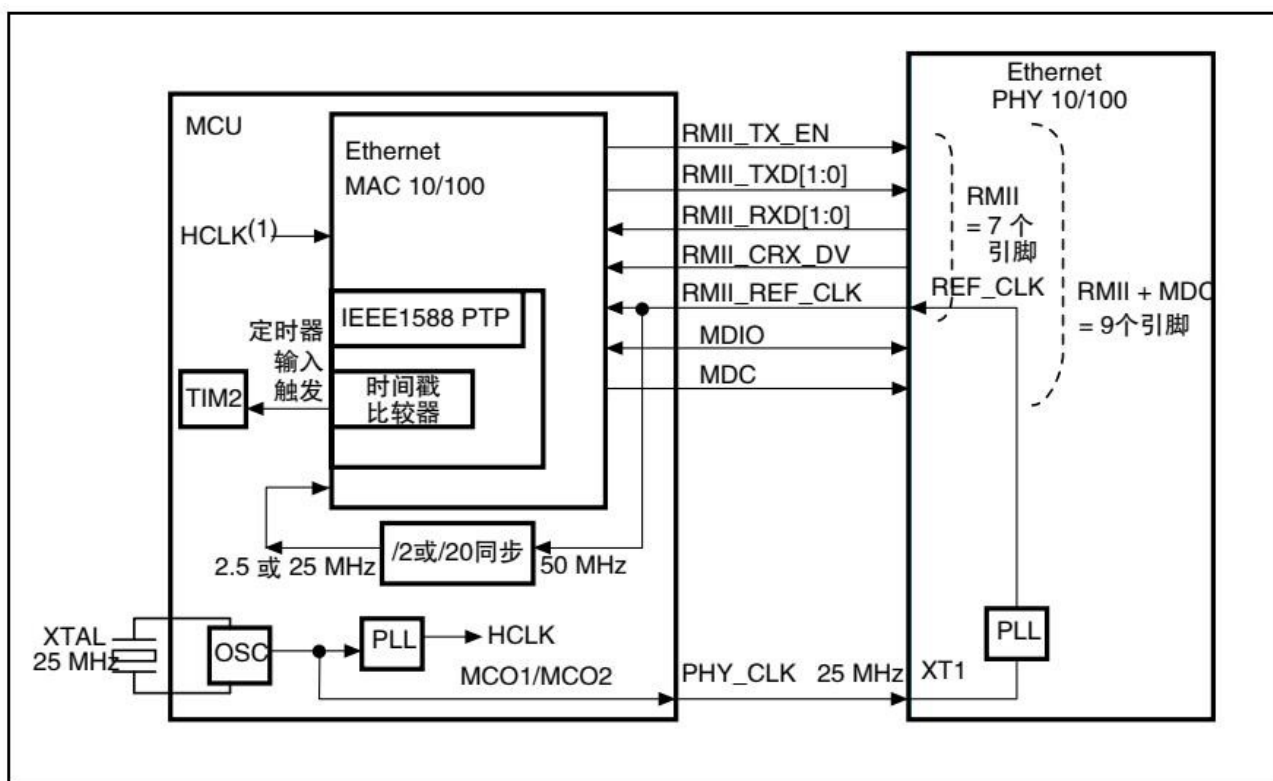
1. f_{HCLK} 必须大于 25MHz。
2. 当使用 IEEE 1588 PTP 可选信号时的每秒脉冲。

图 89.带有 50MHz 振荡器的 RMII



1. f_{HCLK} 必须大于 25MHz。

图 90.带有 25MHz 晶振的 RMII 和带有 PLL 的 PHY



1. f_{HCLK} 必须大于 25MHz。
2. 25MHz (PHY_CLK) 必须在 PLL 模块之前，直接从 HSE 振荡器获得。