



深圳市雅创芯瀚电子科技有限公司
SHENZHEN ASTRONG-TECH CO., LTD

AST41J128M16P型
2Gb DDR3 同步动态随机存储器电路
数据手册

服务电话：13691641629 13538015750

目录

1 简介	1
1.1 概述.....	1
1.2 特点.....	1
1.3 引脚排布和说明.....	1
2 功能介绍	4
2.1 功能描述.....	4
2.2 功能框图.....	4
3 电特性	5
3.1 绝对最大额定值.....	5
3.2 推荐工作条件.....	5
3.3 输入输出电容.....	5
3.4 IDD 特性.....	6
3.5 电特性.....	6
3.6 真值表.....	9
3.7 Speed Bins.....	11
4 说明事项	13
4.1 运输与储存.....	13
4.2 开箱与检查.....	13
4.3 使用操作规程及注意事项.....	13
5 封装	14
6 订货信息	15
6.1 选型列表.....	15

1 简介

1.1 概述

AST41J128M16P 系列替代镁光公司的 MT41J128M16 系列 BGA96 封装的 DDR3 芯片，性能指标满足参GJB7400 制定的塑封军级要求。

1.2 特点

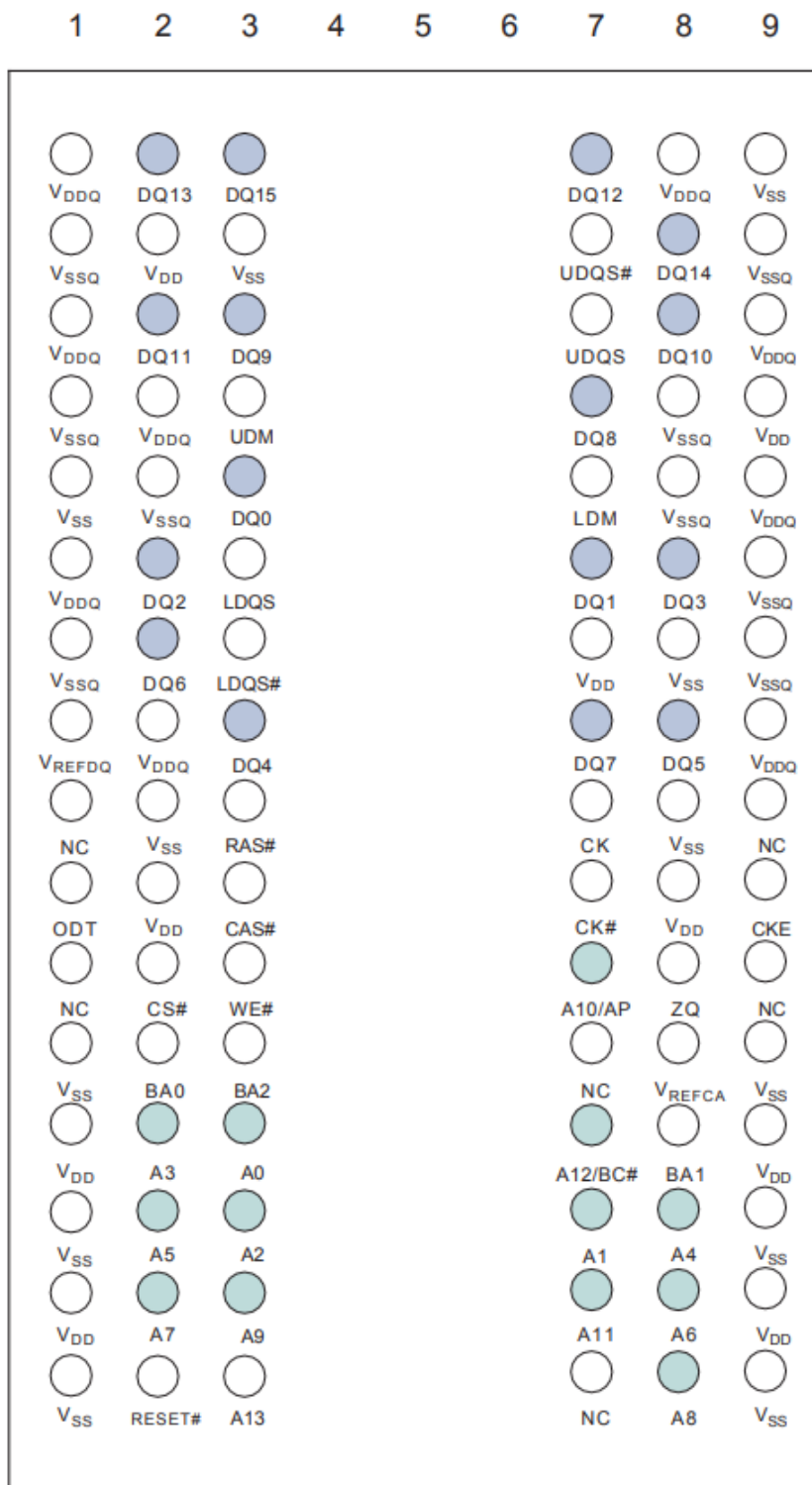
- 存储容量：2Gbits
- 存储结构：
 - 8 banks x 16Meg x 16 bits
- 封装形式：FBGA96
- 电源电压： $V_{DD}/V_{DDQ}=1.50\pm 0.075V$
- 最大数据速率：1866Mbps
- 自刷新模式
- 2KB 页面大小 (x16)
 - 行地址：AX0~AX13
 - 列地址：AY0~AY9
- 可编程读取潜伏期 CL(CAS Latency)
- 可编程列写潜伏期 CWL(CAS WRITE latency)
- 突发长度(BL)：8 和 4-bit 突发突变(Burst Chop)功能
- 工作温度范围：-55℃~125℃
- 关键时序参数

数据速率 (MT/S)	tRCD-tRP-CL	tRCD (ns)	tRP (ns)	CL (ns)	注释
1866	13-13-13	13.91	13.91	13.91	a

a：向下兼容 1600Mbps/1333Mbps/1066Mbps/800Mbps

1.3 引脚排布和说明

96-Ball FBGA 封装-x16(顶视图)



引脚名称	引脚类型	引脚功能描述
A13, A12/BC#, A11, A10/AP, A[9:0]	输入	地址输入，为 ACTIVATE 命令提供行地址,同时为 READ/WRITE 命令提供列地址和自动预充电位(A10),以便从某个 Bank 的内存阵列里选出一个位置。LOAD MODE 命令期间,地址输入提供一个操作码。地址输入的参考值是 VREFCA 引脚。 在模式寄存器(MR)使能时,A12 在 READ 和 WRITE 命令期间被采样,以决定 burst chop(on-the-fly)是否会被执行(HIGH=BL8 执行 burst chop),或者 LOW-BC4 不执行 burst chop。

引脚名称	引脚类型	引脚功能描述
BA [2:0]	输入	Bank 选通线, 确定要操作的 Bank。 BA[2:0]定义加载模式命令期间加载的模式寄存器 (MR0、MR1、MR2 或 MR3)。BA[2:0]参考值是 V_{REFCA} 。引脚
CK, CK#	输入	差分时钟输入,所有控制和地址输入信号在 CK 上升沿和 CK#的下降沿交叉处被采样,输出数据选通(DQS,DQS#)参考与 CK 和 CK#的交叉点。
CKE	输入	时钟使能引脚(输入), CKE 为高电平时, 启动内部时钟信号、设备输入缓冲以及输出驱动单元。CKE 低电平时则关闭上述单元。当 CKE 为低电平时, 可使设备进入 PRECHARGE POWER DOWN、SELF-REFRESH 以及 ACTIVE POWER DOWN 模式。CKE 与 SELF REFRESH 退出命令是同步的。在上电以及初始化序列过程中, V_{REFCA} 与 V_{REF} 将变得稳定, 并且在后续所有的操作过程中都要保持稳定, 包括 SELF REFRESH 过程中。CKE 必须在读写操作中保持稳定的高电平。在 POWER DOWN 过程中, 除 CK, CK#, ODT 以及 CKE 以外的所有输入缓冲都是关闭的。在 SELF REFRESH 过程中, 除 CKE 以外的所有输入缓冲都是关闭的。在正时钟上升边沿采样。
CS#	输入	使能(低)和禁止(高) 命令译码,当 CS#为低时 DDR 芯片使能、CS#的参考值是 V_{REFCA} 引脚。
LDM	输入	LDM 是写数据低字节的输入屏蔽信号,在写期间,当伴随输入数据的 LDM 信号被采样为高时,输入数据低字节被屏蔽。虽然 LDM 仅作为输入脚,但是,DM 负载被设计成与 DQ 和 DQS 脚负载相匹配。DM 的参考值是 V_{REFDQ} 引脚。
ODT	输入	片上终端使能, ODT 使能(高)和禁止(低)片内终端电阻, 在正常操作使能时,ODT 仅对下面的引脚有效: DQ[15:0], LDQS, LDQS#, UDQS, UDQS#, LDM, 及 UDM。如果通过 LOAD MODE 命令禁止,ODT 输入被忽略。ODT 的参考值是 V_{REFCA} 引脚。
RAS#, CAS#, WE#	输入	这 3 个信号,连同 CS#,定义一个命令,其参考值是 V_{REFCA} 。
RESET#	输入	复位信号, 低电平有效,参考值是 VSS,复位为异步信号。
UDM	输入	UDM 是写数据高字节的输入屏蔽信号,在写期间,当伴随输入数据的 UDM 信号被采样为高时,输入数据高字节被屏蔽。虽然 UDM 仅作为输入脚,但是,UDM 负载被设计成与 DQ 和 DQS 脚负载相匹配。UDM 的参考值是 V_{REFDQ} 引脚。
DQ[7:0]	输入/输出	低字节数据总线, 以 V_{REFDQ} 为参考
DQ[15:8]	输入/输出	高字节数据总线, 以 V_{REFDQ} 为参考
LDQS, LDQS#	输入/输出	低字节数据选通, 读时是输出,边缘与读出的数据对齐。写时是输入,中心与写数据对齐
UDQS, UDQS#	输入/输出	高字节数据选通, 读时是输出,边缘与读出的数据对齐。写时是输入,中心与写数据对齐
V_{DD}	电源	电源电压,1.5V \pm 0.075V。
V_{DDQ}	电源	DQ 电源,1.5V \pm 0.075V。为了降低噪声,在芯片上进行了隔离。
V_{REFCA}	电源	控制、命令、地址的参考电压。 V_{REFCA} 在所有时刻(包括自刷新)都必须保持规定的电压。
V_{REFDQ}	电源	数据的参考电压。 V_{REFDQ} 在所有时刻(除了自刷新)都必须保持规定的电压。
V_{SS}	电源	地
V_{SSQ}	电源	DQ 地, 为了降低噪声,在芯片上进行了隔离
ZQ	参考	输出驱动校准的外部参考, 这个引脚应该连接 240 欧姆电阻到 V_{SSQ} 。
NC	-	无电气连接

图 1-1 引出端排列和说明

2 功能介绍

2.1 功能描述

AST41J128M16P 系列 2Gb DDR3 同步动态随机存储器,是一款采用差分时钟输入(CK 和 CK#)的双倍速率数据架构实现高速运行的同步动态随机存储器,采用 8 个 bank 结构,每个 bank 大小为 16M words x 16 bits。可通过行地址、列地址对内部存储单元进行选择,通过标准指令激活器件后,进行读写操作。

2.2 功能框图

功能框图见图 2-1。

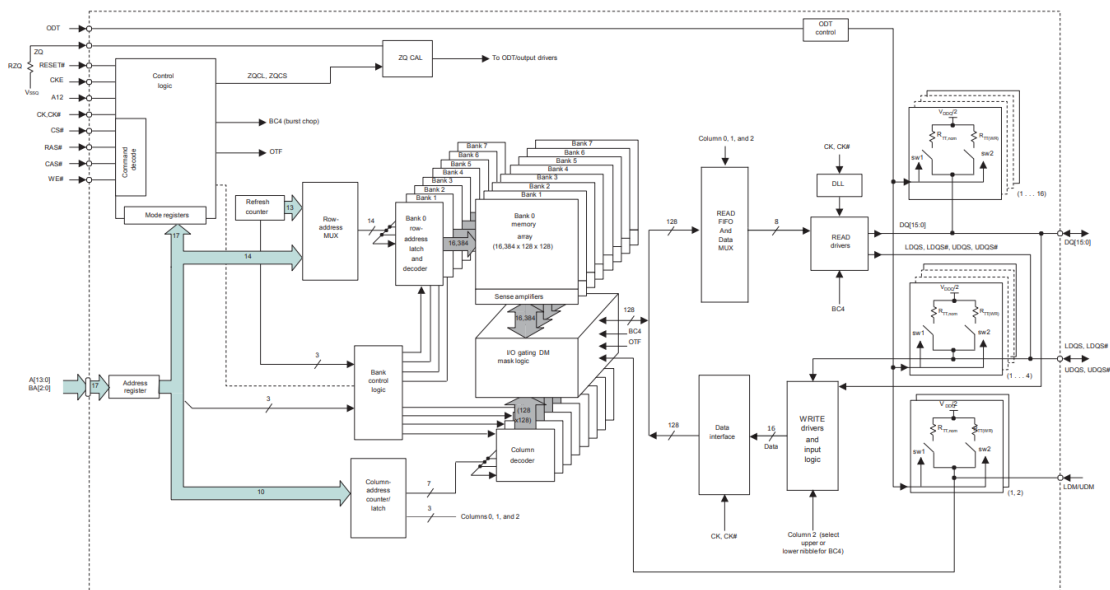


图 2-1 功能框图

3 电特性

3.1 绝对最大额定值

绝对最大额定值如下：

工作电压（以 V_{SS} 为参考）（ V_{DD} ） ^{1, 2}	-0.4V~1.975V
工作电压（以 V_{SSQ} 为参考）（ V_{DDQ} ） ^{1, 2}	-0.4V~1.975V
信号 PIN 电压（以 V_{SS} 为参考）（ V_{IN}, V_{OUT} ） ^{1, 2}	-0.4V~1.975V
存储温度（ T_{STG} ） ¹	-55℃~150℃
结温（ T_J ）	-65℃~150℃

注释：

1、强调超过“绝对最大额定值”中列出的值可能会导致器件永久性损坏。这只是压力额定值，并不是在暗示器件在这些或任何其他高于本规范操作部分中指出的条件下的功能操作。暴露于绝对最大额定值条件下可能会影响可靠性。

2、 V_{DD} 和 V_{DDQ} 必须始终在 300mV 以内。 V_{REFDQ} 和 V_{REFCA} 不得大于 $0.6 \times V_{DDQ}$ 。当 V_{DD} 和 V_{DDQ} 小于 500mV 时， V_{REFDQ} 和 V_{REFCA} 可能等于或小于 300mV。

3.2 推荐工作条件

V_{DD} 工作电压（以 V_{SS} 为参考） ¹	1.5V±0.075V
V_{DDQ} 工作电压（以 V_{SSQ} 为参考） ¹	1.5V±0.075V
信号 PIN 电压（ V_{IN}, V_{OUT} ）	1.5V±0.075V
ADD, CMD 输入的参考电压(V_{REFCA}).....	$0.49 \times V_{DD} \sim 0.51 \times V_{DD}$
DQ, DM 输入的参考电压(V_{TT})	$0.5 \times V_{DD}$
工作温度（ T_A ）	-55℃~125℃
结温（ T_J ）	-55℃~125℃

注释：

1、 V_{DDQ} 追踪 V_{DD} 。 V_{DDQ} 必须小于或等于 V_{DD} 。

3.3 输入输出电容

表 3-1 输入输出电容

电容参数	符号	最小值	单位	注释
Single-end I/O :DQ, DM	C_{IO}	1.5	pF	1
Differential I/O : DQS, DQS#, TDQS,TDQS#	C_{IO}	1.5	pF	2
CK,CK#	C_{CK}	0.8	pF	
ΔC :CK to CK#	C_{DCK}	0	pF	
ΔC : DQS to DQS#,TDQS,TDQS#	C_{DDQS}	0	pF	3
Inputs(CTRL,CMD, ADDR)	C_I	0.75	pF	4
ΔC : CTRL to CK	C_{DI_CTRL}	-0.4	pF	5
ΔC : CMD_ADDR to CK	$C_{DI_CMD_ADDR}$	-0.4	pF	6
ΔC : DQ to DQS	C_{DIO}	-0.5	pF	3
ZQ pin capacitance	C_{ZQ}	-	pF	

电容参数	符号	最小值	单位	注释
Reset pin capacitance	C_{RE}	-	pF	

注释:

- 1、该参数不受生产测试的限制。它通过设计和特性验证。根据 JEP147 测量电容（测量输入电容的过程使用矢量网络分析仪（VNA），其中 V_{DD} , V_{DDQ} , V_{SS} , V_{SSQ} 被施加且所有其他球浮动（根据需要除被测管脚, CKE, RESET# 和 ODT 外） $V_{DD}=V_{DDQ}=1.5V$, $V_{BIAS}=V_{DD}/2$, 并且片上终结电阻关闭
- 2、该参数仅适用于单片器件;堆叠式/双芯片器件不在此处介绍
- 3、CCK-CCK# 的绝对值
- 4、CIO.DQS-CIO.DQS# 的绝对值
- 5、CI 适用于 ODT, CS#, CKE, A[15: 0], BA[2: 0], RAS#, CAS#, WE#
- 6、 C_{DL_CTRL} 适用于 ODT, CS# 和 CKE

3.4 IDD 特性

表 3-2 IDD 特性

Speed Bin			DDR3 -1866	单位	注释
参数	符号	位宽			
操作单个 Bank 激活-预充电电流	IDD0	X16	135	mA	1,2
操作单个 Bank 激活-读取-预充电电流	IDD1	X16	160	mA	1,2
预充电 Power-down 电流 (slow)	IDD2P0(slow)	All	16	mA	1,2
预充电 Power-down 电流 (fast)	IDD2P1(fast)	All	55	mA	1,2
预充电静态待机电流	IDD2Q	All	95	mA	1,2
预充电待机电流	IDD2N	All	95	mA	1,2
预充电待机 ODT 电流	IDD2NT	X16	115	mA	1,2
激活 Power-down 电流	IDD3P	X16	65	mA	1,2
激活待机电流	IDD3N	X16	100	mA	1,2
读取操作工作电流	IDD4R	X16	210	mA	1,2
写入操作工作电流	IDD4W	X16	235	mA	1,2
突发刷新电流	IDD5B	X16	190	mA	1,2
室温自刷新电流	IDD6	All	15	mA	1,2,3
扩展温度自刷新电流	IDD6ET	All	16	mA	1,4
Bank 交叉读工作电流	IDD7	X16	260	mA	1,2
复位电流	IDD8	All	16	mA	1,2

注释:

- 1、 $T_c=85^\circ\text{C}$; SRT 和 ASR 被禁用。
- 2、启用 ASR 将使 IDD_x 增加最多 2mA。
- 3、以上数据仅限于 T_c (最大) $=85^\circ\text{C}$ 。
- 4、 $T_c=85^\circ\text{C}$; ASR 和 ODT 被禁用; SRT 启用。

3.5 电特性

表 3-3 直流参数电特性和操作条件

参数/条件	符号	最小值	典型值	最大值	单位	注释
供电电压	V_{DD}	1.425	1.5	1.575	V	1,2
I/O 供电电压	V_{DDQ}	1.425	1.5	1.575	V	1,2
输入漏电流 任何输入 $0V \leq V_{IN} \leq V_{DD}$, V_{REF} 引脚 $0V \leq V_{IN} \leq 1.1V$ (其他未被测试引脚=0V)	I_I	-2	-	2	uA	
V_{REF} 供电漏电流 $V_{REFDQ}=V_{DD}/2$ 或 $V_{REFCA}=V_{DD}/2$ (其他未被测试引脚=0V)	I_{VREF}	-1	-	1	uA	3,4

注释:

- 1、VDD 和 VDDQ 必须相互参照，VDDQ 必须小于等于 VDD，VSS=VSSQ。
- 2、除直流参数外（0 Hz 至 250 kHz），VDD 和 VDDQ 还可能包括 $\pm 50\text{mV}$ （250 kHz 至 20 MHz）的交流噪声。VDD 和 VDDQ 必须处于同一电平才能获得有效的交流时序参数。
- 3、VREF（参照表 3-4）。
- 4、最低限度要求是出于测试目的。VREF 引脚上的漏电流应该取最小值。

表 3-4 直流参数电特性和输入环境

参数/条件	符号	最小值	典型值	最大值	单位	注释
VIN 低电平；直流/命令/地址总线	V_{IL}	V_{SS}	N/A	参照表 3-5	V	
VIN 高电平；直流/命令/地址总线	V_{IH}	参照表 3-5	N/A	V_{DD}	V	
输入参考电压命令/地址总线	$V_{REFCA(DC)}$	$0.49 \times V_{DD}$	$0.5 \times V_{DD}$	$0.51 \times V_{DD}$	V	1,2
I/O 参考电压直流总线	$V_{REFDQ(DC)}$	$0.49 \times V_{DD}$	$0.5 \times V_{DD}$	$0.51 \times V_{DD}$	V	2,3
自刷新的 I/O 参考电压直流总线	$V_{REFDQ(SR)}$	V_{SS}	$0.5 \times V_{DD}$	V_{DD}	V	
命令/地址终止电压 (系统级，非直接 DRAM 输入)	V_{TT}	-	$0.5 \times V_{DD}$	-	V	

注释:

- 1、VREFCA(DC) 预计约为 $0.5 \times V_{DD}$ 并跟踪 DC 电平的变化。VREFCA 上的外部产生的峰值噪声（非共模）不得超过 VREFCA(DC) 值附近的 $\pm 1\% \times V_{DD}$ 。VREFCA 上的峰峰值 AC 噪声不应超过 VREFCA(DC) 的 $\pm 2\%$ 。
- 2、DC 值被确定为小于 20 MHz 的频率。如果 DRAM 包括额外的交流噪声的频率大于 20 MHz，则 DRAM 必须符合规范。
- 3、VREFDQ(DC) 预计约为 $0.5 \times V_{DD}$ 并跟踪 DC 电平的变化。VREFDQ 上外部产生的峰值噪声（非共模）不得超过 VREFDQ(DC) 值附近的 $\pm 1\% \times V_{DD}$ 。VREFDQ 上的峰峰值 AC 噪声不应超过 VREFDQ(DC) 的 $\pm 2\%$ 。

表 3-5 输入转换条件

参数/条件	符号	DDR3-1866	单位
命令和地址			
输入交流高电平：逻辑 1 @ 175mV	$V_{IH(AC175)min}$	-	mV
输入交流高电平：逻辑 1 @ 150mV	$V_{IH(AC150)min}$	-	mV
输入交流高电平：逻辑 1 @ 135mV	$V_{IH(AC135)min}$	135	mV
输入交流高电平：逻辑 1 @ 125mV	$V_{IH(AC125)min}$	125	mV
输入直流高电平：逻辑 1 @ 100mV	$V_{IH(DC100)min}$	100	mV
输入直流低电平：逻辑 0 @ -100mV	$V_{IL(DC100)max}$	-100	mV
输入交流低电平：逻辑 0 @ -125mV	$V_{IL(AC125)max}$	-125	mV
输入交流低电平：逻辑 0 @ -135mV	$V_{IL(AC135)max}$	-135	mV
输入交流低电平：逻辑 0 @ -150mV	$V_{IL(AC150)max}$	-	mV
输入交流低电平：逻辑 0 @ -175mV	$V_{IL(AC175)max}$	-	mV
DQ 和 DM			
输入交流高电平：逻辑 1	$V_{IH(AC175)min}$	-	mV
输入交流高电平：逻辑 1	$V_{IH(AC150)min}$	-	mV
输入交流高电平：逻辑 1	$V_{IH(AC135)min}$	135	mV
输入直流高电平：逻辑 1	$V_{IH(DC100)min}$	100	mV
输入直流低电平：逻辑 0	$V_{IL(DC100)max}$	-100	mV
输入交流低电平：逻辑 0	$V_{IL(AC135)max}$	-135	mV
输入交流低电平：逻辑 0	$V_{IL(AC150)max}$	-	mV
输入交流低电平：逻辑 0	$V_{IL(AC175)max}$	-	mV

注释:

- 1、所有电压均以 VREF 为参考。VREF 是用于控制、命令和地址的 VREFCA。所有压

摆率和建立/保持时间都在 DRAM 球上指定。VREF 是 DQ 和 DM 输入的 VREFDQ。

2、输入设置时序参数 (tIS 和 tDS) 参考 VIL(AC)/VIH(AC)，而不是 VREF(DC)。

3、输入保持时序参数 (tIH 和 tDH) 以 VIL(DC)/VIH(DC) 为参考，而不是 VREF(DC)。

4、单端输入压摆率 = 1V/ns；被测的最大输入电压摆幅为 900mV（峰值到峰值）。

5、当为特定速度档列出两个 VIH(AC) 值（和两个对应的 VIL(AC) 值）时，用户可以选择任一值作为输入 AC 电平。无论使用哪个值，还必须使用该 AC 电平的相关设置时间。

表 3-6 差分输入工作条件 (CK、CK# 和 DQS、DQS#)

参数/条件	符号	最小值	最大值	单位	注释
差分输入电压逻辑高-摆	V _{IH,diff}	200	N/A	mV	4
差分输入电压逻辑低-摆	V _{IL,diff}	N/A	200	mV	4
差分输入电压逻辑高	V _{IH,diff(AC)}	2×(V _{IH(AC)} -V _{REF})	V _{DD} /V _{DDQ}	mV	5
差分输入电压逻辑低	V _{IL,diff(AC)}	V _{SS} /V _{SSQ}	2×(V _{IL(AC)} -V _{REF})	mV	6
DQS,DQS#;CK,CK#相对于 VDD/2 的差分输入交叉电压	V _{Ix}	V _{REF(DC)} -150	V _{REF(DC)} +150	mV	4,7
CK,CK#相对于 VDD/2 的差分输入交叉电压	V _{Ix(175)}	V _{REF(DC)} -175	V _{REF(DC)} +175	mV	4,7,8
频闪单端高电平电压	V _{SEH}	V _{DD} /2+175	V _{DDQ}	mV	5
CK,CK#单端高电平电压		V _{DD} /2+175	V _{DD}	mV	5
频闪单端低电平电压	V _{SEL}	V _{SSQ}	V _{DDQ} /2-175	mV	6
CK,CK#单端低电平电压		V _{SS}	V _{DD} /2-175	mV	6

注释:

1、时钟以 VDD 和 VSS 为参考。数据频闪参考 VDDQ 和 VSSQ。

2、时钟参考为 VREFCA(DC)，频闪参考为 VREFDQ(DC)。

3、差分输入压摆率 = 2V/ns。

4、定义相对于输入交叉电压的压摆率参考点。

5、最小直流限制与单端信号有关；过冲规格适用。

6、最大直流限值相对于单端信号；下冲规格适用。

7、VIX(AC)的典型值预计约为发射设备的 0.5×VDD，并且 VIX(AC)预计会跟踪 VDD 的变化。VIX(AC)表示差分输入信号必须跨越的电压。

8、VIX 扩展范围 (±175mV) 仅允许用于时钟；仅当满足以下条件时才允许使用此 VIX 扩展范围：单端输入信号是单调的，具有至少 VDD/2 ±250mV 的单端摆幅 VSEL、VSEH，以及 CK、CK# 的差分压摆率大于 3 V/ns。

9、VIX 必须提供 25mV（单端）的电压分离。

表 3-7 控制和地址引脚

参数	DDR3-1866
过冲区域允许的最大峰值幅度	0.4V
下冲区域允许的最大峰值幅度	0.4V
超过 V _{DD} 的最大过冲面积	0.28Vns
低于 V _{SS} 的最大下冲面积	0.28Vns

表 3-8 时钟、数据、闪频和屏蔽引脚

参数	DDR3-1866
过冲区域允许的最大峰值幅度	0.4V
下冲区域允许的最大峰值幅度	0.4V
超过 V _{DD} /V _{DDQ} 的最大过冲面积	0.11Vns
低于 V _{SS} /V _{SSQ} 的最大下冲面积	0.11Vns

表 3-9 CK-CK#和 DQS-DQS#的回铃前允许时间 (tDVAC)

压摆率 (V/ns)	t DVAC (ps)在 VIH,diff(AC) 到 VIL,diff(AC)	
	350mV	300mV
>4.0	75	175
4.0	57	170
3.0	50	167
2.0	38	163
1.9	34	162
1.6	29	161
1.4	22	159
1.2	13	155
1.0	0	150
<1.0	0	150

注释:

1、低于 VIL(AC)。

表 3-10 单端输入压摆率定义

输入压摆率 (线性信号)		测量		计算
输入	边缘	从	到	
设置	上升	VREF	VIH(AC)min	$\frac{VIH(AC)min - VREF}{\Delta TRS_{SE}}$
	下降	VREF	VIL(AC)max	$\frac{VREF - VIL(AC)max}{\Delta TRS_{SE}}$
保持	上升	VIL(DC)max	VREF	$\frac{VREF - VIL(DC)max}{\Delta TRS_{SE}}$
	下降	VIH(DC)min	VREF	$\frac{VIH(AC)min - VREF}{\Delta TRS_{SE}}$

表 3-11 单端输入压摆率定义

输入压摆率 (线性信号)		测量		计算
输入	边缘	从	到	
CK 和 DQS 参考	上升	VIL,diff,max	VIH,diff,min	$\frac{VIH, diff, min - VIL, diff, max}{\Delta TR_{diff}}$
	下降	VIH,diff,min	VIL,diff,max	$\frac{VIH, diff, min - VIL, diff, maxx}{\Delta TR_{diff}}$

3.6 真值表

表 3-7 描述的是 DDR3 SDRAM 的命令真值表，可对应查询。

表 3-12 DDR3 命令真值表

功能	Symbol	CKE		CS#	RAS #	CAS #	WE #	BA [2:0]	An	A12	A10	A[11, 9:0]	注释	
		Prev. Cycle	Next Cycle											
模式寄存器设置	MRS	H	H	L	L	L	L	BA	OP code					
自动刷新(REF)	REF	H	H	L	L	L	H	V	V	V	V	V		
进入自刷新(SRE)	SRE	H	L	L	L	L	H	V	V	V	V	V	6	
退出自刷新(SRX)	SRX	L	H	H	V	V	V	V	V	V	V	V	6, 7	
		L	H	L	H	H	H							
单 BANK 预充电 (PRE)	PRE	H	H	L	L	H	L	BA	V	V	L	V		
所有 BANK 预充电 (PREA)	PREA	H	H	L	L	H	L	V		V	H	V		
BANK 激活(ACT)	ACT	H	H	L	L	H	H	BA	Row address (RA)					
写入操作 (WR)	BL8MRS, BC4MRS	WR	H	H	L	H	L	L	BA	RFU	V	L	CA	8
	BC4OTF	WRS4	H	H	L	H	L	L	BA	RFU	L	L	CA	8
	BL8OTF	WRS8	H	H	L	H	L	L	BA	RFU	H	L	CA	8
带自动预充电写入操作 (WRAP)	BL8MRS, BC4MRS	WRAP	H	H	L	H	L	L	BA	RFU	V	H	CA	8
	BC4OTF	WRAPS4	H	H	L	H	L	L	BA	RFU	L	H	CA	8
	BL8OTF	WRAPS8	H	H	L	H	L	L	BA	RFU	H	H	CA	8
读取操作 (RD)	BL8MRS, BC4MRS	RD	H	H	L	H	L	H	BA	RFU	V	L	CA	8
	BC4OTF	RDS4	H	H	L	H	L	H	BA	RFU	L	L	CA	8
	BL8OTF	RDS8	H	H	L	H	L	H	BA	RFU	H	L	CA	8
带自动预充电读取操作 (RDAP)	BL8MRS, BC4MRS	RDAP	H	H	L	H	L	H	BA	RFU	V	H	CA	8
	BC4OTF	RDAPS4	H	H	L	H	L	H	BA	RFU	L	H	CA	8
	BL8OTF	RDAPS8	H	H	L	H	L	H	BA	RFU	H	H	CA	8
不操作 (NOP)	NOP	H	H	L	H	H	H	V	V	V	V	V	9	
器件不使能(DES)	DES	H	H	H	X	X	X	X	X	X	X	X	10	
进入 Power_down(PDE)	PDE	H	L	L	H	H	H	V	V	V	V	V	6	
		H	V	V	V									
退出 Power_down(PDX)	PDX	L	H	L	H	H	H	V	V	V	V	V	6, 11	
		H	V	V	V									
ZQ 长校准(ZQCL)	ZQCL	H	H	L	H	H	L	X	X	X	H	X	12	
ZQ 短校准(ZQCS)	ZQCS	H	H	L	H	H	L	X	X	X	L	X		

注释:

1、命令由时钟上升沿的 CS#、RAS#、CAS#、WE#和 CKE 的状态定义。BA、RA 和 CA 的 MSB 取决于设备、密度和配置。

2、RESET# 低电平启用，仅用于异步复位。因此，在任何正常操作期间，RESET# 必须保持为高电平。

3、ODT 的状态不影响本表所述的状态。

4、操作适用于 bank 地址定义的 bank。对于 MRS，BA 选择四个模式寄存器之一。

5、“V”表示“H”或“L”（定义的逻辑电平），“X”表示“不关心”。

6、有关 CKE 转换的其他信息，请参照表格 3-4。

7、自刷新退出是异步的。

8、Burst READs 或 WRITEs 不能被终止或中断。MRS（固定）和 OTF BL/BC 在 MR0 中定义。

9、NOP 命令的目的是防止 DRAM 注册任何不需要的命令。NOP 不会终止正在执行的操作。

10、DES 和 NOP 命令执行类似。

11、掉电模式不执行任何刷新操作。

12、ZQ CALIBRATION LONG 用于 ZQinit（初始化期间的第一个 ZQCL 命令）或 ZQoper（初始化后的 ZQCL 命令）。

表 3-13 真值表_CKE

Current State ³	CKE		Command ⁵ (RAS#, CAS#, WE#, CS#)	Action ⁵	Notes
	Previous Cycle ⁴ (n - 1)	Present Cycle ⁴ (n)			
掉电	L	L	不关心	保持掉电	
	L	H	DES 或者 NOP	退出掉电	
自刷新	L	L	不关心	保持自刷新	
	L	H	DES 或者 NOP	退出自刷新	
块激活	H	L	DES 或者 NOP	主动掉电入口	
读	H	L	DES 或者 NOP	掉电入口	
写	H	L	DES 或者 NOP	掉电入口	
预充电	H	L	DES 或者 NOP	掉电入口	
刷新	H	L	DES 或者 NOP	预充电入口	
所有块空闲	H	L	DES 或者 NOP	预充电入口	6
	H	L	刷新	自刷新	

注释：

1、除非本文档其他地方明确说明，否则所有未显示的状态和序列均为非法或保留。

2、tCKE (MIN) 表示 CKE 必须在多个连续的时钟沿注册。CKE 必须在达到所需注册时钟数的整个时间内保持在有效输入电平。因此，在任何 CKE 转换之后，CKE 可能不会在 tIS + tCKE (MIN) + tIH 的时间段内从其有效电平转换。

3、当前状态 = 时钟沿 n 之前的 DRAM 状态。

4、CKE(n)是 CKE 在时钟沿 n 的逻辑状态；CKE (n - 1) 是 CKE 在前一个时钟沿的状态。

5、COMMAND 是在时钟沿注册的命令。行动是命令的结果。ODT 不影响此表中描述的状态，因此未列出。

6、空闲状态 = 所有 bank 都关闭，没有数据突发正在进行，CKE 为高，并且满足先前操作的所有时序。还满足所有自刷新退出和掉电退出参数。

3.7 Speed Bins

下表显示 DDR3 速度档和相关的时间参数。其他时序参数在下一章中提供。有关特定速度档的产品的可用性和订购信息，请参见表 6-1。所有速度档的绝对规格为 T_{OPER} ， $V_{DD}=V_{DDQ}=1.5V \pm 0.075V$ 。此外，以下常规说明适用。

表 3-14 DDR3-1866 速度档

DDR3-1866 Speed Bin		-9M ¹		单位	注释	
CL-tRCD-tRP		13-13-13				
参数	符号	最小值	最大值			
内部读取命令至第一个数据	tAA	13.91	20			
激活至读或写延迟	trCD	13.91	-	ns		
预充电命令时间	trP	13.91	-	ns		
激活至激活/自动刷新命令时间	trc	47.91	-	ns		
激活至预充电命令时间	trAS	34	9 × tREFI	ns	2	
CL=5	CWL=5	tCK(AVG)	3.0	3.3	ns	3
	CWL=6,7,8,9	tCK(AVG)	Reserved	Reserved	ns	4
CL=6	CWL=5	tCK(AVG)	2.5	3.3	ns	3
	CWL=6,7,8,9	tCK(AVG)	Reserved	Reserved	ns	4

DDR3-1866 Speed Bin			-9M ¹		单位	注释
CL-tRCD-tRP			13-13-13			
参数		符号	最小值	最大值		
CL=7	CWL=5,7,8,9	tCK(AVG)	Reserved	Reserved	ns	4
	CWL=6	tCK(AVG)	1.875	2.5	ns	3
CL=8	CWL=5,8,9	tCK(AVG)	Reserved	Reserved	ns	4
	CWL=6	tCK(AVG)	1.875	2.5	ns	3
	CWL=7	tCK(AVG)	Reserved	Reserved	ns	4
CL=9	CWL=5,6,8,9	tCK(AVG)	Reserved	Reserved	ns	4
	CWL=7	tCK(AVG)	1.5	1.875	ns	3
CL=10	CWL=5,6,9	tCK(AVG)	Reserved	Reserved	ns	4
	CWL=7	tCK(AVG)	1.5	1.875	ns	3
	CWL=8	tCK(AVG)	Reserved	Reserved	ns	4
CL=11	CWL=5,6,7	tCK(AVG)	Reserved	Reserved	ns	4
	CWL=8	tCK(AVG)	1.25	1.5	ns	3
	CWL=9	tCK(AVG)	Reserved	Reserved	ns	4
CL=12	CWL=5,6,7,8	tCK(AVG)	Reserved	Reserved	ns	4
	CWL=9	tCK(AVG)	Reserved	Reserved	ns	4
CL=13	CWL=5,6,7,8	tCK(AVG)	Reserved	Reserved	ns	4
	CWL=9	tCK(AVG)	1.07	1.25	ns	3
支持 CL 设置			5,6,7,8,9,10,11,13		CK	
支持 CWL 设置			5,6,7,8,9		CK	

注释:

1、-9M 速度档需要向下支持速度为 1600, CL=11 (-8K) ; 1333, CL=9 (-6H) ; 1066, CL=7 (-5F) 的设备。

2、tREFI 取决于工作温度 T_{OPER}。

3、CL 设置和 CWL 设置决定 tCK (AVG) Min 和 tCK (AVG) Max 的要求。在选择 tCK (平均) 时, 需要满足以下两点: CL 设置的要求以及 CWL 设置的要求。

4、“保留”设置是不允许的。用户必须编程一个不同的值。

4 说明事项

4.1 运输与储存

芯片在适宜环境下储运。

使用指定的防静电包装盒进行产品的包装和运输。在运输过程中，确保芯片不要与外物发生碰撞。

4.2 开箱与检查

开箱使用芯片时，请注意观察产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查芯片确定无损坏，无伤痕，管脚整齐，无缺失，无变形

4.3 使用操作规程及注意事项

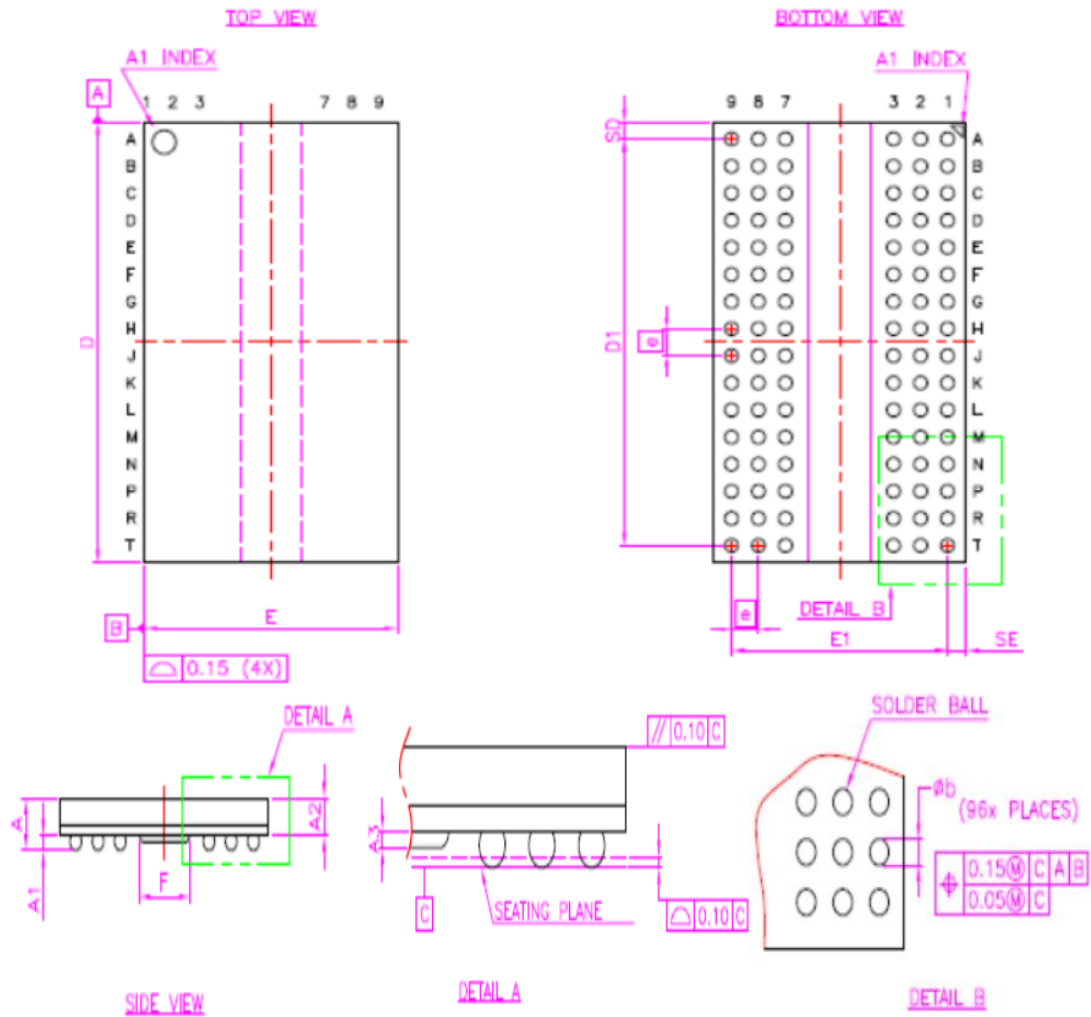
器件必须采取防静电措施进行操作。取用芯片时应佩戴防静电手套，防止人体电荷对芯片的静电冲击，损坏芯片。将芯片插入电路板上的底座时以及将芯片从电路板上的底座取出时，应注意施力方向以确保芯片管脚均匀受力。不要因为用力过猛，损坏芯片管脚，导致无法使用。

推荐下列操作措施：

- a) 器件应在防静电的工作台上操作，或带指套操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中（如：集成电路专用盒）；
- e) 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物。

5 封装

采用 FBGA96(7.5mmx13mm)，具体封装尺寸如图 5-1。



单位为毫米

尺寸符号	最小值	公称值	最大值
A	—	—	1.20
A1	0.29	0.34	0.39
A2	—	0.79	—
A3	0.142	0.155	0.168
b	0.40	0.45	0.50
D	12.90	13.00	13.10
D1	—	12.00	—
E	7.40	7.50	7.60
E1	—	6.40	—
F	—	1.80	—
SD	—	0.50	—
SE	—	0.55	—
e	—	08	—

图 5-1 封装形式图

6 订货信息

6.1 选型列表

表 6-1DDR3 选型列表

型号	工作电压 (V_{DD}/V_{DDQ})	位宽	工作频率	数据速率	封装类型
AST41J128M16P	1.5V	X16	933Mhz	1866	96Ball FBGA