



深圳市雅创芯瀚电子科技有限公司
SHENZHEN ASTRONG-TECH CO., LTD

AST41K512M16P型
8Gb DDR3L 同步动态随机存储器
数据手册

服务电话：13691641629 13538015750

目 录

1 产品概述	2
1.1 概述.....	2
1.2 产品特性.....	2
1.3 引脚排布.....	3
1.4 管脚定义.....	3
1.5 原理框图.....	5
2 功能描述	6
2.1 真值表.....	6
2.2 功能说明.....	7
3 电参数	19
3.1 绝对最大额定值.....	19
3.2 推荐工作条件.....	19
3.3 电特性表.....	20
4 说明事项	33
4.1 运输与储存.....	33
4.2 开箱与检查.....	33
4.3 使用操作规程及注意事项.....	33
4.4 质量保证.....	33
5 封装	34
5.1 AST41K512M16P封装形式.....	34
6 订货信息	36

1 产品概述

1.1 概述

AST41K512M16P型8Gb DDR3L同步动态随机存储器是一款使用双倍速率数据架构实现高速运行的同步动态随机存储器，其供电电压 $VDD=VDDQ=1.35V$ （ $1.283V\sim 1.45V$ ），向下兼容DDR3： $VDD=VDDQ=1.5V\pm 0.075V$ ，存储容量为8Gbit（ $64Meg\times 16\times 8banks$ ），采用8个bank结构，每个bank大小为 $64Meg\times 16$ ，数据位宽为16bit，采用差分时钟输入（CK和CK#）时钟频率最高可达800MHz，数据传输率达1600MT/s，可通过行地址A[15:0]、列地址A[9:0]和Bank地址BA[2:0]对内部存储单元进行选择，通过标准指令激活器件后，进行读写操作。各操作指令序列与MT41K512M16HA-125兼容，满足JEDEC DDR3 SDRAM标准要求。

1.2 产品特性

- 工作电压： $VDD=VDDQ=1.283V\sim 1.45V$
- 工作电压兼容 $VDD=VDDQ=1.5V\pm 0.075V$
- 存储容量：8Gb
- 存储结构： $512Meg\times 16$ （ $64Meg\times 16\times 8 banks$ ）
- 差分时钟输入：CK和CK#，时钟频率800MHz
- 可编程CAS延迟（CAS Latency）
- 可编程的CAS附加延迟（Additive Latency）
- 可编程突发长度：BC4或BL8
- 可调数据输出驱动强度（Drive Strength）
- 支持ODT片上阻抗匹配功能
- DLL利用CK矫正DQ和DQS的变化
- 封装形式：BGA96
- 温度范围： $-55^{\circ}C\sim +125^{\circ}C$
- ESD：2000V
- 湿度敏感等级：3级

1.3 引脚排布

AST41K512M16P 引出端排列见图 1-1。

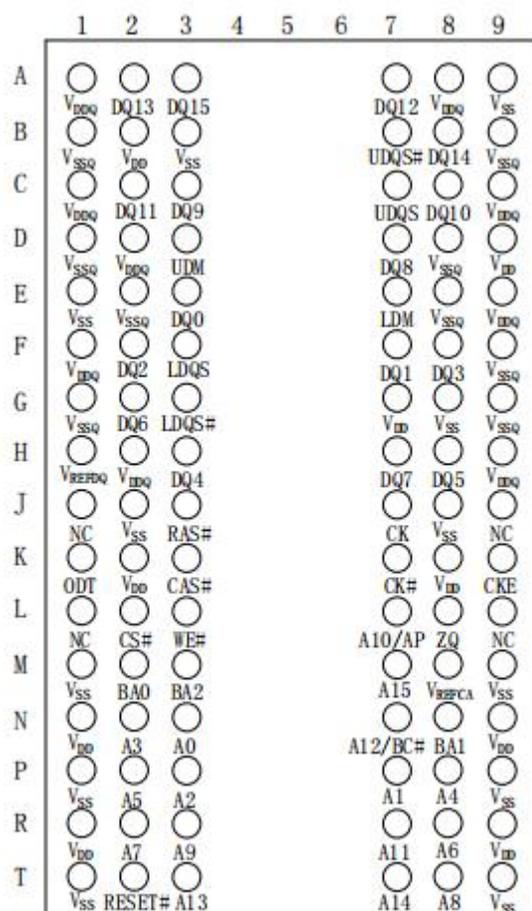


图 1-1 引出端排列图

1.4 管脚定义

表 1-1 管脚定义

引出端序号	符号	类型	功能描述	引出端序号	符号	类型	功能描述
A1	VDDQ	PWR	I/O 电源	J1	NC	NC	空脚
A2	DQ13	I/O	数据输入/输出信号	J2	VSS	PWR	地
A3	DQ15	I/O	数据输入/输出信号	J3	RAS#	I	行地址选通指令输入
A7	DQ12	I/O	数据输入/输出信号	J7	CK	I	时钟输入
A8	VDDQ	PWR	I/O 电源	J8	VSS	PWR	地
A9	VSS	PWR	地	J9	NC	NC	空脚
B1	VSSQ	PWR	I/O 地	K1	ODT	I	内核终结电阻器控制信号
B2	VDD	PWR	电源	K2	VDD	PWR	电源

引出端序号	符号	类型	功能描述	引出端序号	符号	类型	功能描述
B3	VSS	PWR	地	K3	CAS#	I	列地址选通指令输入
B7	UDQS#	I/O	高字节数据选通信号	K7	CK#	I	时钟输入
B8	DQ14	I/O	数据输入/输出信号	K8	VDD	PWR	电源
B9	VSSQ	PWR	I/O 地	K9	CKE	I	时钟使能信号
C1	VDDQ	PWR	I/O 电源	L1	NC	NC	空脚
C2	DQ11	I/O	数据输入/输出信号	L2	CS#	I	片选信号
C3	DQ9	I/O	数据输入/输出信号	L3	WE#	I	写入指令输入
C7	UDQS	I/O	高字节数据选通信号	L7	A10/AP	I	地址输入
C8	DQ10	I/O	数据输入/输出信号	L8	ZQ	REF	输出驱动校准电阻端接管脚
C9	VDDQ	PWR	I/O 电源	L9	NC	NC	空脚
D1	VSSQ	PWR	I/O 地	M1	VSS	PWR	地
D2	VDDQ	PWR	I/O 电源	M2	BA0	I	Bank 地址输入信号
D3	UDM	I	高字节数据掩码信号	M3	BA2	I	Bank 地址输入信号
D7	DQ8	I/O	数据输入/输出信号	M7	A15	I	地址输入
D8	VSSQ	PWR	I/O 地	M8	VREFCA	PWR	控制、命令、地址信号参考电压
D9	VDD	PWR	电源	M9	VSS	PWR	地
E1	VSS	PWR	地	N1	VDD	PWR	电源
E2	VSSQ	PWR	I/O 地	N2	A3	I	地址输入
E3	DQ0	I/O	数据输入/输出信号	N3	A0	I	地址输入
E7	LDM	I	低字节数据掩码信号	N7	A12/BC#	I	地址输入
E8	VSSQ	PWR	I/O 地	N8	BA1	I	Bank 地址输入信号
E9	VDDQ	PWR	I/O 电源	N9	VDD	PWR	电源
F1	VDDQ	PWR	I/O 电源	P1	VSS	PWR	地
F2	DQ2	I/O	数据输入/输出信号	P2	A5	I	地址输入
F3	LDQS	I/O	低字节数据选通信号	P3	A2	I	地址输入
F7	DQ1	I/O	数据输入/输出信号	P7	A1	I	地址输入
F8	DQ3	I/O	数据输入/输出信号	P8	A4	I	地址输入
F9	VSSQ	PWR	I/O 地	P9	VSS	PWR	地
G1	VSSQ	PWR	I/O 地	R1	VDD	PWR	电源
G2	DQ6	I/O	数据输入/输出信号	R2	A7	I	地址输入
G3	LDQS#	I/O	低字节数据选通信号	R3	A9	I	地址输入
G7	VDD	PWR	电源	R7	A11	I	地址输入
G8	VSS	PWR	地	R8	A6	I	地址输入
G9	VSSQ	PWR	I/O 地	R9	VDD	PWR	电源
H1	VREFDQ	PWR	数据信号参考电压	T1	VSS	PWR	地
H2	VDDQ	PWR	I/O 电源	T2	RESET#	I	复位输入
H3	DQ4	I/O	数据输入/输出信号	T3	A13	I	地址输入

引出端序号	符号	类型	功能描述	引出端序号	符号	类型	功能描述
H7	DQ7	I/O	数据输入/输出信号	T7	A14	I	地址输入
H8	DQ5	I/O	数据输入/输出信号	T8	A8	I	地址输入
H9	VDDQ	PWR	I/O 电源	T9	VSS	PWR	地

注：“#”表示低电平有效。

1.5 原理框图

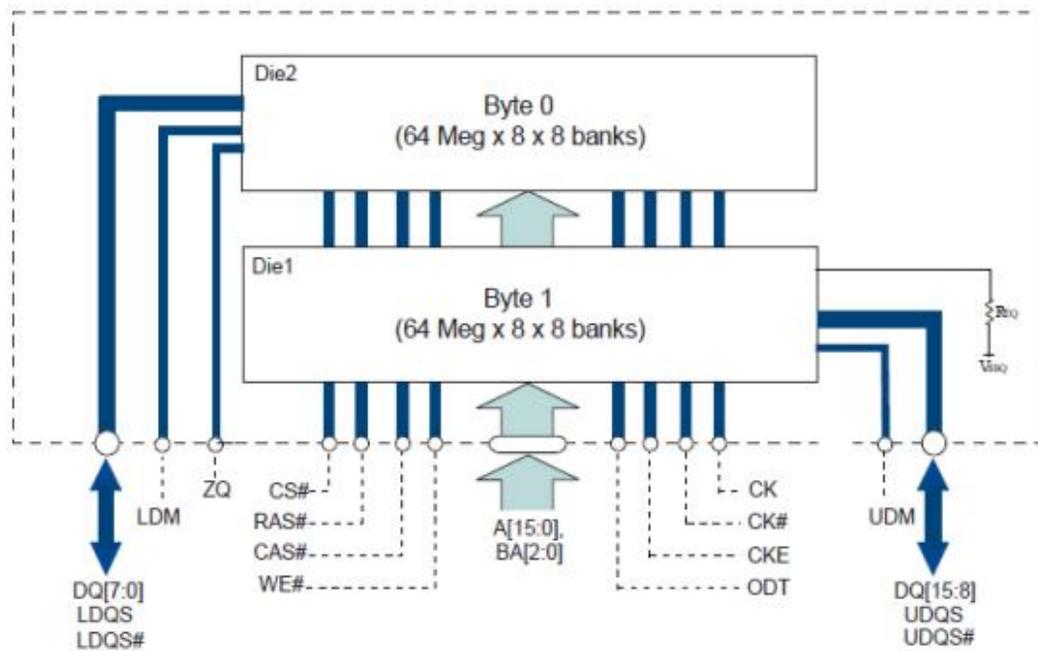


图 1-2 原理框图

2 功能描述

2.1 真值表

表 2-1 描述的是 DDR3 SDRAM 的命令真值表，可对应查询。

表 2-1 DDR3 命令真值表

功能	CKE n-1	CKE n	CS#	RAS#	CAS#	WE#	BA2- BA0	An	A12	A10	A9-A0	
模式寄存器设置 (MRS)	H	H	L	L	L	L	BA	OP code				
自动刷新(REF)	H	H	L	L	L	H	V	V	V	V	V	
进入自刷新(SRE)	H	L	L	L	L	H	V	V	V	V	V	
退出自刷新(SRX)	L	H	H	V	V	V	V	V	V	V	V	
			L	H	H	H						
单 BANK 预充电(PRE)	H	H	L	L	H	L	BA	V	V	L	V	
所有 BANK 预充电(PREA)	H	H	L	L	H	L	V	V	V	H	V	
BANK 激活(ACT)	H	H	L	L	H	H	BA	Row address				
写入操作 (WR)	BL8MRS BC4MRS	H	H	L	H	L	L	BA	X	V	L	Column address
	BC4OTF	H	H	L	H	L	L	BA	X	L	L	Column address
	BL8OTF	H	H	L	H	L	L	BA	X	H	L	Column address
带自动预充 电写入操作 (WRAP)	BL8MRS BC4MRS	H	H	L	H	L	L	BA	X	V	H	Column address
	BC4OTF	H	H	L	H	L	L	BA	X	L	H	Column address
	BL8OTF	H	H	L	H	L	L	BA	X	H	H	Column address
读取操作 (RD)	BL8MRS BC4MRS	H	H	L	H	L	H	BA	X	V	L	Column address
	BC4OTF	H	H	L	H	L	H	BA	X	L	L	Column address
	BL8OTF	H	H	L	H	L	H	BA	X	H	L	Column address
带自动预充 电读取操作 (RDAP)	BL8MRS BC4MRS	H	H	L	H	L	H	BA	X	V	H	Column address
	BC4OTF	H	H	L	H	L	H	BA	X	L	H	Column address
	BL8OTF	H	H	L	H	L	H	BA	X	H	H	Column address
不操作 (NOP)	H	X	L	H	H	H	V	V	V	V	V	
器件不使能(DES)	H	H	H	X	X	X	X	X	X	X	X	
进入 Power_down(PDE)	H	L	L	H	H	H	V	V	V	V	V	
			H	V	V	V						
退出 Power_down(PDX)	L	H	L	H	H	H	V	V	V	V	V	
			H	V	V	V						
ZQ 长校准(ZQCL)	H	H	L	H	H	L	X	X	X	H	X	
ZQ 短校准(ZQCS)	H	H	L	H	H	L	X	X	X	L	X	

2.2 功能说明

2.2.1 模式寄存器(MR)

模式寄存器（MR0-MR3）用来定义 DDR3 SDRAM 的工作模式，利用加载模式寄存器（MRS）命令进行设置，芯片会一直保持所设置的信息直到重新设置、芯片复位或掉电。重新设置模式寄存器不会修改芯片内部所存储的数据。

MR0 模式寄存器用来定义 DDR3 SDRAM 的突发长度（Burst Length）、突发类型（Burst Type）、CAS 延迟（CAS latency）、操作模式、DLL 复位、写恢复和预充电 Power_down 模式，如图 5 所示。

1)Burst Length (BL)：突发长度。DDR3 的读写操作都是突发类型的，突发长度决定了在读取操作或写入操作中列空间的最大个数，可根据要求设置为 4（突变模式），8（固定）或利用 A12 管脚在读写命令的时候进行设置（on-the-fly）。

2)Burst Type: 突发类型。突发类型分为 sequential 或 interleaved，只在读取操作中有用，由 M3 决定。

3)CAS Latency(CL)：列地址选通脉冲时间延迟。指在读取数据时，读取命令到数据输出需要等待的时钟周期数，可设置为 5~11。

4)DLL Reset: DLL 复位设置，当设置 M8 为 1 时，激活 DLL 复位功能。

5)Write Recovery: 定义写恢复时间， $WR=t_{wr}/t_{CK}$ ，可设置为 5~12。

6)Precharge Power-Down 模式：当 M12 设置为 0 时，在预充电 Power-Down 模式下，DLL 关闭，芯片处于待机模式；当 M12 设置为 1 时，在预充电 Power-Down 模式下，DLL 打开，芯片处于快速退出预充电 Power-Down 模式。

7)Mode Register Definition: 模式寄存器定义，由 BA2、BA1 和 BA0 决定 LMR 命令所操作的模式寄存器属于哪种模式寄存器。

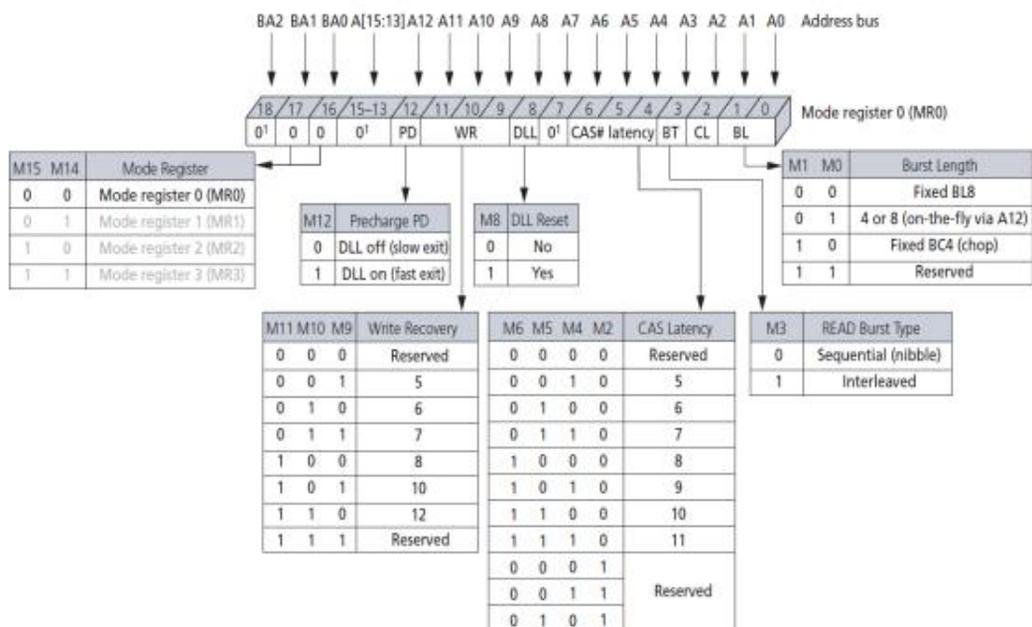


图 5 模式寄存器 MR0 定义

MR1 模式寄存器定义 DDR3 SDRAM 额外的一些设置，有数据输出使能（QOFF）、DLL 使能/禁止、ODT 的电阻值、写入均衡控制、CAS 附加延迟设置和输出驱动强度选择等，如图 6 所示。

1) **DLL Enable/Disable:** DLL 使能控制。在正常操作时，DLL 必须被使能，在上电初始化的时候进行使能设置。

2) **Output Drive Strength:** 输出驱动强度。正常情况下设置为 $RZQ/7(34\Omega[NOM])$ ，为了校准输出驱动阻抗，外部需要有 RZQ 电阻($240\Omega\pm 10\%$)连接到 ZQ 管脚上。

3) **CAS# Additive Latency(AL):** CAS 附加延迟，可设置为 0、CL-1、CL-2。AL 延时是为了提高 DDR3 芯片控制和数据总线的效率，允许在发出激活命令之后就立即发出读写或写入的命令。

4) **RTT:** ODT 电阻的设置和 RZQ 电阻相关，可按需求设置。

5) **WL:** 写入均衡功能使能，通过 MR1[7]设置。

6) **TDQS 使能控制:** 只有在 8bit 模式下才使用。

7) **数据输出使能控制:** M12 设置是否正常输出，M12=0 时正常输出，否则输出禁止。

8) **Mode Register Definition:** 模式寄存器定义，由 BA2、BA1 和 BA0 决定 LMR 命令所操作的模式寄存器属于哪种模式寄存器。

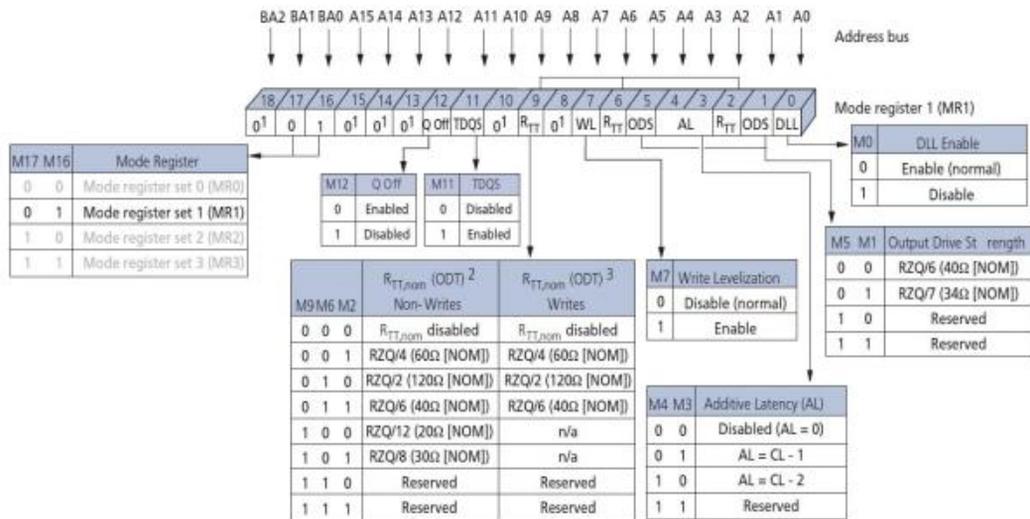


图 6 模式寄存器 MR1 定义

MR2 模式寄存器定义了 DDR3 SDRAM 的其他一些设置，有 CAS 写入延迟、自动自刷新(ASR)、温度自刷新(SRT)、动态 ODT 等，如图 7 所示。

1)CWL: CAS 写入延迟。定义在写入操作中，在附件延迟(AL)后增加的 CWL 延迟时钟数，可设置为 5~8。

2)ASR: 自动自刷新使能。

3)SRT: 自刷新温度范围使能。

4)动态 ODT: 动态 ODT 使能。如果动态 ODT 使能，则在写入操作的时候，DRAM 从正常的 ODT 模式切换到动态 ODT 模式进行工作。

5)Mode Register Definition: 模式寄存器定义，由 BA2、BA1 和 BA0 决定 LMR 命令所操作的模式寄存器属于哪种模式寄存器。

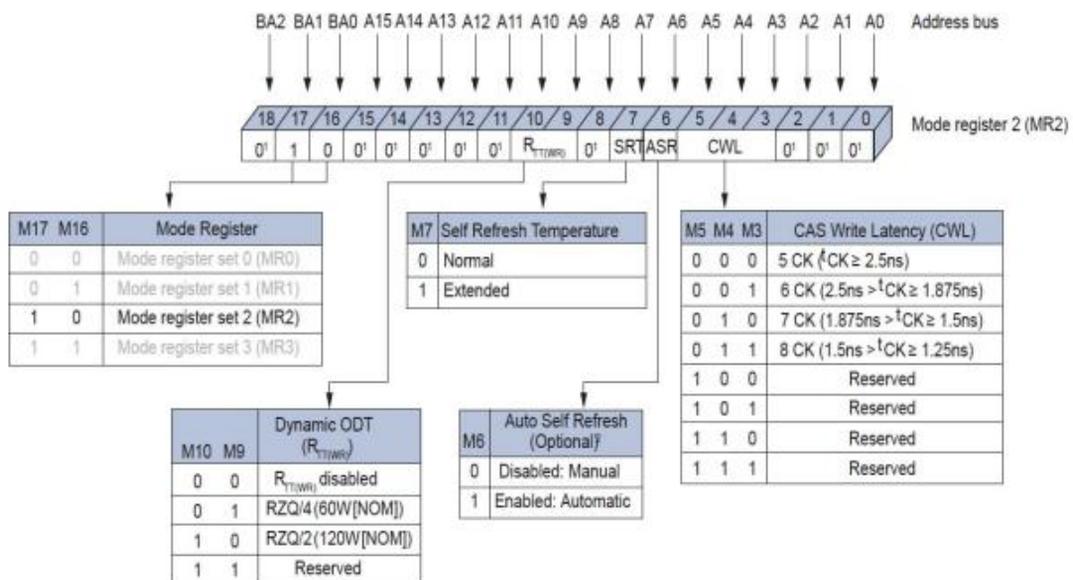


图 7 模式寄存器 MR2 定义

MR3 定义了 MULTIPURPOSE REGISTER (MPR)功能的控制位，如图 8 所示。

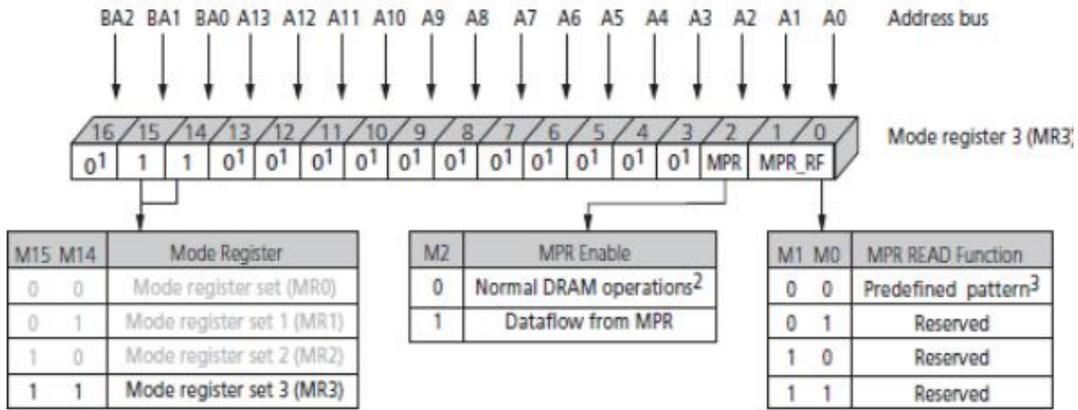


图 8 模式寄存器 MR3 定义

2.2.2 芯片初始化

DDR3L 芯片上电以后，用户需要按照要求对其进行初始化和必要的功能配置后，才能进行正常的读写操作，其初始化时序如图 9 所示。

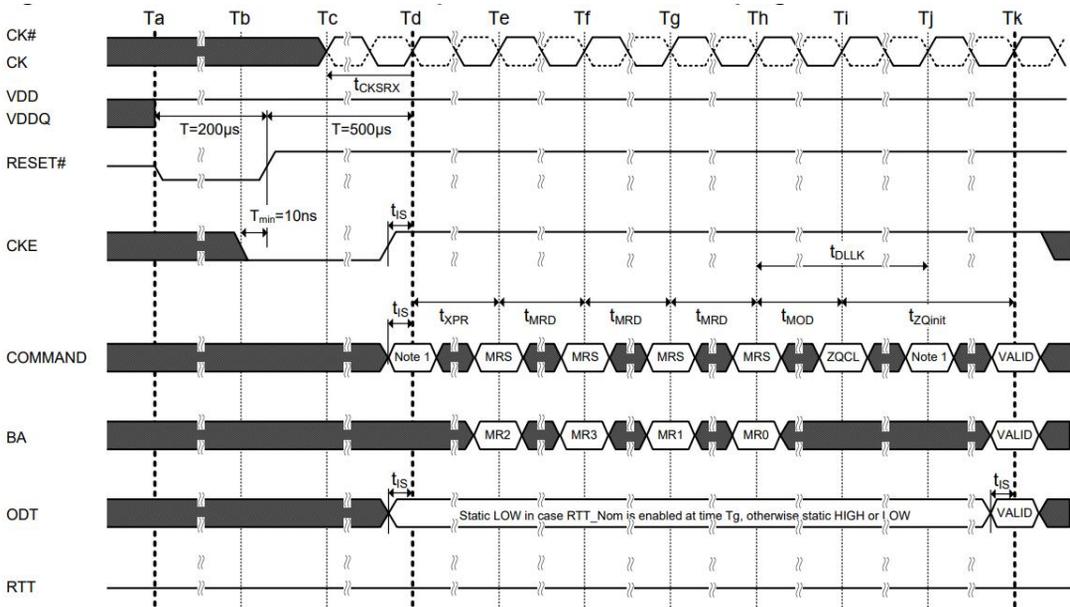


图 9 芯片初始化时序

2.2.3 激活操作

激活操作 (ACTIVATE) 是指在读取或者写入操作之前，芯片需要将要操作的 Bank 和 Row 进行激活，方便后续的操作。激活操作是通过激活命令实现的，在激活命令经过时间 t_{RCD} 后，可以进行读取或写入操作，而在不同 Bank 之间 激活命令的间隔时间是 t_{RRD} ，如图 10 所示。

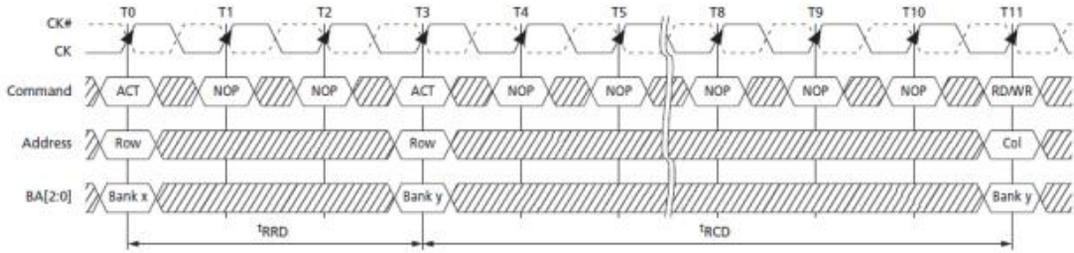


图 10 t_{RCD} 和 t_{RRD} 时序

2.2.4 读取操作

突发读取操作是通过读取命令实现的，在读取命令中提供读数据的 Bank 地址和 Column 地址，经过读取延迟 (Read Latency) 后，芯片会连续输出指定数量的数据。RL 的值由 AL 和 CL 决定 ($RL=AL+CL$)。AL 和 CL 的值可通过 MRS 命令进行设置。读数据操作的时序图如图 11 所示 ($CL=5, AL=0, BL=8$)。

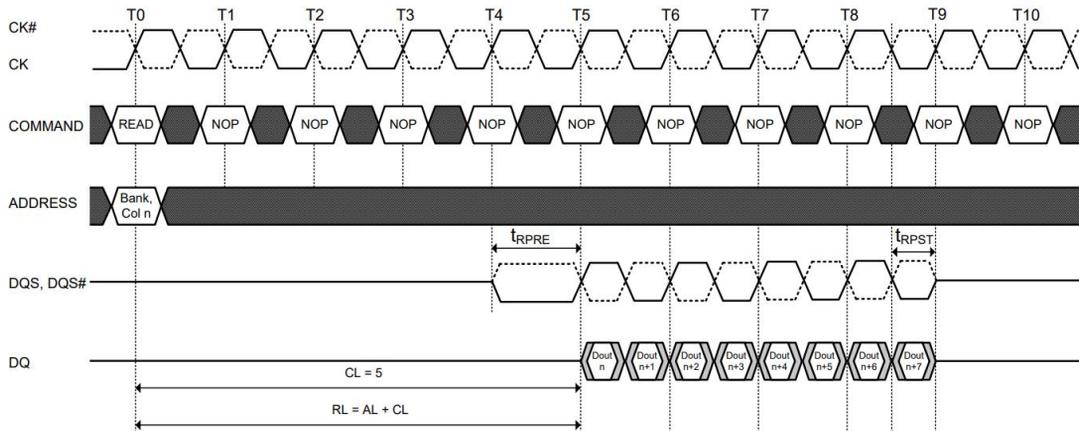


图 11 读取延迟 (Read Latency)

在读取操作中，DQS/DQS#与输出数据同步，芯片在 DQS/DQS#的上升沿和下降沿都会输出数据。DDR3 SDRAM 的突发读取操作不允许中断或者删减。在突发读取操作后，如果用户不需要再访问之前激活的行，那么可以使用“预充电” (PRECHARGE) 命令来关闭激活的行。在发送“读数据”命令时，用户可以使用 A10 管脚控制芯片在完成“读数据”操作后是否自动关闭当前访问的行。在发送“读数据”命令时，如果地址线 A10 为高电平，则在读取操作完成后芯片会自动关闭当前访问的行；如果地址线 A10 为低电平，则在读取操作完成后芯片不会自动关闭当前访问的行，相应时序波形如图 12 和图 13 所示。

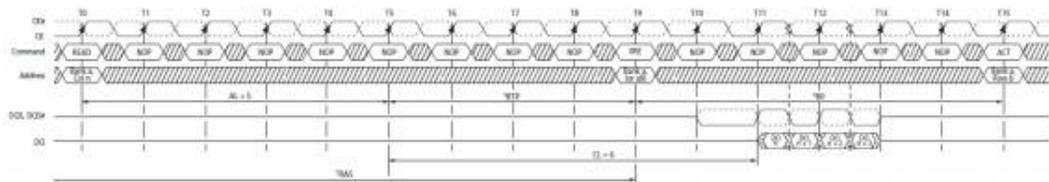


图 12 读取操作-不带自动预充电

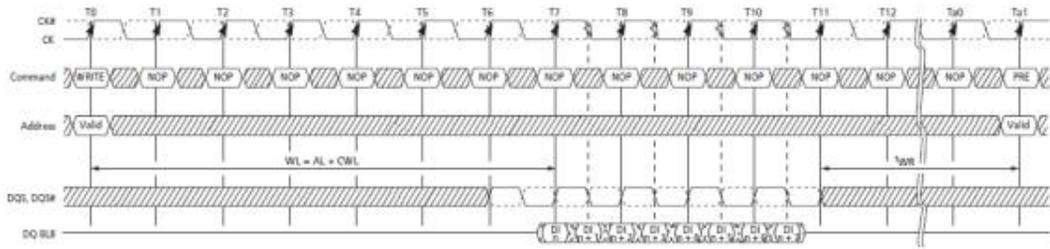


图 15 写入操作-预充电时序

2.2.6 预充电操作 (PRECHARGE)

预充电命令是用来关闭某个 BANK 已经激活的 Row 或者所有 BANK 已经激活的 Row。A10 管脚用来检测是所有激活的 Row 被预充电还是单个 BANK 的 Row 被预充电，当 A10 管脚为高时，表明所有激活的 Row 都需要被预充电，BANK 地址无意义；而 A10 管脚为低时，单一 BANK 的 Row 被预充电，这时 BANK 地址所指代的就是需要预充电 Row 的 BANK 地址。

一旦 BANK 被预充电以后，则整个 BANK 的 Row 都被关闭，处于空闲状态，如果后续需要对 Row 进行读写操作，则需要重新激活后才能使用。

2.2.7 刷新操作 (REFRESH)

DRAM 需要每隔一段时间执行一次刷新操作，以保证存储数据不丢失。刷新操作时，地址由内部刷新控制器自动产生。刷新操作时序如图 16 所示。

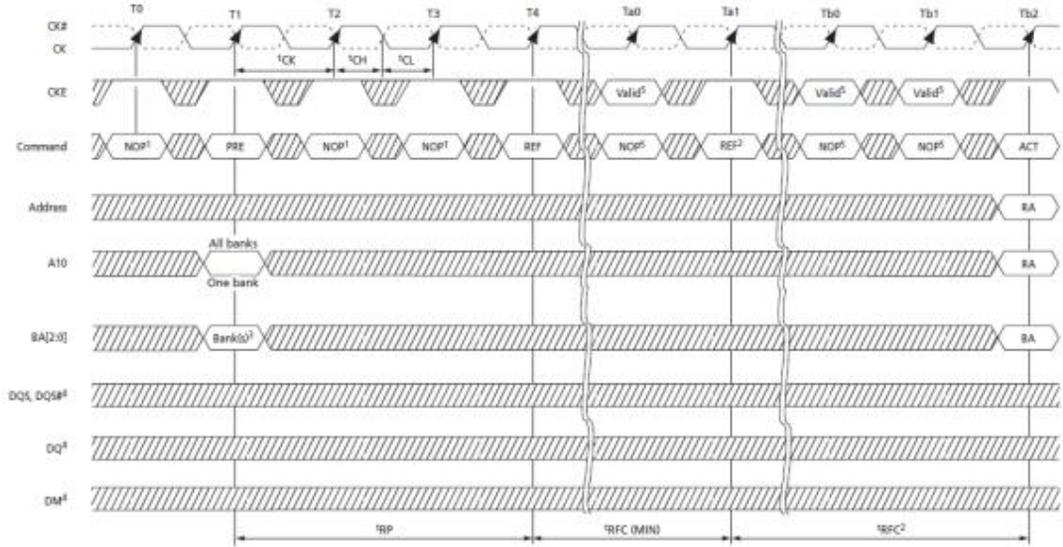


图 16 刷新操作时序

2.2.8 自刷新操作(SELF REFRESH)

自刷新操作也是用来刷新 DRAM 以保存所存储的数据。在自刷新方式下,为了降低功耗,刷新地址和刷新时间全部由器件内部产生。只有通过 CKE 变低 才能激活自刷新方式,其他的任何输入都将不起作用。给出退出自刷新方式命令后必须保持一定节拍的空操作输入,以保证器件完成从自刷新方式的退出。如果在正常工作期间采用集中式自动刷新方式,则在退出自刷新模式后必须进行一遍集中的自动刷新操作,以保证 DRAM 的数据不丢失。自刷新时序图如图 17 所示。

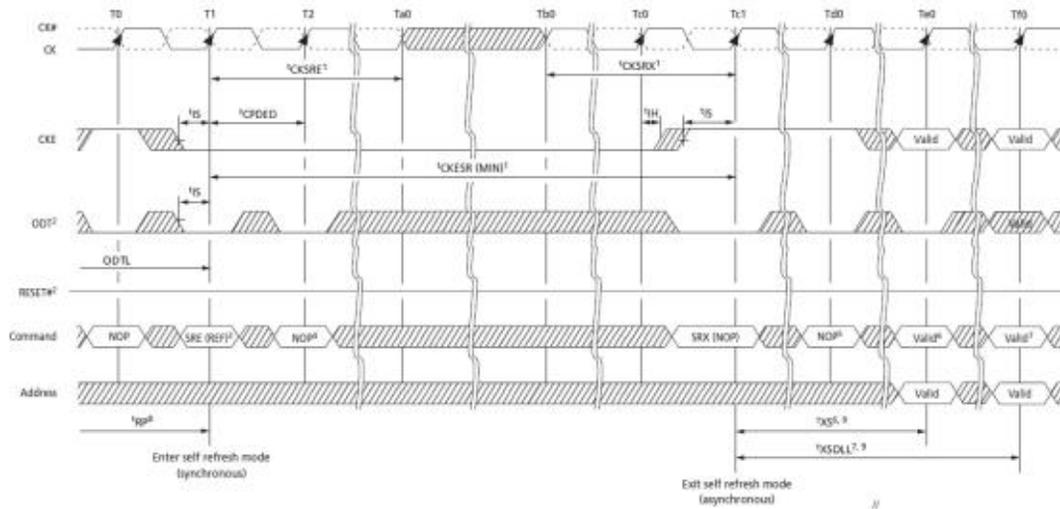


图 17 自刷新进入/退出时序

DDR3 SDRAM 采用了两项新的自刷新设计功能,称为自动自刷新(ASR, Automatic Self-Refresh)和自刷新温度范围(SRT, Self-Refresh Temperature)。当开始 ASR 之后,将通过一个内置于 DRAM 芯片的温度传感器来控制刷新的频率,因为刷新频率高的话,耗电就大,温度也随之升高,而温度传感器则在保证数据不丢失的情况下,尽量减少刷新频率,降低工作温度。自刷新温度范围(SRT, Self-Refresh Temperature)可通过模式寄存器选择两个温度范围,一个是普通的温度范围(例如-55°C至 85°C),另一个是扩展温度范围,比如最高到 125°C。对于 DRAM 内部设定的这两种温度范围,DRAM 将以恒定的频率和电流进行刷新操作,其对应的设置和功能说明见表 2-2。

表 2-2 自刷新模式总结

MR2[6] (ASR)	MR2[7] (SRT)	自刷新操作	允许的温度访问
0	0	自刷新模式工作在正常的温度范围内	-55°C~85°C
0	1	自刷新模式工作在正常的温度范围内和扩展的温度访问,当 SRT 使能以后,会提高自刷新的功耗	-55°C~125°C
1	0	自刷新模式工作在正常的温度范围内和扩展的温度访问,自刷新的功耗跟温度相关	-55°C~125°C
1	1	不能设置	

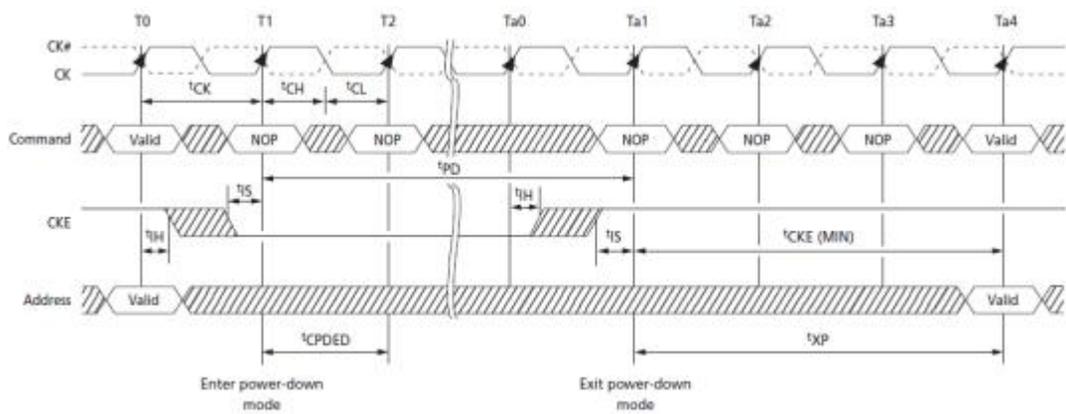


图 20 激活 Power-down 过程进入/退出

2.2.11 复位操作

当外部复位管脚 RESET#拉低，保持 100ns 的时间，芯片就执行复位操作。在此过程中，芯片输出禁止，ODT 关闭，芯片复位。当退出复位操作以后，芯片必须重新初始化后才能工作，内部计数器也复位，而芯片内部数据也会变化。 复位时序图如图 21 所示。

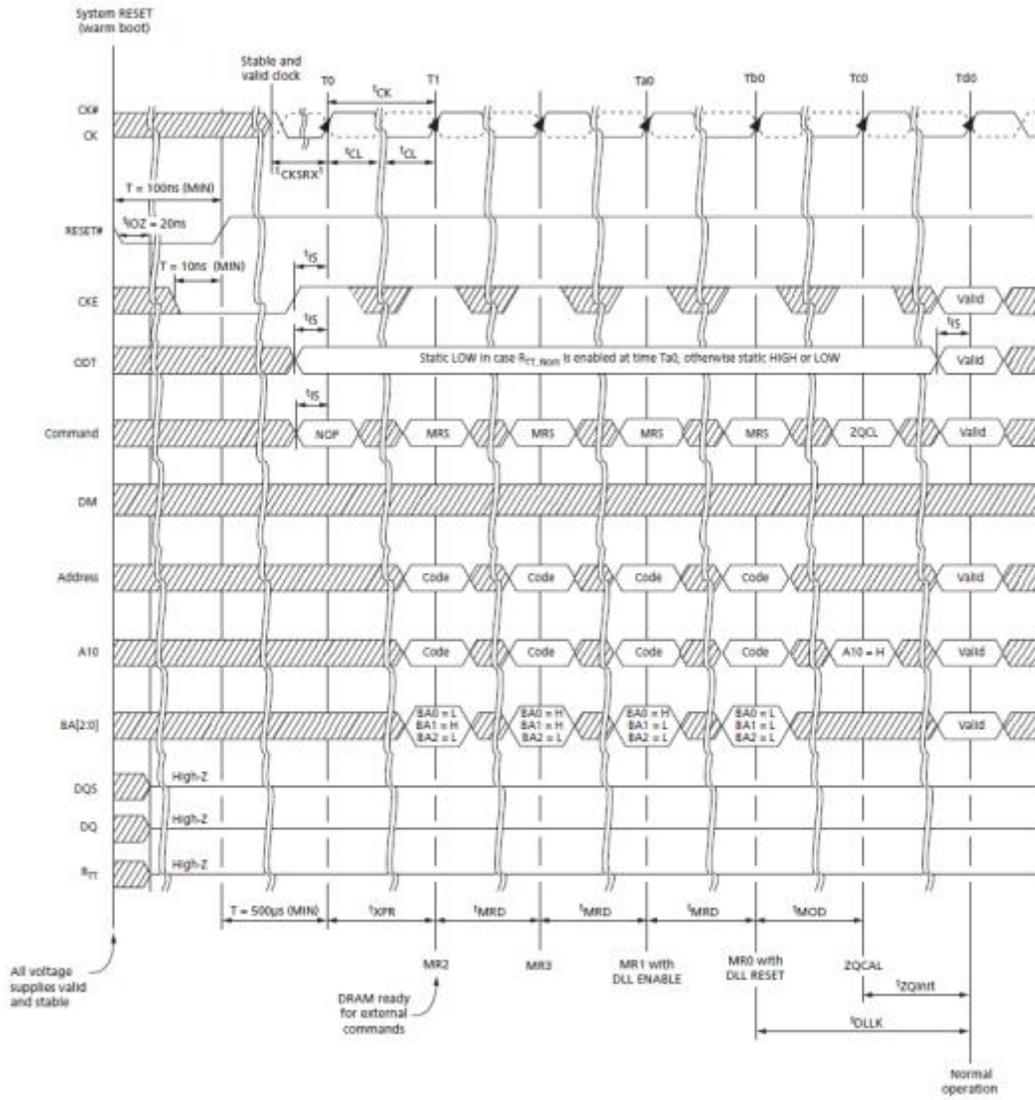


图 21 复位操作时序

2.2.12 终端电阻 (ODT) 设置

DRAM 存储控制器利用终端电阻(ODT)功能打开或者关闭 DRAM 芯片某些信号的终端电阻，包括 DQ 、 DQS 、 DM 信号，用来提高 DRAM 存储器的信号完整性，其示意图如图 22 所示。

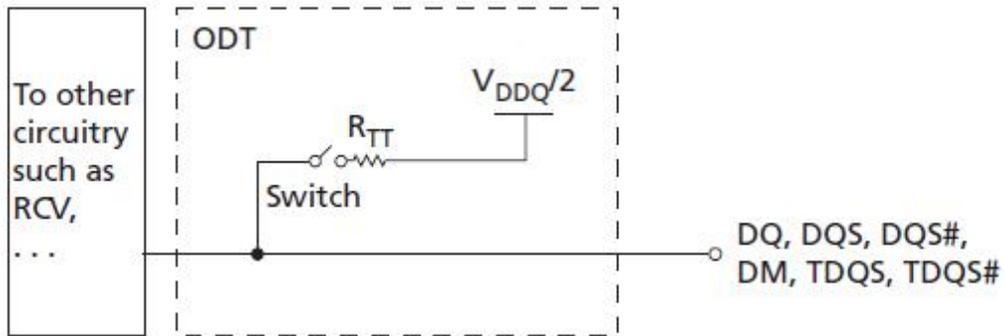


图 22 ODT 功能示意图

终端电阻 R_{TT} 的电阻值在模式寄存器中进行设置。当芯片进入自刷新模式或者在模式寄存器中将 ODT 功能禁止时，外部的 ODT 控制管脚就无意义。ODT 包括普通 ODT 模式和动态 ODT 模式，正常情况下 DRAM 都工作在普通 ODT 模式，此时的 R_{TT} 电阻值为 $R_{TT.nom}$ ；当写入命令或者需要 ODT 功能转换的时候，就会用到动态 ODT 模式，此时的电阻值变为 $R_{TT.WR}$ ，当完成写入命令以后， R_{TT} 值又回到 $R_{TT.nom}$ ，如图 23 所示。

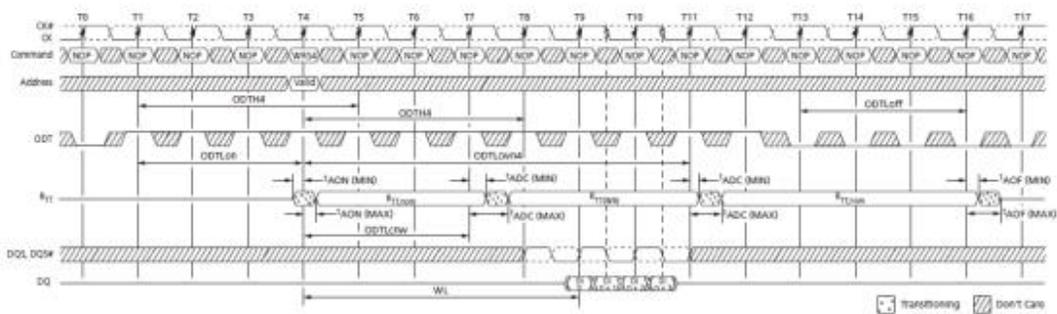


图 23 动态 ODT 操作，BC=4

3 电参数

3.1 绝对最大额定值

绝对最大额定值如下：

电源电压 (VDD、VDDQ)	-0.4V~1.8V
输入/输出电压 (VIN、VOUT)	-0.4V~1.8V
贮存温度范围 (Tstg)	-65℃~+150℃
结温 (Tj)	150℃

3.2 推荐工作条件

推荐工作条件如下：

电源电压 (VDD、VDDQ)	1.283V~1.45V
命令和地址总线参考电压 (VREFCA(DC))	0.5VDD±0.01VDD
数据总线参考电压 (VREFDQ(DC))	0.5VDD±0.01VDD
工作环境温度 (TA)	-55℃~+125℃
工作频率	800MHZ

3.3 电特性表

3.3.1 DC 特性表

表 3-1 DC 特性表

特性	符号	除另有规定外, VREFCA=VREFDQ=VDD/2, VDD=VDDQ=1.283V~1.45V, VSS=VSSQ=0V, -55°C≤TA≤125°C	极限值		单位
			最小值	最大值	
命令和地址					
DC 输入高电平	$V_{IH(DC90)}^a$	—	$V_{REF}+0.09$	V_{DD}	V
DC 输入低电平	$V_{IL(DC90)}^a$	—	V_{SS}	$V_{REF}-0.09$	V
AC 输入高电平	$V_{IH(AC160)}$	—	$V_{REF}+0.16$	—	V
AC 输入低电平	$V_{IL(AC160)}$	—	—	$V_{REF}-0.16$	V
命令/地址参考电压	$V_{RefCA}(DC)$	—	$0.49 \times V_{DD}$	$0.51 \times V_{DD}$	V
数据(DQ and DM)					
DC 输入高电平	$V_{IH(DC90)}^a$	—	$V_{REF}+0.09$	V_{DD}	V
DC 输入低电平	$V_{IL(DC90)}^a$	—	V_{SS}	$V_{REF}-0.09$	V
AC 输入高电平	$V_{IH(AC135)}$	—	$V_{REF}+0.135$	—	V
AC 输入低电平	$V_{IL(AC135)}$	—	—	$V_{REF}-0.135$	V
数据输入参考电压	$V_{RefDQ}(DC)$	—	$0.49 \times V_{DD}$	$0.51 \times V_{DD}$	V
差分输入时钟和数据同步信号 (CK, CK# and DQS,DQS#)					
差分输入高电平	$V_{IH,diff}$	—	0.18	—	V
差分输入低电平	$V_{IL,diff}$	—	—	-0.18	V
差分输入交叉电压 (CK/CK#)	$V_{IX(CK)}^a$	—	$V_{REF(DC)}-0.15$	$V_{REF(DC)}+0.15$	V
差分输入交叉电压 (DQS/DQS#)	$V_{IX(DQS)}^a$	—	$V_{REF(DC)}-0.15$	$V_{REF(DC)}+0.15$	V
输入/输出漏电流参数					
输入漏电流	I_{IL}	—	-10	+10	μA
输出漏电流	I_{OL}	—	-10	+10	μA
输出电压参数					
单端 DC 输出高电平	$V_{OH(DC)}$	—	$0.8 \times V_{DDQ}$	—	V
单端 DC 输出中点电平	$V_{OM(DC)}$	—	—	$0.5 \times V_{DDQ}$	V
单端 DC 输出低电平	$V_{OL(DC)}$	—	—	$0.2 \times V_{DDQ}$	V
单端 AC 输出高电平	$V_{OH(AC)}$	—	$V_{TT}+0.1 \times V_{DDQ}$	—	V
单端 AC 输出低电平	$V_{OL(AC)}$	—	—	$V_{TT}-0.1 \times V_{DDQ}$	V
差分输出交叉电压	$V_{OX(AC)}^a$	—	$V_{REF}-150$	$V_{REF}+150$	mV
差分输出高电平	$V_{OH,diff(ac)}$	—	$+0.2 \times V_{DDQ}$	—	V
差分输出低电平	$V_{OL,diff(ac)}$	—	—	$-0.2 \times V_{DDQ}$	V
电流参数					
操作单 Bank 激活-预充电电流	I_{DD0}	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#在激活命令和预充电命令	—	96	mA

特性	符号	除另有规定外, VREFCA=VREFDQ=VDD/2, VDD=VDDQ=1.283V~1.45V, VSS=VSSQ=0V, -55°C≤TA≤125°C	极限值		单位
			最小值	最大值	
		之间为高; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 某一时刻只激活单 Bank 操作; 使能 DQ 输出和 RTT_Nom; ODT=0			
操作单 Bank 激活-读取-预充电电流	I _{DD1}	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#在激活命令、读取命令、预充电命令之间为高; 命令、地址输入、数据端口部分 01 跳转; DM=0; 某一时刻只激活单 Bank 操作; 使能 DQ 输出和 RTT_Nom; ODT=0	—	125	mA
预充电 Power-down 电流 (slow Exit)	I _{DD2P0}	时钟正常输入; CKE=0; CL=11, BL=8, AL=0; CS#=1; 所有命令和地址输入为 0; 数据端口悬空; DM=0; 关闭所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT=0; 预充电 Power-Down 模式: Slow	—	16	mA
预充电 Power-down 电流 (fast Exit)	I _{DD2P1}	时钟正常输入; CKE=0; CL=11, BL=8, AL=0; CS#=1; 所有命令和地址输入为 0; 数据端口悬空; DM=0; 关闭所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT=0; 预充电 Power-Down 模式: Fast	—	30	mA
预充电静态待机电流	I _{DD2Q}	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#=1; 所有命令和地址输入为 0; 数据端口悬空; DM=0; 关闭所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT=0	—	50	mA
预充电待机电流	I _{DD2N}	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#=1; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 关闭所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT=0	—	50	mA
激活 Power-down 电流	I _{DD3P}	时钟正常输入; CKE=0; CL=11, BL=8, AL=0; CS#=1; 所有命令和地址输入为 0; 数据端口悬空; DM=0; 所有 BANK 打开; 使能 DQ 输出和 RTT_Nom; ODT=0;	—	54	mA
激活待机电流	I _{DD3N}	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#=1; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 所有 BANK 打开; 使能 DQ 输出和 RTT_Nom; ODT=0	—	62	mA
读取操作工作电流	I _{DD4R}	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#在读取命令之间为 1; 命令、地址输入部分 01 跳转; 突发数据读取方式; DM=0; 所有 BANK 打开, BANK 之间读取命令循环, 0, 0, 1, 1, 2, 2, ...; 使能 DQ 输出和 RTT_Nom; ODT=0	—	200	mA
写入操作工作电流	I _{DD4W}	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#在写入命令之间为 1; 命令、地址输入部分 01 跳转; 突发数据写入方式; DM=0; 所有 BANK 打开,	—	360	mA

特性	符号	除另有规定外, VREFCA=VREFDQ=VDD/2, VDD=VDDQ=1.283V~1.45V, VSS=VSSQ=0V, -55°C≤TA≤125°C	极限值		单位
			最小值	最大值	
		BANK 之间写入命令循环, 0, 0, 1, 1, 2, 2, ...; 使能 DQ 输出和 RTT_Nom; ODT=1			
突发刷新电流	I _{DD5B}	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#在刷新命令之间为 1; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 每个 nRFC 周期一次刷新命令; 使能 DQ 输出和 RTT_Nom; ODT=0	—	477	mA
室温自刷新电流	I _{DD6}	自动自刷新功能关闭; 正常的自刷新温度范围; CKE=0; 无时钟输入; CK/CK#=0; CL=11, BL=8, AL=0; CS#悬空; 命令、地址输入和数据端口悬空; DM=0; 正常温度自刷新操作; 使能 DQ 输出和 RTT_Nom; ODT 悬空;	—	24	mA
扩展温度自刷新电流	I _{DD6ET}	自动自刷新功能关闭; 扩展的自刷新温度范围; CKE=0; 无时钟输入; CK/CK#=0; CL=11, BL=8, AL=0; CS#悬空; 命令、地址输入和数据端口悬空; DM=0; 扩展温度自刷新操作; 使能 DQ 输出和 RTT_Nom; ODT 悬空;	—	32	mA
Bank interleave read 工作电流	I _{DD7}	时钟正常输入; CKE=1; CL=11, BL=8, AL=CL-1; CS#在激活和读取加自动预充电为 1; 命令、地址输入部分 01 跳转; 突发数据读取方式; DM=0; BANK 交错激活; 使能 DQ 输出和 RTT_Nom; ODT=0;	—	270	mA
复位电流	I _{DD8}	RESET=0; CK/CK#=0; CKE 悬空; 无时钟输入; CS#悬空; 命令、地址输入和数据端口悬空; ODT 悬空;	—	20	mA
a 该参数为设计保证参数, 不要求测试。					

3.3.2 AC 特性表

表 3-2 AC 特性表

特性	符号	条件: 除另有规定外, VREFCA=VREFDQ=VDD/2, VDD=VDDQ=1.283V~1.45V, VSS=VSSQ=0V, -55°C≤TA≤125°C	极限值		单位	
			最小值	最大值		
时钟参数						
时钟周期: DLL disable 模式	t _{CK(DLL_DIS)}	—	8	—	ns	
时钟周期: DLL enable 模式	t _{CK(avg)}	图 18	1.25	1.5	ns	
时钟高电平宽度	t _{CH(avg)}	图 18	0.47	0.53	t _{CK}	
时钟低电平宽度	t _{CL(avg)}	图 18	0.47	0.53	t _{CK}	
时钟周期抖动	DLL locked	t _{JIT(per)} ^a	—	-70	70	ps
	DLL locking	t _{JIT(per, lck)} ^a	—	-60	60	ps
Absolute 时钟周期	t _{CK(abs)} ^a	—	t _{CK(avg).min} + t _{JITper.min}	t _{CK(avg).max} + t _{JITper.max}	ps	

特性	符号	条件: 除另有规定外, VREFCA=VREFDQ=VDD/2, VDD=VDDQ=1.283V~1.45V, VSS=VSSQ=0V, -55°C≤TA≤125°C	极限值		单位	
			最小值	最大值		
Absolute 时钟高脉冲宽度	$t_{CH(ABS)}^a$	—	0.43	—	t _{CK}	
Absolute 时钟低脉冲宽度	$t_{CL(ABS)}^a$	—	0.43	—	t _{CK}	
周期间抖动	DLL locked	$t_{JIT(CC)}^a$	—	140	ps	
	DLL locking	$t_{JIT(CC, LCK)}^a$	—	120	ps	
累积误差	2 周期	$t_{ERR(2PER)}^a$	—	-103	103	ps
	3 周期	$t_{ERR(3PER)}^a$	—	-122	122	ps
	4 周期	$t_{ERR(4PER)}^a$	—	-136	136	ps
	5 周期	$t_{ERR(5PER)}^a$	—	-147	147	ps
	6 周期	$t_{ERR(6PER)}^a$	—	-155	155	ps
	7 周期	$t_{ERR(7PER)}^a$	—	-163	163	ps
	8 周期	$t_{ERR(8PER)}^a$	—	-169	169	ps
	9 周期	$t_{ERR(9PER)}^a$	—	-175	175	ps
	10 周期	$t_{ERR(10PER)}^a$	—	-180	180	ps
	11 周期	$t_{ERR(11PER)}^a$	—	-184	184	ps
	12 周期	$t_{ERR(12PER)}^a$	—	-188	188	ps
	n=13, 14..49, 50 周期	$t_{ERR(nPER)}^a$	—	$(1+0.68\ln[n]) \times t_{JIT(per).min}$	$(1+0.68\ln[n]) \times t_{JIT(per).max}$	ps
	DQ 输入时间参数					
DQ/DM 输入建立时间	$t_{DS(BASE)(AC135)}^a$	图 25	25	—	ps	
DQ/DM 输入保持时间	$t_{DH(BASE)(DC90)}^a$	图 25	55	—	ps	
DQ/DM 输入脉冲宽度	t_{DIPW}^a	—	360	—	ps	
DQ 输出时间参数						
DQS, DQS#与 DQ 偏斜	t_{DQSQ}^a	图 24	—	100	ps	
DQ 输出保持时间	t_{QH}^a	图 24	0.38	—	t _{CK}	
DQ Low-Z 时间	$t_{LZ(DQ)}^a$	图 24	-450	225	ps	
DQ High-Z 时间	$t_{HZ(DQ)}^a$	图 24	—	225	ps	
DQS 输入时间参数						
DQS, DQS#上升沿到时钟 CK, CK#上升沿	t_{DQSS}	图 14	-0.27	0.27	t _{CK}	
DQS, DQS#输入低脉冲宽度	t_{DQSL}	图 14	0.45	0.55	t _{CK}	
DQS, DQS#输入高脉冲宽度	t_{DQSH}	图 14	0.45	0.55	t _{CK}	
DQS, DQS#建立时间	t_{DSS}^a	图 14	0.18	—	t _{CK}	
DQS, DQS#保持时间	t_{DSH}^a	图 14	0.18	—	t _{CK}	
DQS, DQS#写前同步时间	t_{WPRES}	图 14、28、29	0.9	—	t _{CK}	
DQS, DQS#写后同步时间	t_{WPST}	图 14、28、29	0.3	—	t _{CK}	
DQS 输出时间参数						

特性	符号	条件: 除另有规定外, VREFCA=VREFDQ=VDD/2, VDD=VDDQ=1.283V~1.45V, VSS=VSSQ=0V, -55℃≤TA≤125℃	极限值		单位	
			最小值	最大值		
DQS, DQS#上升沿输出存取时间到时钟 CK, CK#上升沿	t _{DQSCK}	图 26	-195	195	ps	
DQS, DQS#输出高时间	t _{QSH} ^a	图 26	0.4	—	t _{CK}	
DQS, DQS#输出低时间	t _{QSL} ^a	图 26	0.4	—	t _{CK}	
DQS, DQS# Low-Z 时间 (RL-1)	t _{LZ(DQS)} ^a	图 26	-450	225	ps	
DQS, DQS# High-Z 时间 (RL+BL/2)	t _{HZ(DQS)} ^a	图 26	—	225	ps	
DQS, DQS#读前同步时间	t _{RPRE} ^a	图 26	0.9	—	t _{CK}	
DQS, DQS#读后同步时间	t _{RPST} ^a	图 26	0.3	—	t _{CK}	
命令和地址时间参数						
DLL 锁定时间	t _{DLLK} ^a	图 9	512	—	t _{CK}	
控制、命令、地址输入建立时间	t _{IS(base)(AC160)} ^a	图 18	60	—	ps	
控制、命令、地址输入建立时间	t _{IS(base)(AC135)} ^a	图 18	185	—	ps	
控制、命令、地址输入保持时间	t _{IH(base)(DC90)} ^a	图 18	130	—	ps	
控制、命令、地址输入脉冲宽度	t _{IPW} ^a	—	560	—	ps	
激活到内部读或写延迟	t _{RCD}	图 10	13.75	—	ns	
预充电命令周期	t _{RP}	图 12	13.75	—	ns	
激活到预充电命令周期	t _{RAS} ^a	图 12	35	9×t _{REFI}	ns	
激活到激活命令周期	t _{RC}	—	48.75	—	ns	
激活到激活最小命令周期	t _{R RD}	图 10、27	max(4t _{CK} , 7.5ns)	—	t _{CK}	
4 个激活序列周期	t _{FAW}	图 27	40	—	ns	
写恢复时间	t _{WR}	图 15	15	—	ns	
写命令到读命令延迟时间	t _{WTR}	图 28	max(4t _{CK} , 7.5ns)	—	ns	
读命令到预充电命令时间	t _{RTP}	图 12	max(4t _{CK} , 7.5ns)	—	ns	
列地址命令延迟时间	t _{CCD} ^a	图 29	4	—	t _{CK}	
自动预充电写恢复+预充电时间	t _{DAL(min)} ^a	—	WR+t _{RP}	—	t _{CK}	
模式寄存器设置命令时间	t _{MRD} ^a	图 9	4	—	t _{CK}	
模式寄存器设置命令更新延迟	t _{MOD} ^a	图 9	max(12t _{CK} , 15ns)	—	ns	
多用寄存器恢复时间	t _{M PRR} ^a	—	1	—	t _{CK}	
校准时间参数						
ZQCL 命令: 长校准时间	上电和复位操作	t _{ZQinit} ^a	图 9、30	512	—	t _{CK}
	正常操作	t _{ZQoper} ^a	图 30	256	—	t _{CK}
ZQCS 命令: 短校准时间	t _{ZQCS} ^a	图 30	64	—	t _{CK}	
初始化和复位时间参数						

特性	符号	条件: 除另有规定外, VREFCA=VREFDQ=VDD/2, VDD=VDDQ=1.283V~1.45V, VSS=VSSQ=0V, -55°C≤TA≤125°C	极限值		单位
			最小值	最大值	
退出复位从 CKE 高到可用命令时间	t _{XPR} ^a	图 21	max(5t _{CK} , t _{RFC(min)} +10ns)	—	ns
刷新时间参数					
刷新命令周期	t _{RFC}	图 16	350	—	ns
最大刷新周期	—	-55°C≤T _A ≤+85°C	—	64	ms
		85°C≤T _A ≤+95°C	—	32	ms
		95°C≤T _A ≤+125°C	—	16	ms
最大平均周期刷新	t _{REFI} ^a	-55°C≤TA≤+85°C	—	7.8	μs
		+85°C≤TA≤+95°C—	—	3.9	μs
		+95°C≤TA≤+125°C	—	1.95	μs
退出自刷新到命令不锁定 DLL 时间	t _{XS}	图 18、31	max(5t _{CK} ,t _{RFC(min)} +10ns)	—	t _{CK}
退出自刷新到命令锁定 DLL 时间	t _{XSDLL} ^a	图 18	t _{DLLK(min)}	—	t _{CK}
最小 CKE 低脉冲宽度从自刷新进入到退出时间	t _{CKESR} ^a	图 18、31	t _{CKE(min)} +1t _{CK}	—	t _{CK}
自刷新进入/Power_down 进入后时钟可用时间	t _{CKSRE} ^a	图 18、31	max(5t _{CK} ,10ns)	—	t _{CK}
自刷新退出/Power_down 退出/复位退出到时钟可用时间	t _{CKSRX} ^a	图 18、31	max(5t _{CK} ,10ns)	—	t _{CK}
Power-Down 时序					
CKE 最小脉冲宽度	t _{CKE(MIN)} ^a	图 19、20	max(3t _{CK} ,5ns)	—	t _{CK}
命令通过禁止延时时间	t _{CPDED} ^a	图 19、20	1	—	t _{CK}
Power_down 进入到退出时间	t _{PD} ^a	图 19、20	t _{CKE(MIN)}	9×t _{REFI}	ns
Power_down 到 CKE 拉高有效时间	t _{ANPD} ^a	—	WL-1	—	t _{CK}
Power_down 进入周期	PDE ^a	—	t _{ANPD}	—	t _{CK}
Power_down 退出周期	PDX ^a	—	t _{ANPD} +t _{XPDLL}	—	t _{CK}
Power-Down 进入最小时序 ^a					
激活命令到 Power-Down 时间	t _{ACTPDEN}	图 36	1	—	t _{CK}
预充电命令到 Power-Down 时间	t _{PREPDEN}	图 37	1	—	t _{CK}
刷新命令到 Power-Down 时间	t _{REFPDEN}	图 35	1	—	t _{CK}
模式寄存器命令到 Power-Down 时间	t _{MRS PDEN}	—	t _{MOD(MIN)}	—	—
读/读加自动预充电命令到 Power-Down 时间	t _{RD PDEN} ^a	图 32	RL+4+1	—	t _{CK}
写命令到	BL80TF, BL8MRS, BC40TF	图 33	WL+4+ t _{WR} /t _{CK} (avg)	—	t _{CK}

特性	符号	条件: 除另有规定外, VREFCA=VREFDQ=VDD/2, VDD=VDDQ=1.283V~1.45V, VSS=VSSQ=0V, -55℃≤TA≤125℃	极限值		单位	
			最小值	最大值		
Power-Down 时间	BC4MRS	tWRPDEN ^a	图 33	WL+2+(tWR/tCK)	—	tCK
写命令加自动预充电到 Power-Down 时间	BL80TF, BL8MRS, BC40TF	tWRAPDEN ^a	图 34	WL+4+WR+1	—	tCK
	BC4MRS	tWRAPDEN ^a	图 34	WL+2+WR+1	—	tCK
Power-Down 退出时序						
DLL 打开、命令可用时间或 DLL 关闭到不需要锁定 DLL 命令时间	tXP ^a	图 20	max(3tCK,6ns)	—	—	tCK
预充电 Power-down 带 DLL 关闭到 DLL 锁定命令时间	tXPDLL ^a	—	max(10tCK,24ns)	—	—	tCK
ODT 时序 ^a						
RTT 同步打开延时	ODTLon	—	WL-2=CWL+AL-2	—	—	tCK
RTT 同步关闭延时	ODTLoff	—	WL-2=CWL+AL-2	—	—	tCK
RTT 打开时间	tAON	图 39	-225	225	—	ps
RTT 关断时间	tAOF	图 39	0.3	0.7	—	tCK
异步 RTT 打开延时	tAONPD	图 40	2	8.5	—	ns
异步 RTT 关断延时	tAOPD	图 40	2	8.5	—	ns
ODT 高时间用写命令和 BL8	ODTH8	图 41	6	—	—	tCK
ODT 高时间不用写命令/用写命令和 BC4	ODTH4	图 39	4	—	—	tCK
Dynamic ODT 时序 ^a						
RTT, nom 到 RTT (WR) 改变偏移时间	ODTLCNW	图 41	WL-2tCK	—	—	tCK
RTT (WR) 到 RTT, nom 改变偏移时间-BC4	ODTLCWN4	—	4tCK+ODTLoff	—	—	tCK
RTT (WR) 到 RTT, nom 改变偏移时间-BL8	ODTLCWN8	图 41	6tCK+ODTLoff	—	—	tCK
RTT 动态改变偏斜	tADC	图 41	0.3	0.7	—	tCK
写入均衡时序 ^a						
写入均衡时序的第一个 DQS, DQS#脉冲上升沿时间	tWLMRD	图 42	40	—	—	tCK
写入均衡时序的 DQS, DQS# 延迟	tWLDQSEN	图 42	25	—	—	tCK
写入均衡时序建立时间	tWLS	图 42	165	—	—	ps
写入均衡时序保持时间	tWLH	图 42	165	—	—	ps
写入均衡时序输出延迟时间	tWLO	图 42	0	7.5	—	ns
写入均衡时序输出错误时间	tWLOE	图 42	0	2	—	ns
a 该参数为设计保证参数, 不要求测试。 单位 tCK.AVG 的参数, 测试时取 tCK (min) =1.25ns。						

3.3.3 时序图

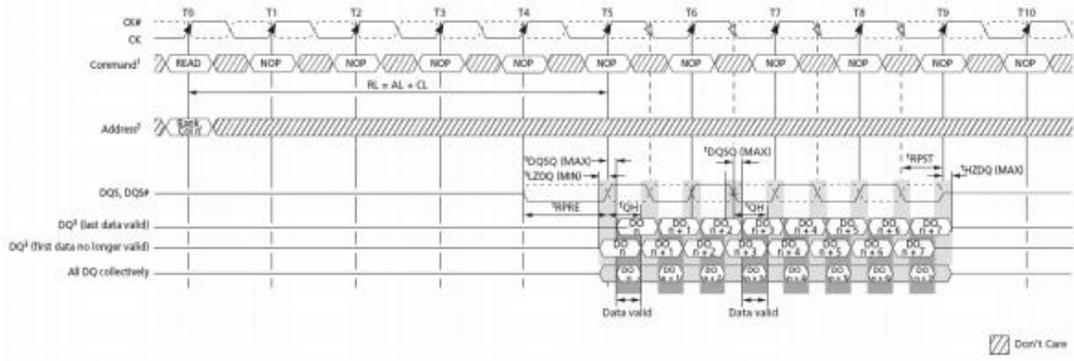


图 24 数据输出时序

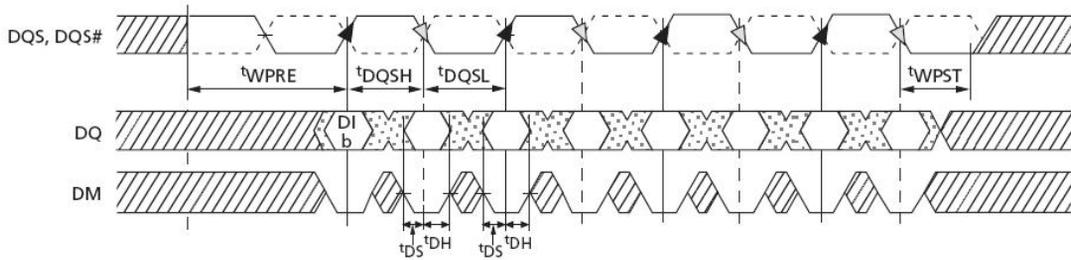


图 25 数据输入时序

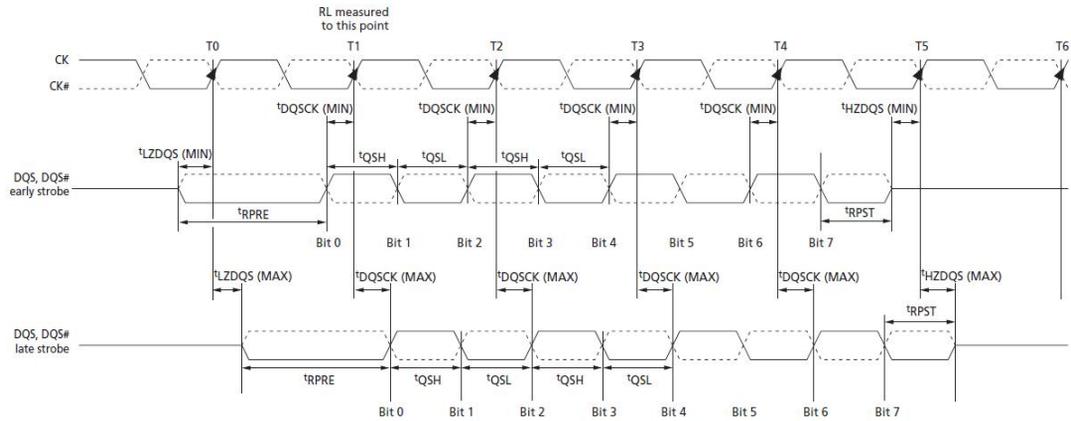


图 26 DQS 时序-读取操作

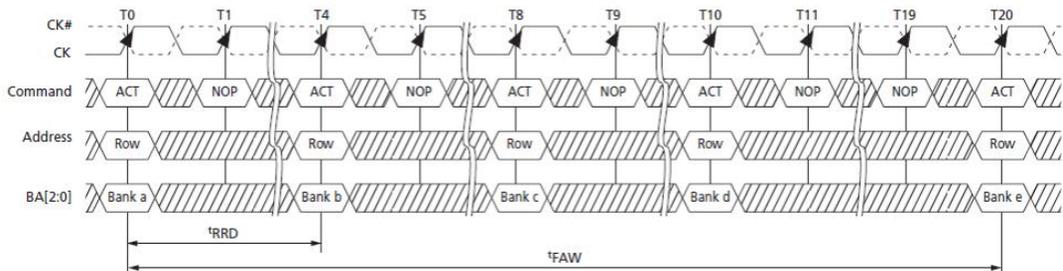


图 27 'FAW 时序

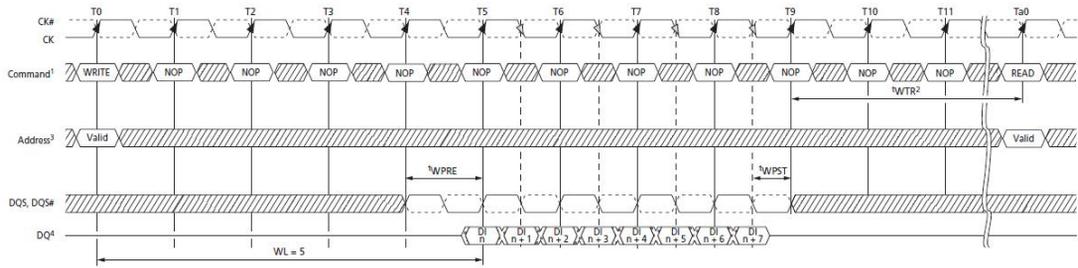


图 28 写入操作到读取操作时序 (BL8)

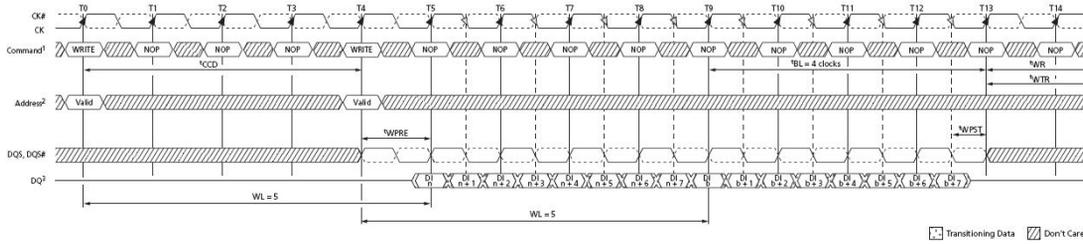


图 29 连续写入操作 (BL8)

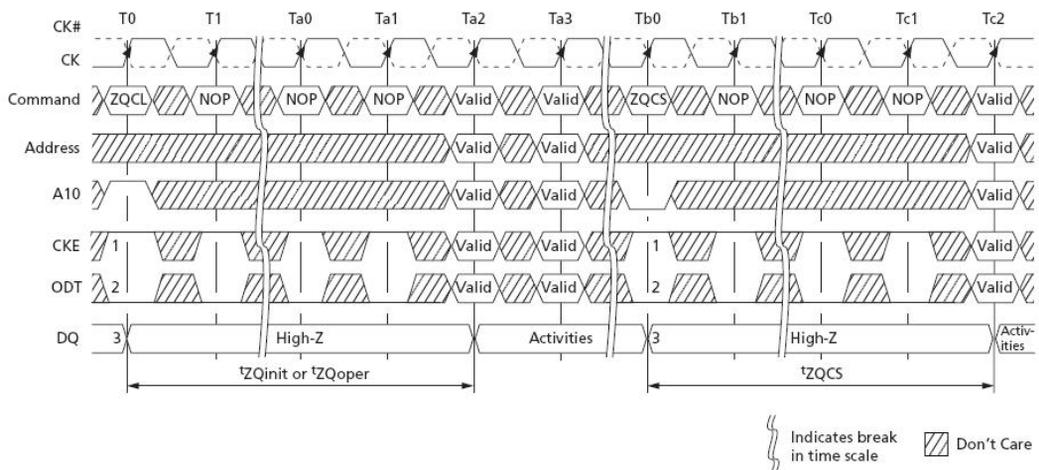


图 30 ZQ 校准时序 (ZQCL and ZQCS)

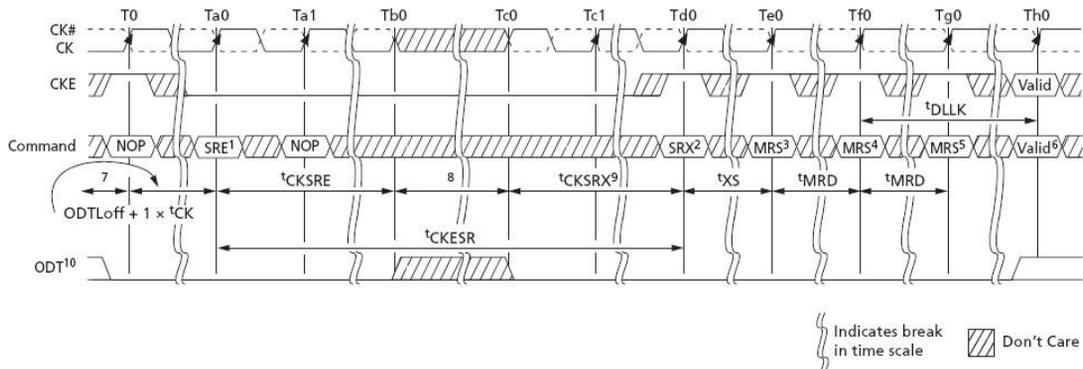


图 31 DLL Disable 模式到 DLL enable 模式

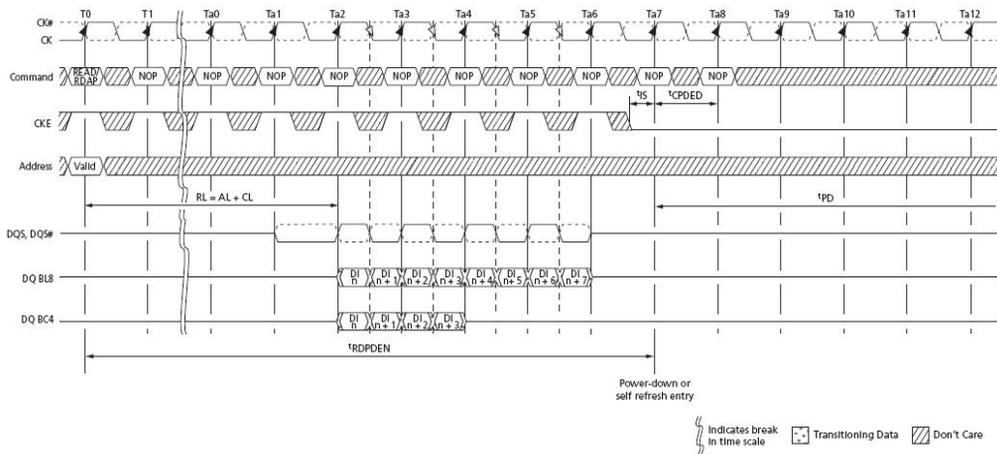


图 32 读命令/读命令加预充电后进入 Power-Down 时序 (RDAP)

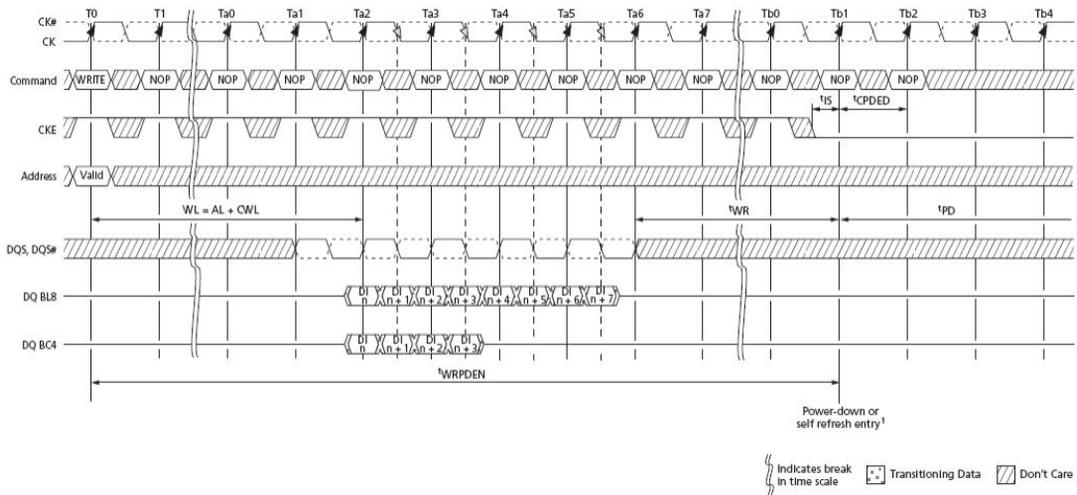


图 33 写命令后进入 Power-Down 时序

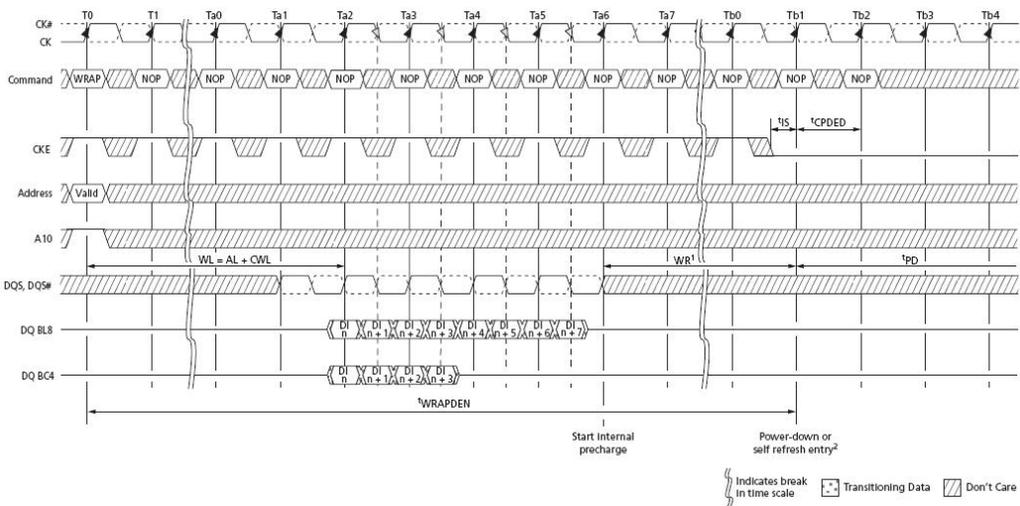


图 34 写命令加自动预充电后进入 Power-Down 时序 (WRAP)

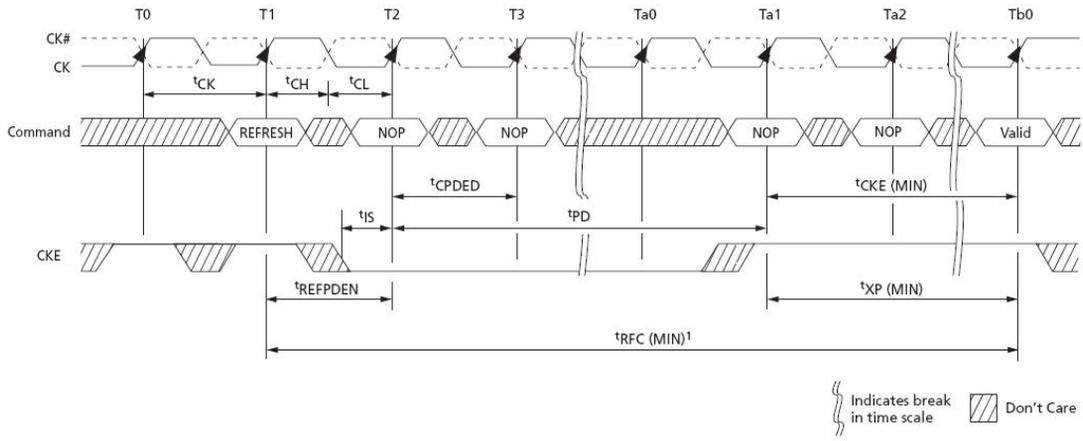


图 35 刷新后进入 Power-Down 时序

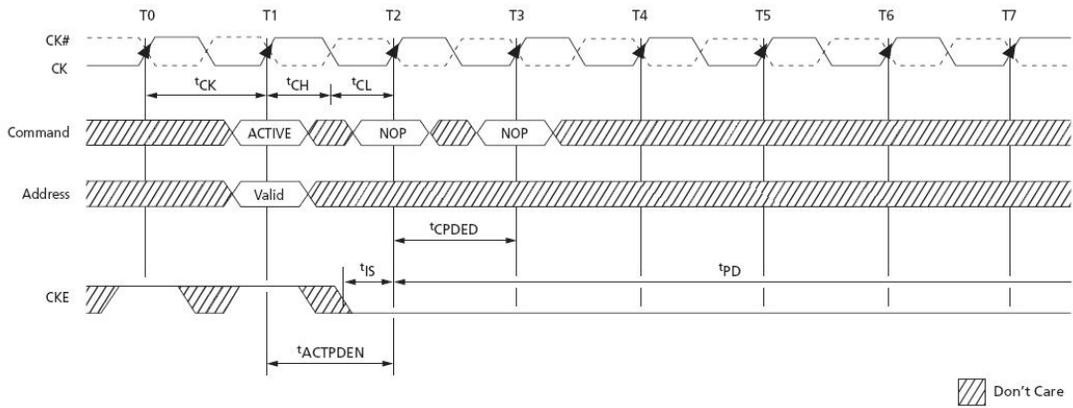


图 36 激活后进入 Power-Down 时序

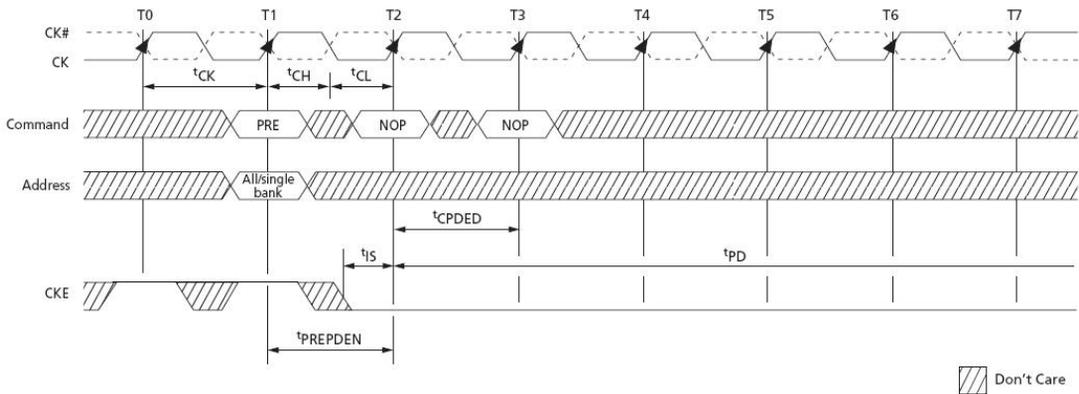


图 37 预充电后进入 Power-Down 时序

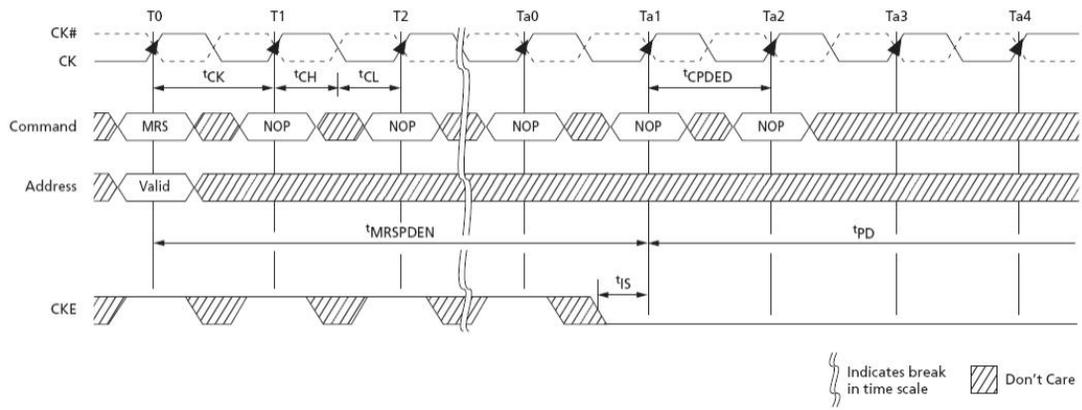


图 38 模式寄存器设置后进入 Power-Down 时序

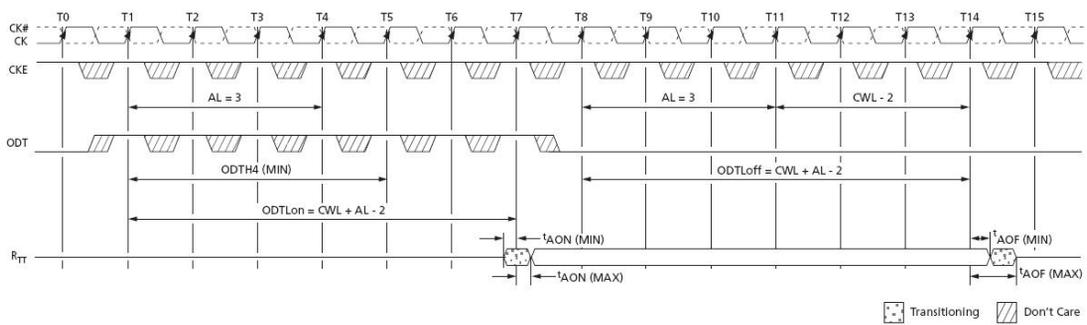


图 39 同步 ODT 时序

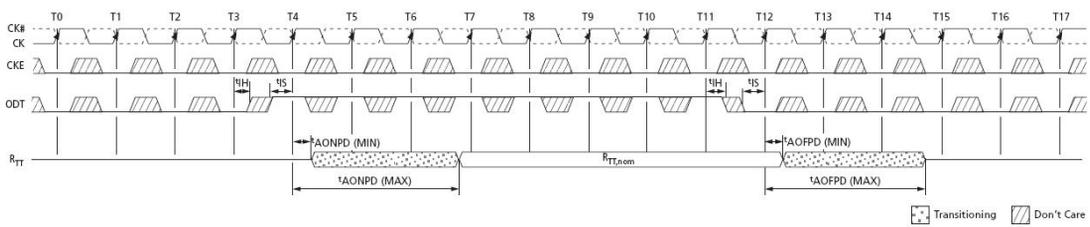


图 40 异步 ODT 时序

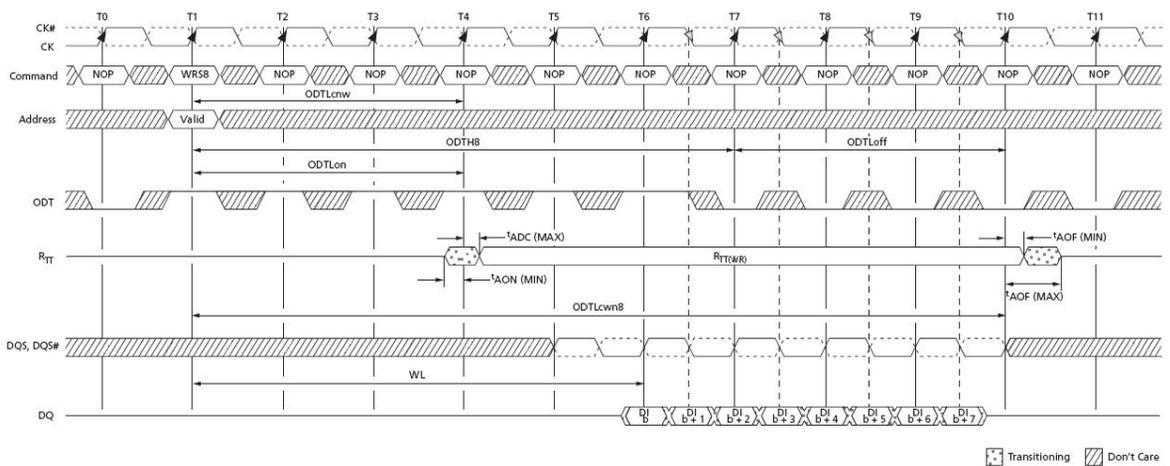


图 41 动态 ODT 时序

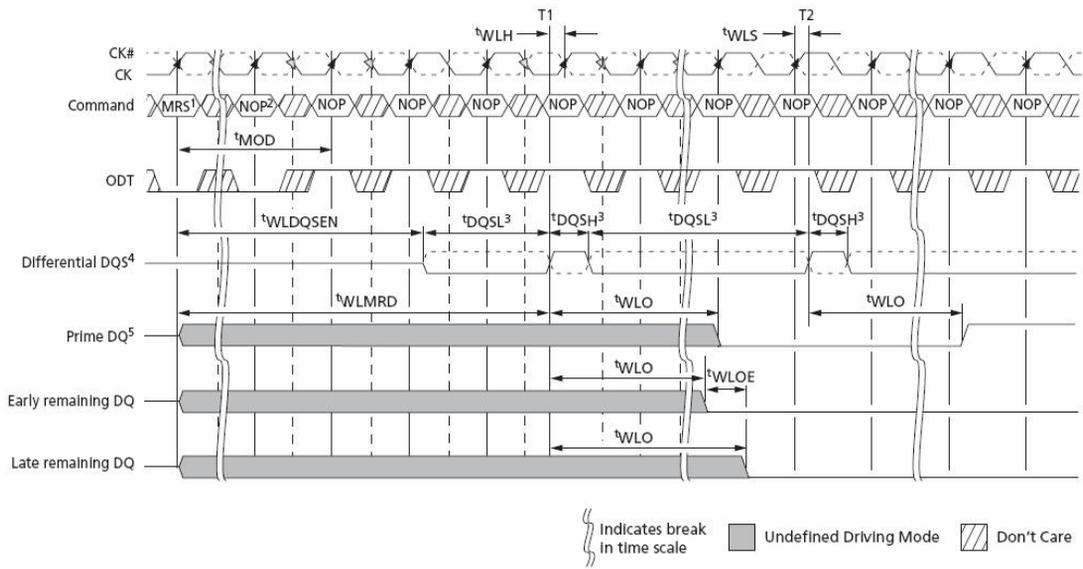


图 42 写入均衡时序

4 说明事项

4.1 运输与储存

芯片在适宜环境下储运。

使用指定的防静电包装盒进行产品的包装和运输。在运输过程中，确保芯片不要与外物发生碰撞。

4.2 开箱与检查

开箱使用芯片时，请注意观察产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查无损坏，无伤痕，管脚整齐，无缺失，无变形。

4.3 使用操作规程及注意事项

器件必须采取防静电措施进行操作。取用芯片时应佩戴防静电手套，防止人体电荷对芯片的静电冲击，损坏芯片。将芯片插入电路板上的底座时以及将芯片从电路板上的底座取出时，应注意施力方向以确保芯片管脚均匀受力。不要因为用力过猛，损坏芯片管脚，导致无法使用。

推荐下列操作措施：

- a) 器件应在防静电的工作台上操作，或带指套操作；
- b) 试验设备和器具应接地；
- c) 此不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中（如：集成电路专用盒）；
- e) 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物；
- f) 相对湿度尽可能保持在 50%±30%以上。

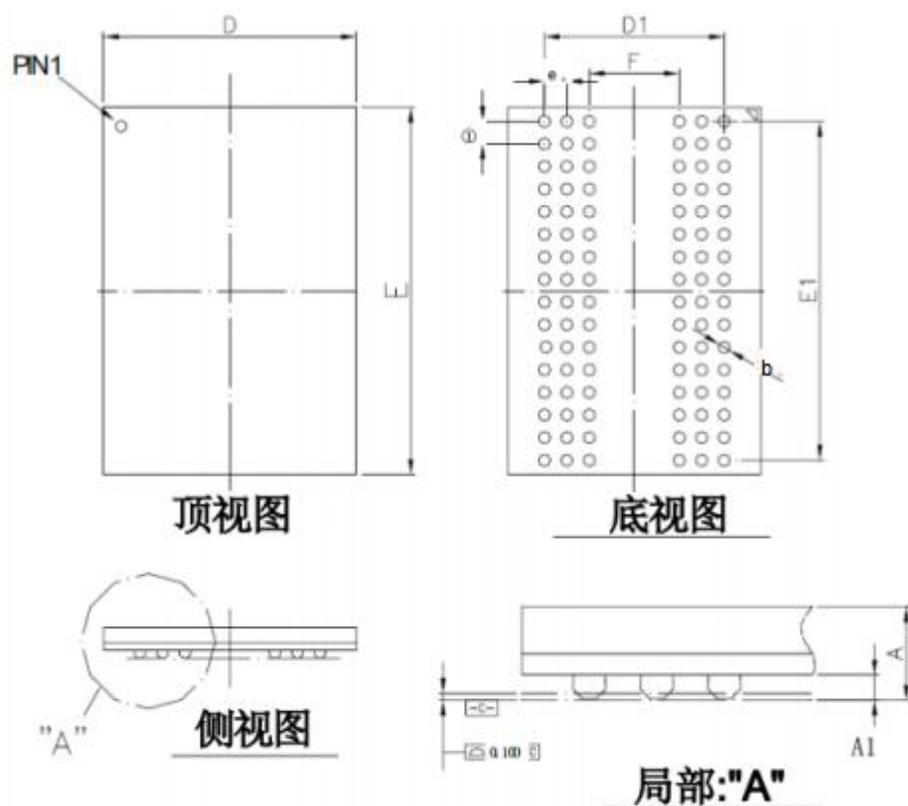
4.4 质量保证

公司质量管理体系根据国军标 GJB9001 要求制定了完善的质量管理工作流程，对产品的设计、生产和销售进行日常质量管理。产品制定依据 GJB7400-2021《合格制造厂认证用半导体集成电路通用规范》裁剪后的标准进行设计和生产，并按照 GJB548C-2021《微电子器件试验方法和程序》的要求进行试验和检验。产品兼容性好、可靠性高。

5 封装

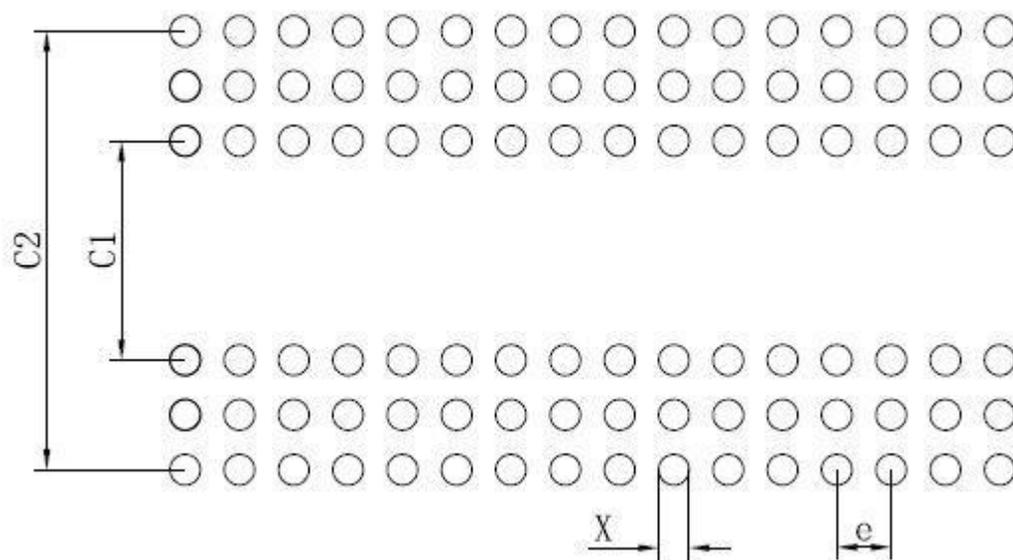
5.1 AST41K512M16P 封装形式

AST41K512M16P 产品采用 BGA96 塑料封装。封装形式如图 5-1，推荐焊盘尺寸图如图 5-2。



尺寸符号	数值 (单位: mm)		
	最小	公称	最大
A	-	-	1.20
A1	0.25	-	0.40
b	0.40	0.45	0.50
D	8.90	9.00	9.10
D1	-	6.40	-
E	12.90	13.00	13.10
E1	-	12.00	-
F	-	3.20	-
e	-	0.80	-

图 5-1 封装形式图



产品型号	封装形式	X	e	C1	C2
AST41K512M16P	BGA96	0.4	0.8	3.2	6.4

图 5-2 推荐焊盘尺寸图

6 订货信息

表 6-1 选型列表

序号	产品型号	封装	引脚数	器件标识
1	AST41K512M16P	BGA	96	AST41K512M16P